



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

G09G 3/30 (2006.01)

G09G 3/20 (2006.01)

(11) 공개번호

10-2007-0071524

(43) 공개일자

2007년07월04일

(21) 출원번호 10-2005-0135047

(22) 출원일자 2005년12월30일

심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 주인수
경기 성남시 분당구 수내동 푸른마을쌍용아파트 76(12/5) 507-802

(74) 대리인 김영호

전체 청구항 수 : 총 8 항

(54) 유기발광다이오드 표시소자의 구동방법 및 장치

(57) 요약

본 발명은 박막트랜지스터의 문턱치 전압 변동을 보상함과 아울러 박막트랜지스터의 특성을 원 상태로 회복하도록 한 유기발광다이오드 표시소자의 구동방법 및 장치에 관한 것이다.

이 유기발광다이오드 표시소자의 구동방법은 데이터라인에 리셋전압을 공급하는 단계와; 상기 리셋전압을 스토리지 커패시터에 공급하여 상기 스토리지 커패시터를 초기화하는 단계와; 제1 스캔라인에 제1 논리전압의 스캔펄스를 공급하여 제1 트랜지스터를 턴-온시키는 단계와; 상기 데이터라인에 데이터전압을 공급하는 단계와; 제2 박막트랜지스터의 문턱전압만큼 상기 제1 박막트랜지스터를 경유하여 공급되는 데이터전압을 보상하여 보상 데이터 전압을 발생하고 상기 보상 데이터전압을 상기 스토리지 커패시터에 저장하는 단계와; 상기 제1 스캔라인에 제2 논리전압을 공급하고 리셋라인에 리셋펄스를 공급하는 단계와; 상기 리셋펄스에 응답하여 상기 제2 논리전압을 상기 제2 박막트랜지스터의 게이트전극에 공급하는 단계를 포함한다.

대표도

도 5

특허청구의 범위

청구항 1.

데이터라인, 상기 데이터라인과 교차되는 제1 스캔라인 및 리셋라인, 매트릭스 형태로 배치되는 다수의 화소들, 상기 화소 각각에 형성된 유기발광다이오드소자 및 스토리지 커패시터, 상기 화소 내에 형성되어 상기 제1 스캔라인의 전압에 따라 제어되는 제1 박막트랜지스터 및 상기 화소 내에 형성되어 상기 유기발광다이오드소자의 전류를 제어하는 제2 박막트랜지스터를 구비하는 유기발광다이오드 표시소자의 구동방법에 있어서,

상기 데이터라인에 리셋전압을 공급하는 단계와;

상기 리셋전압을 상기 스토리지 커패시터에 공급하여 상기 스토리지 커패시터를 초기화하는 단계와;

상기 제1 스캔라인에 제1 논리전압의 스캔펄스를 공급하여 상기 제1 트랜지스터를 턴-온시키는 단계와;

상기 데이터라인에 데이터전압을 공급하는 단계와;

상기 제2 박막트랜지스터의 문턱전압만큼 상기 제1 박막트랜지스터를 경유하여 공급되는 데이터전압을 보상하여 보상 데이터 전압을 발생하고 상기 보상 데이터전압을 상기 스토리지 커패시터에 저장하는 단계와;

상기 제1 스캔라인에 제2 논리전압을 공급하고 상기 리셋라인에 리셋펄스를 공급하는 단계와;

상기 리셋펄스에 응답하여 상기 제2 논리전압을 상기 제2 박막트랜지스터의 게이트전극에 공급하는 단계를 포함하는 것을 특징으로 하는 유기발광다이오드 표시소자의 구동방법.

청구항 2.

제 1 항에 있어서,

상기 유기발광다이오드 표시소자는 제2 스캔라인, 상기 제2 스캔라인의 전압에 따라 제어되는 제6 박막트랜지스터를 구비하고;

상기 제1 스캔라인에 상기 제1 논리전압의 스캔펄스가 공급될 때 상기 제2 스캔라인에 제2 논리전압의 스캔펄스를 공급하여 상기 제6 박막트랜지스터를 턴-오프시켜 상기 유기발광다이오드소자의 전류패스를 개방하는 단계를 더 포함하는 것을 특징으로 하는 유기발광다이오드 표시소자의 구동방법.

청구항 3.

리셋전압과 데이터전압이 공급되는 데이터라인과;

상기 데이터라인과 교차되고 제1 논리전압의 제1 스캔펄스와 제2 논리전압이 제1 스캔라인과;

상기 데이터라인과 교차되고 리셋펄스가 공급되는 리셋라인과;

매트릭스 형태로 배치되는 다수의 화소들과;

상기 화소 각각에 형성된 유기발광다이오드소자와;

상기 화소 각각에 형성된 스토리지 커패시터와;

상기 화소 내에서 상기 제1 스캔펄스에 응답하여 상기 데이터라인으로부터의 리셋전압과 데이터전압을 제1 노드에 공급하는 제1 박막트랜지스터와;

상기 화소 내에서 제2 노드의 전압에 응답하여 상기 유기발광다이오드소자에 흐르는 전류를 제어하는 제2 박막트랜지스터와;

상기 제1 노드의 리셋전압을 상기 스토리지 커패시터에 저장시킨 후에 상기 제2 박막트랜지스터의 문턱치 전압만큼 상기 데이터전압을 보상하고 보상 데이터전압을 상기 제2 노드에 공급하여 상기 스토리지 커패시터에 상기 보상 데이터전압을 저장시키는 보상회로와;

상기 리셋펄스에 응답하여 상기 제2 노드의 전압을 상기 제1 스캔라인으로부터의 제2 논리전압을 상기 제2 노드에 공급하는 회복회로를 구비하는 것을 특징으로 하는 것을 특징으로 하는 유기발광다이오드 표시소자의 구동장치.

청구항 4.

제 3 항에 있어서,

상기 보상회로와 상기 회복회로 각각은 상기 화소 내에 배치되는 것을 특징으로 하는 유기발광다이오드 표시소자의 구동장치.

청구항 5.

제 3 항에 있어서,

상기 제1 논리전압의 제1 스캔펄스가 상기 제1 스캔라인에 공급되는 동안 제2 논리전압의 제2 스캔펄스가 공급되고 상기 제2 논리전압이 상기 제1 스캔라인에 공급되는 동안 상기 제1 논리전압이 공급되는 제2 스캔라인과;

상기 제2 스캔라인으로부터의 제2 논리전압에 응답하여 상기 유기발광다이오드소자와 제3 노드 사이의 전류패스를 개방하는 제6 박막트랜지스터를 더 구비하고;

상기 제2 박막트랜지스터는 상기 제2 노드의 전압에 응답하여 상기 제3 노드와 저전위 구동전압원 사이의 전류를 제어하는 것을 특징으로 하는 유기발광다이오드 표시소자의 구동장치.

청구항 6.

제 5 항에 있어서,

상기 보상회로는,

상기 제1 노드에 게이트전극 및 소스전극이 접속되고 상기 제2 노드에 드레인전극이 접속된 제3 박막트랜지스터와;

상기 제1 노드에 드레인전극이 접속되고 상기 제2 노드에 게이트전극 및 소스전극이 접속된 제4 박막트랜지스터를 구비하는 것을 특징으로 하는 유기발광다이오드 표시소자의 구동장치.

청구항 7.

제 3 항 또는 제 6 항에 있어서,

상기 회복회로는,

상기 리셋라인에 게이트전극이 접속되고 상기 제1 스캔라인에 소스전극이 접속되며 드레인전극이 상기 제2 노드에 접속되는 제5 박막트랜지스터를 구비하는 것을 특징으로 하는 유기발광다이오드 표시소자의 구동장치.

청구항 8.

제 5 항에 있어서,

상기 유기발광다이오드소자는,

고전위구동 전압원과 상기 제6 박막트랜지스터의 소스전극 사이에 접속되는 것을 특징으로 하는 유기발광다이오드 표시소자의 구동장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기발광다이오드 표시소자에 관한 것으로 특히, 박막트랜지스터의 문턱치 전압 변동을 보상함과 아울러 박막트랜지스터의 특성을 원 상태로 회복하도록 한 유기발광다이오드 표시소자의 구동방법 및 장치에 관한 것이다.

최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 이러한 평판 표시장치는 액정 표시장치(Liquid Crystal Display : 이하 "LCD"라 한다), 전계 방출 표시장치(Field Emission Display : FED) 플라즈마 디스플레이 패널(Plasma Display Panel : 이하 "PDP"라 한다) 및 전계발광소자(Electroluminescence Device) 등이 있다.

이들 중에 PDP는 구조와 제조공정이 단순하기 때문에 경박단소하면서도 대화면화에 가장 유리한 표시장치로 주목받고 있지만 발광효율과 휘도가 낮고 소비전력이 큰 단점이 있다. 스위칭 소자로 박막 트랜지스터(Thin Film Transistor : 이하 "TFT"라 한다)가 적용된 액티브 매트릭스 LCD는 반도체공정을 이용하기 때문에 대화면화에 어려움이 있지만 노트북 컴퓨터의 표시소자로 주로 이용되면서 수요가 늘고 있다. 이에 비하여, 전계발광소자는 발광층의 재료에 따라 무기 전계발광소자와 유기발광다이오드소자로 대별되며 스스로 발광하는 자발광소자로서 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

유기발광다이오드소자는 표시소자로서 도 1과 같이 유리기판 상에 투명도전성물질로 이루어진 애노드전극을 형성하고, 유기 화합물층 및 도전성 금속으로 된 캐소드전극이 적층된다. 유기 화합물층은 정공주입층(Hole Injection layer), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer)을 포함한다.

애노드전극과 캐소드전극에 구동전압이 인가되면 정공주입층 내의 정공과 전자주입층 내의 전자는 각각 발광층 쪽으로 진행하여 발광층을 여기시키고, 그 결과 발광층이 가시광을 발산하게 한다. 이렇게 발광층으로부터 발생하는 가시광으로 화상 또는 영상을 표시하게 된다.

이와 같은 유기발광다이오드소자는 패시브 매트릭스(passive matrix) 방식과, 스위칭소자로서 박막트랜지스터(Thin Film Transistor : 이하, "TFT"라 함)를 이용하는 액티브 매트릭스(active matrix) 방식으로 나뉘어진다. 패시브 매트릭스 방식은 애노드전극과 캐소드전극을 직교하여 그 전극들에 인가되는 전류에 따라 발광셀을 선택하는데 비하여, 액티브 매트릭스 방식은 TFT를 턴-온시켜 발광셀을 선택하고 스토리지 커패시터(Storage Capacitor)에 유지되는 전압으로 발광셀의 발광을 유지한다.

도 2는 액티브 매트릭스 방식의 유기발광다이오드 표시소자에 있어서 하나의 화소를 등가적으로 나타내는 회로도이다.

도 2를 참조하면, 액티브 매트릭스 방식의 유기발광다이오드 표시소자는 유기발광다이오드소자(OLED), 서로 교차하는 데이터라인(DL) 및 게이트라인(GL), 스위치 TFT(SW_TFT), 구동 TFT(DRV_TFT), 및 스토리지 커패시터(Cst)를 구비한다.

스위치 TFT(SW_TFT)는 게이트라인(GL)으로부터의 게이트하이전압(또는 스캔전압)에 응답하여 턴-온됨으로써 자신의 소스단자와 드레인단자 사이의 전류패스를 도통시키고, 게이트라인(GL) 상의 전압이 자신의 문턱전압(Threshold Voltage : V_{th}) 이하인 게이트로우전압일 때 오프 상태를 유지하게 된다. 이 스위치 TFT(SW_TFT)의 온타임기간 동안 데이터라인(DL)으로부터의 데이터전압은 스위치 TFT(SW_TFT)의 소스단자와 드레인단자를 경유하여 구동 TFT(DRV_TFT)의 게이트단자에 인가된다. 이와 반대로, 스위치 TFT(SW_TFT)의 오프타임 기간 동안 스위치 TFT(SW_TFT)의 소스단자와 드레인단자 사이의 전류패스가 개방되어 데이터전압(VDL)이 구동 TFT(DRV_TFT)에 인가되지 않는다.

구동 TFT(DRV_TFT)는 자신의 게이트단자에 공급되는 데이터전압에 따라 소스단자와 드레인단자간의 전류량을 조절하여 데이터전압에 대응하는 밝기로 유기발광다이오드소자(OLED)를 발광시킨다.

스토리지 커패시터(Cst)는 데이터전압과 저전위공통전압(VSS) 사이의 차전압을 저장하여 구동 TFT(DRV_TFT)의 게이트단자에 인가되는 전압을 한 프레임기간동안 일정하게 유지시킨다.

유기발광다이오드소자(OLED)는 도 1과 같은 구조로 구현되고 구동 TFT(DRV_TFT)의 드레인단자에 접속된 캐소드단자와 고전위 구동전압(VDD)이 공급되는 캐소드단자를 포함한다. 이 유기발광다이오드소자(OLED)는 구동 TFT(DRV_TFT)로부터의 전류에 의해 발광한다.

그런데 액티브 매트릭스 방식의 유기발광다이오드 표시소자는 구동 TFT(DRV_TFT)의 문턱전압 변동으로 인하여 화질이 열화되는 문제점이 있다. 특히, TFT들의 반도체층이 비정질 실리콘(amorphous silicon)으로 이루어지면 구동시간이 경과할수록 동일 극성의 게이트전압이 반복적으로 인가되면서 시간이 경과될수록 누적 스트레스로 인한 문턱치 전압 변동이 심해지는 문제점이 있다. 이러한 비정질 실리콘 타입의 TFT는 폴리 실리콘 타입의 TFT들보다 문턱치 전압 변동의 영향을 더 크게 받는다.

도 3은 비정질 실리콘 타입의 TFT에서 누적 스트레스로 인한 문턱치 전압의 변동 예를 나타낸다.

도 3을 참조하면, N 타입 MOS-FET인 비정질 실리콘 타입의 TFT는 게이트전극에 정극성 전압으로 게이트전압이 장시간 인가되면 문턱전압이 화살표 방향으로 이동하게 되고, 그 결과 동일한 게이트전압에서 초기 상태에 비하여 시간이 갈수록 유기발광다이오드소자(OLED)에 흐르는 전류가 작게 된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 TFT의 문턱치 전압 변동을 보상(compensation)함과 아울러 TFT의 특성을 원 상태로 회복(recovery)하도록 한 유기발광다이오드 표시소자의 구동방법 및 장치를 제공하는데 있다.

발명의 구성

상기 목적을 달성하기 위하여, 본 발명에 따른 유기발광다이오드 표시소자의 구동방법은 데이터라인에 리셋전압을 공급하는 단계와; 상기 리셋전압을 스토리지 커패시터에 공급하여 상기 스토리지 커패시터를 초기화하는 단계와; 제1 스캔라인에 제1 논리전압의 스캔펄스를 공급하여 제1 트랜지스터를 턴-온시키는 단계와; 상기 데이터라인에 데이터전압을 공급하는 단계와; 제2 박막트랜지스터의 문턱전압만큼 상기 제1 박막트랜지스터를 경유하여 공급되는 데이터전압을 보상하여 보상 데이터 전압을 발생하고 상기 보상 데이터전압을 상기 스토리지 커패시터에 저장하는 단계와; 상기 제1 스캔라인에 제2 논리전압을 공급하고 리셋라인에 리셋펄스를 공급하는 단계와; 상기 리셋펄스에 응답하여 상기 제2 논리전압을 상기 제2 박막트랜지스터의 게이트전극에 공급하는 단계를 포함한다.

상기 구동방법은 상기 제1 스캔라인에 상기 제1 논리전압의 스캔펄스가 공급될 때 제2 스캔라인에 제2 논리전압의 스캔펄스를 공급하여 제6 박막트랜지스터를 턴-오프시켜 유기발광다이오드소자의 전류패스를 개방하는 단계를 더 포함한다.

본 발명에 따른 유기발광다이오드 표시소자의 구동장치는 리셋전압과 데이터전압이 공급되는 데이터라인과; 상기 데이터라인과 교차되고 제1 논리전압의 제1 스캔펄스와 제2 논리전압이 제1 스캔라인과; 상기 데이터라인과 교차되고 리셋펄스

가 공급되는 리셋라인과; 매트릭스 형태로 배치되는 다수의 화소들과; 상기 화소 각각에 형성된 유기발광다이오드소자와; 상기 화소 각각에 형성된 스토리지 커패시터와; 상기 화소 내에서 상기 제1 스캔필스에 응답하여 상기 데이터라인으로부터의 리셋전압과 데이터전압을 제1 노드에 공급하는 제1 박막트랜지스터와; 상기 화소 내에서 제2 노드의 전압에 응답하여 상기 유기발광다이오드소자에 흐르는 전류를 제어하는 제2 박막트랜지스터와; 상기 제1 노드의 리셋전압을 상기 스토리지 커패시터에 저장시킨 후에 상기 제2 박막트랜지스터의 문턱치 전압만큼 상기 데이터전압을 보상하여 보상 데이터전압을 발생하고 상기 보상 데이터전압을 상기 제2 노드에 공급하여 상기 스토리지 커패시터에 상기 보상 데이터전압을 저장시키는 보상회로와; 상기 리셋필스에 응답하여 상기 제2 노드의 전압을 상기 제1 스캔라인으로부터의 제2 논리전압을 상기 제2 노드에 공급하는 회복회로를 구비한다.

상기 보상회로와 상기 회복회로 각각은 상기 화소 내에 배치된다.

상기 구동장치는 상기 제1 논리전압의 제1 스캔필스가 상기 제1 스캔라인에 공급되는 동안 제2 논리전압의 제2 스캔필스가 공급되고 상기 제2 논리전압이 상기 제1 스캔라인에 공급되는 동안 상기 제1 논리전압이 공급되는 제2 스캔라인과; 상기 제2 스캔라인으로부터의 제2 논리전압에 응답하여 상기 유기발광다이오드소자와 제3 노드 사이의 전류패스를 개방하는 제6 박막트랜지스터를 더 구비하고; 상기 제2 박막트랜지스터는 상기 제2 노드의 전압에 응답하여 상기 제3 노드와 저전위 구동전압원 사이의 전류를 제어한다.

상기 보상회로는 상기 제1 노드에 게이트전극 및 소스전극이 접속되고 상기 제2 노드에 드레인전극이 접속된 제3 박막트랜지스터와; 상기 제1 노드에 드레인전극이 접속되고 상기 제2 노드에 게이트전극 및 소스전극이 접속된 제4 박막트랜지스터를 구비한다.

상기 회복회로는 상기 리셋라인에 게이트전극이 접속되고 상기 제1 스캔라인에 소스전극이 접속되며 드레인전극이 상기 제2 노드에 접속되는 제5 박막트랜지스터를 구비한다.

상기 유기발광다이오드소자는 고전위구동 전압원과 상기 제6 박막트랜지스터의 소스전극 사이에 접속된다.

이하, 도 4 내지 도 11을 참조하여 본 발명의 바람직한 실시예들에 대하여 설명하기로 한다.

도 4 내지 도 6을 참조하면, 본 발명의 실시예에 따른 유기발광다이오드 표시소자의 구동장치는 $m \times n$ 개의 화소들이 형성되는 표시패널(30)과, 데이터라인들(DL1 내지 DLm)에 데이터전압을 공급하기 위한 데이터 구동부(32)와, 제1 및 제2 스캔라인들(SI 1 내지 SI n, SII 1 내지 SII n)에 서로 역위상인 스캔필스쌍을 순차적으로 공급하기 위한 스캔 구동부(33)와, 리셋필스를 리셋라인들(RL1 내지 RLn)에 공급하기 위한 리셋 구동부(34), 구동부들(32, 33, 34)을 제어하기 위한 타이밍 콘트롤러(31)를 구비한다.

표시패널(30)에는 화소들과 함께, 각각 n 개의 제1 및 제2 스캔라인들(SI 1 내지 SI n, SII 1 내지 SII n), 각각 n 개의 제1 및 제2 스캔라인들(SI 1 내지 SI n, SII 1 내지 SII n)과 교차하는 m 개의 데이터라인들(DL1 내지 DLm), m 개의 리셋라인들(RL1 내지 RLn)이 이 형성된다. 표시패널(30)의 각 화소들에는 고전위 구동 전압(VDD)과 저전위 구동전압(VSS)이 공급된다.

데이터 구동부(32)는 타이밍 콘트롤러(31)로부터의 제어신호(DDC)에 응답하여 각 화소(35)의 유기발광다이오드소자(OLED)가 발광되기 전에 각 화소(35)의 스토리지 커패시터(Cst)를 초기화하기 위한 리셋전압(Vrst)을 데이터라인들(DL1 내지 DLm)에 공급한 후, 타이밍 콘트롤러(31)로부터의 디지털 비디오 데이터(RGB)를 리셋전압(Vrst)보다 낮은 아날로그 감마보상전압으로 변환하고, 그 아날로그 감마보상전압을 데이터전압(Vdata)으로써 표시패널(30)의 데이터라인들(DL1 내지 DLm)에 공급한다.

스캔 구동부(33)는 타이밍 콘트롤러(31)로부터의 제어신호(SDC)에 응답하여 하이논리전압의 제1 스캔필스(SP1)를 제1 스캔라인들(SI 1 내지 SI n)에 순차적으로 공급함과 동시에, 제1 스캔필스(SP1)와 역위상으로 발생하는 로우논리전압의 제2 스캔필스(SP2)를 제1 스캔필스(SP1)와 동기되도록 제1 스캔라인들(SI 1 내지 SI n)에 순차적으로 공급한다.

제1 및 제2 스캔필스(SP1, SP2)는 각 화소들(35)의 스토리지 커패시터(Cst)가 초기화되는 P1 기간, 그 스토리지 커패시터(Cst)에 문턱치 전압이 보상된 데이터전압이 저장되는 P2 기간 동안 발생된다.

리셋 구동부(34)는 모든 수평 주사라인들이 스캐닝된 후 프레임의 종래 직전에 리셋펄스를 리셋라인들(RL1 내지 RLn)에 동시에 공급한다. 예컨대, 1 프레임 기간의 90% 정도는 스캔펄스들과 데이터들이 인가되고 그 1 프레임 기간의 나머지 10% 이내에서 리셋 구동부(34)는 리셋펄스를 리셋라인들(RL1 내지 RLn)에 공급한다. 한편, 리셋라인들(RL 내지 RLn)은 리셋 구동부(34)의 출력 단에서 공통으로 접속된다.

타이밍 콘트롤러(31)는 디지털 비디오 데이터(RGB)를 데이터 구동부(32)에 공급하고 수직/수평 동기신호와 클럭신호 등을 이용하여 스캔 구동부(33), 데이터 구동부(32) 및 리셋 구동부(34)의 동작 타이밍을 제어하기 위한 제어신호(DDC, GDC, RDC)를 발생한다.

표시패널(32)에 형성된 각 화소들 각각은 도 4와 같이 유기발광다이오드소자(OLED), 스토리지 커패시터(Cst), 제1 TFT(T1), 제2 TFT(T2), 제6 TFT(T6), 보상회로(41), 회복회로(42)를 구비한다.

유기발광다이오드소자(OLED)는 각 화소 내에서 도 1과 같은 구조로 형성된다. 이 유기발광다이오드소자(OLED)는 제2 및 제6 TFT(T2, T6)가 온 상태를 유지하는 발광기간 동안 스토리지 커패시터(Cst)에 저장된 데이터 전압에 대응하는 전류가 흘러 발광하게 된다.

스토리지 커패시터(Cst)는 보상회로(41)에 의해 유기발광다이오드소자(OLED)의 발광기간에 앞서 리셋전압(Vrst)으로 초기화된 후, 제2 TFT(T2)의 문턱전압만큼 보상된 데이터전압을 충전한다.

제1 TFT(T1)는 스위치 TFT로써, 제1 스캔라인(SI)으로부터 공급되는 하이논리전압의 제1 스캔펄스에 응답하여 데이터라인(DL)으로부터의 데이터전압을 제1 노드(n1)에 공급한다. 이 제1 TFT(T1)의 게이트전극은 제1 스캔라인(SI)에 접속되고 소스전극은 데이터라인(DL)에 접속된다. 그리고 제1 TFT(T1)의 드레인전극은 제1 노드(n1)에 접속된다.

제2 TFT(T2)는 구동 TFT로써 스토리지 커패시터(Cst)에 저장된 데이터전압만큼 소스전극과 드레인전극 간에 전류를 흘려 유기발광다이오드소자(OLED)에 전류가 흐르도록 함으로써 유기발광다이오드소자(OLED)를 구동한다. 이 제2 TFT(T2)의 게이트전극은 제2 노드(n2)에 접속되고, 소스전극은 제3 노드(n3)에 접속된다. 그리고 제2 TFT(T2)의 드레인전극은 저전위 구동전압(VSS) 또는 기저전압을 발생하는 저전위 공통전압원에 접속된다.

제6 TFT(T6)는 스위치 TFT로써 로우논리전압의 제2 스캔펄스(SP2)가 제2 스캔라인(SII)에 공급되는 P1, P2 기간 동안 턴-오프되어 유기발광다이오드소자(OLED)의 전류패스를 차단하고, 그 이외의 발광기간 동안 온 상태를 유지하여 유기발광다이오드소자(OLED)의 전류패스를 형성한다. 이 제6 TFT(T6)의 게이트전극은 제2 스캔라인(SII)에 접속되고, 소스전극은 고전위 구동전압(VDD)에 접속된다. 그리고 제6 TFT(T6)의 드레인전극은 제3 노드(n3)를 경유하여 제2 TFT(T2)의 소스전극에 접속된다.

보상회로(41)는 제1 노드(n1)의 전압에 응답하여 스토리지 커패시터(Cst)를 초기화하고, 제2 TFT의 문턱치를 보상하는 데이터전압(이하, "보상 데이터전압"이라 함)을 발생하고 그 보상 데이터전압을 스토리지 커패시터(Cst)에 저장한다.

이 보상회로(41)는 각각 다이오드 역할을 하며 반도체특성이 제2 TFT(T2)와 실질적으로 동일하거나 유사한 제3 및 제4 TFT(T3, T4)를 구비한다.

제3 TFT(T3)는 도 7과 같이 제1 노드(n1)의 전압이 제2 노드(n2)의 전압보다 자신의 문턱치 전압 이상으로 높을 때 턴-온되어 데이터라인(DL)으로부터의 리셋전압(Vrst)을 스토리지 커패시터(Cst)에 저장한다. 이 제3 TFT(T3)가 턴-온될 때 전류(i)는 제1 노드(n1)로부터 제2 노드(n2) 쪽으로 흐르게 된다. 이 제3 TFT(T3)의 게이트전극 및 소스전극은 제1 노드(n1)에 접속되고 드레인전극은 제2 노드(n2)에 접속된다.

제4 TFT(T4)는 도 8과 같이 제2 노드(n2)의 전압이 제1 노드(n1)의 전압보다 자신의 문턱치 전압 이상으로 높을 때 턴-온되어 스토리지 커패시터(Cst)의 전압을 리셋전압(Vrst)으로부터 데이터전압(Vdata) + 제4 TFT(T4)의 문턱치 전압까지 낮춘다. 이 제4 TFT(T4)가 턴-온될 때 전류(i)는 제2 노드(n2)로부터 제1 노드(n1) 쪽으로 흐르게 된다. 이 제4 TFT(T4)의 게이트전극 및 소스전극은 제2 노드(n2)에 접속되고 드레인전극은 제1 노드(n1)에 접속된다.

이러한 보상회로(41)의 보상 동작을 도 5 내지 도 8을 결부하여 단계적으로 설명하면 다음과 같다.

도 6의 P1 기간 동안 TFT의 문턱전압보다 높은 하이논리전압의 제1 스캔펄스(SP1)가 제1 스캔라인(S I)에 공급됨과 동시에 로우논리전압 또는 TFT의 문턱전압보다 낮은 게이트로우전압의 제2 스캔펄스(SP2)가 제2 스캔라인(SII)에 공급된다. 그러면, 제4 및 제6 TFT(T4, T6)는 턴-오프되는 반면 제1 및 제3 TFT(T1, T3)는 턴-온되어 데이터라인(DL)으로부터의 리셋전압(Vrst)이 도 7과 같이 스토리지 커패시터(Cst)에 저장된다.

이어서, 도 6의 P2 기간 동안 제1 스캔펄스(SP1)는 하이논리전압을 유지하고 제2 스캔펄스(SP2)는 로우논리전압을 유지한다. 이 P2 기간 동안 제6 TFT(T4, T6)는 오프 상태를 유지하고, 제1 TFT(T1)는 온 상태를 유지한다. 그리고 도 8과 같이 제3 TFT(T3)는 턴-오프되는 반면 제4 TFT(T4)는 턴-온된다. 따라서, P2 기간 동안, 스토리지 커패시터(Cst)의 전압은 리셋전압(Vrst)으로부터 (데이터전압(Vdata) + 제4 TFT의 문턱전압) 만큼 낮아지게 된다. 그 결과, 스토리지 커패시터(Cst)에는 제2 TFT(T2)의 문턱전압이 보상된 데이터 전압이 저장된다. 이러한 보상원리는 아래의 수학식 1에서 명백히 알 수 있다.

$$I_{T2} = k \frac{(V_{data} + V_{thT4} - V_{thT2})^2}{2}$$

여기서, I_{T2} 는 제2 TFT(T2)의 소스-드레인전극 간 흐르는 전류, k 는 상수, V_{data} 는 데이터전압, V_{thT4} 는 제4 TFT(T4)의 문턱전압, 그리고 V_{thT2} 는 제2 TFT(T2)의 문턱전압을 각각 의미한다.

전술한 바와 같이 제2 및 제4 TFT(T2, T4)는 근접 배치되어 있어 반도체 특성과 문턱전압이 실질적으로 동일하다. 따라서, 수학식 1에서 알 수 있는 바 제2 TFT(T2)의 문턱전압만큼 제4 TFT(T4)의 문턱전압이 변동하게 되고, 제2 TFT(T2)의 게이트전압을 공급하는 스토리지 커패시터(Cst)의 전압이 (데이터전압(Vdata) + 제4 TFT의 문턱전압)을 저장하므로 제4 TFT(T4)의 문턱전압이 보상된다.

P2 기간에 이어서, 제1 스캔라인(S I)의 전압이 로우논리전압으로 변하고 제2 스캔라인(SII)의 전압이 하이논리전압으로 변하면, 제6 TFT(T6)가 턴-온되고 제2 TFT(T2)의 보상된 데이터전압에 의해 온 상태를 유지한다. 따라서, P2 기간에 이어서, 유기발광다이오드소자(OLED)는 원 데이터의 계조에 대응하는 전류가 흐르게 되어 발광된다.

결국, 보상회로(41)는 도 3에서 제2 TFT(T4)의 문턱전압 쉬프트만큼 데이터전압을 보상하여 제2 TFT(T2)에 흐르는 전류가 원 데이터의 계조에 맞게 유기발광 다이오드소자(OLED)에 전류가 흐르도록 한다.

회복회로(42)는 하이논리전압의 리셋펄스(RST)에 응답하여 로우논리전압을 제2 노드(n2)에 공급하여 도 9의 화살표와 같이 제2 TFT(T2)의 문턱전압 쉬프트를 초기상태로 회복시킨다. 이를 위하여, 회복회로(42)는 제5 TFT(T5)를 구비한다. 제5 TFT(T5)의 게이트전극은 리셋라인(RL)에 접속되고 및 소스전극은 제1 스캔라인(S I)에 접속된다. 그리고 제5 TFT(T5)의 드레인전극은 제2 노드(n2)에 접속된다. 이러한 구동 TFT 특성 회복회로(42)의 제2 TFT(T2)의 문턱전압 특성 회복원리는 다음과 같다.

제2 TFT(T2)가 N 타입 MOS-FET로 구현되고 그 게이트전압이 문턱전압 이상의 정극성 전압이 지속적으로 공급되면 도 3의 화살표와 같이 문턱전압이 더 높은 전압 쪽으로 쉬프트된다. 즉, 제2 TFT(T2)는 포지티브 스트레스(Positive stress)에 의해 문턱전압이 쉬프트되는 것이다. 회복회로(42)는 비스캔기간 동안 제2 TFT(T2)의 게이트전극에 접속된 제2 노드(n2)에 제2 TFT의 문턱전압보다 낮은 로우논리전압을 공급하여 즉, 네가티브 바이어스 전압을 제2 TFT(T2)의 게이트전극에 인가하여 제2 TFT(T2)의 게이트-소스 간 전압이 마이너스 값이 되도록 함으로써 제2 TFT(T2)의 문턱전압 특성을 도 9와 같이 회복시킨다.

도 10 및 도 11은 본 발명의 실시예들에 따른 유기발광다이오드 표시소자의 구동과형을 나타내는 파형도들이다. 도 10과 같이 리셋펄스(RST)는 도 10과 같이 스캔펄스들(SP1, SP2)에 이어서 리셋라인들(RL1 내지 RLn)에 순차적으로 공급된다. 또한, 리셋펄스(RST)는 도 11과 같이 모든 스캔라인들(S I 1 내지 S I n, S II 1 내지 S II n)에 스캔펄스들(SP1, SP2)이 공급된 직후인 한 프레임 기간의 종료시점에 모든 리셋라인들(RL1 내지 RLn)에 동시에 공급된다.

한편, 본 발명에 따른 유기발광다이오드 표시소자는 실시예에서 N 타입 MOS-FET를 중심으로 설명되었지만 P 타입 MOS-FET에도 적용될 수 있다. 화소들 내의 스위치가 P 타입 MOS-FET로 구현되면 데이터, 스캔펄스, 리셋펄스의 극성이 전술한 실시예와 반대로 된다. 또한, 본 발명에 따른 유기발광다이오드 표시소자의 TFT들은 비정질 실리콘 또는 폴리실리콘의 반도체층을 포함한다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 유기발광다이오드 표시소자의 구동방법 및 장치는 각 화소들 내에 보상회로를 구성하여 구동 TFT의 문턱치 전압 변동을 보상함과 아울러 상기 각 화소들 내에 회복회로를 구성하여 구동 TFT에 누적되는 스트레스를 원 상태로 회복할 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

도 1은 통상의 유기발광다이오드 표시소자의 구조를 개략적으로 나타내는 도면.

도 2는 통상의 액티브 매트릭스 방식의 유기발광다이오드 표시소자에 있어서 한 화소를 등가적으로 나타내는 회로도.

도 3은 도 2에 도시된 구동 박막트랜지스터의 문턱치 전압 변동 예를 나타내는 그래프.

도 4는 본 발명의 실시예에 따른 유기발광다이오드 표시소자를 나타내는 블록도.

도 5는 도 4에 도시된 한 화소를 등가적으로 나타내는 회로도.

도 6은 도 5에 도시된 화소에 공급되는 구동 신호를 나타내는 파형도.

도 7은 도 6의 P1 기간 동안 도 5에 도시된 화소의 동작을 설명하기 위한 회로도.

도 8은 도 6의 P2 기간 동안 도 5에 도시된 화소의 동작을 설명하기 위한 회로도.

도 9는 도 5에 도시된 회복회로에 의한 박막트랜지스터의 문턱전압특성의 회복원리를 설명하기 위한 그래프.

도 10은 본 발명의 실시예에 따른 리셋펄스를 나타내는 파형도.

< 도면의 주요 부분에 대한 부호의 설명 >

30 : 표시패널 31 : 타이밍 컨트롤러

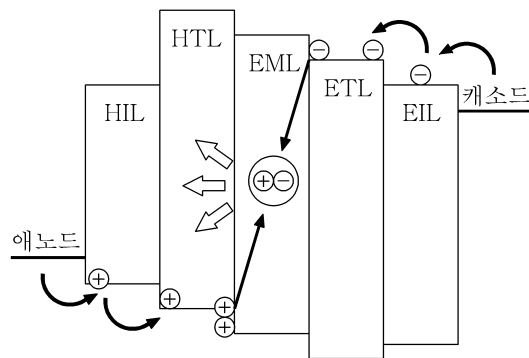
32 : 데이터 구동부 33 : 게이트 구동부

34 : 리셋 구동부 41 : 보상회로

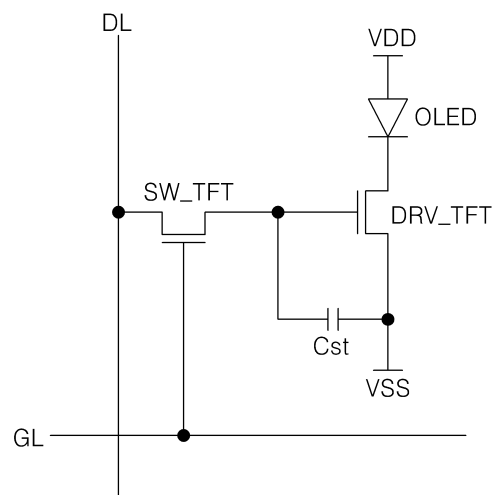
42 : 회복회로

도면

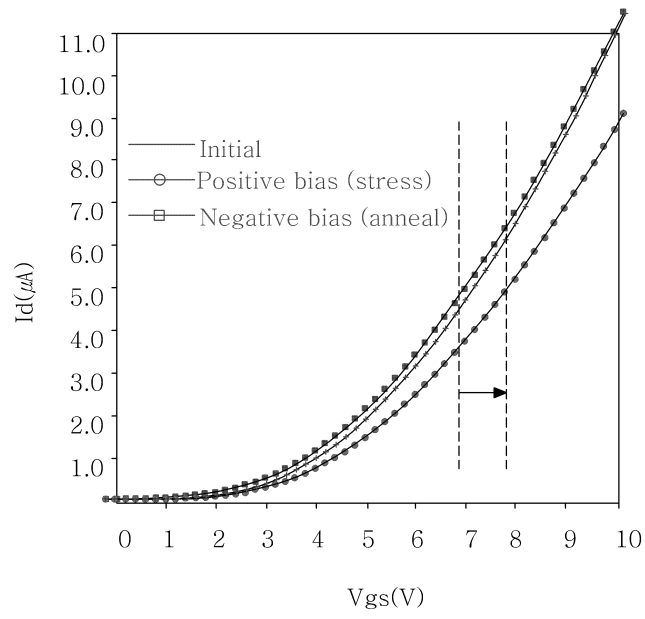
도면1



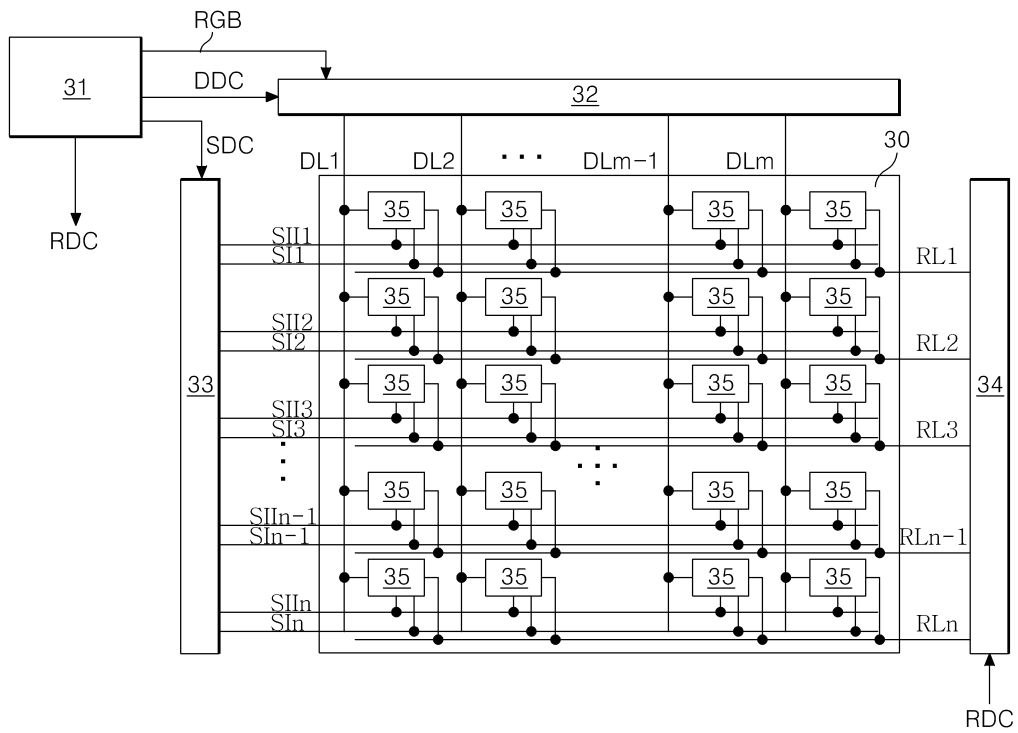
도면2



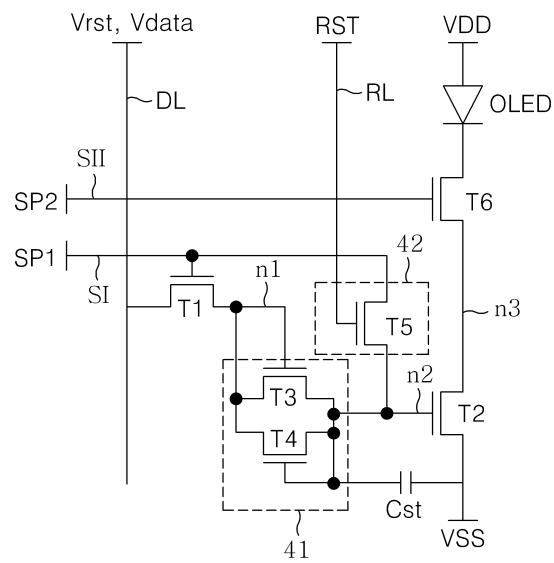
도면3



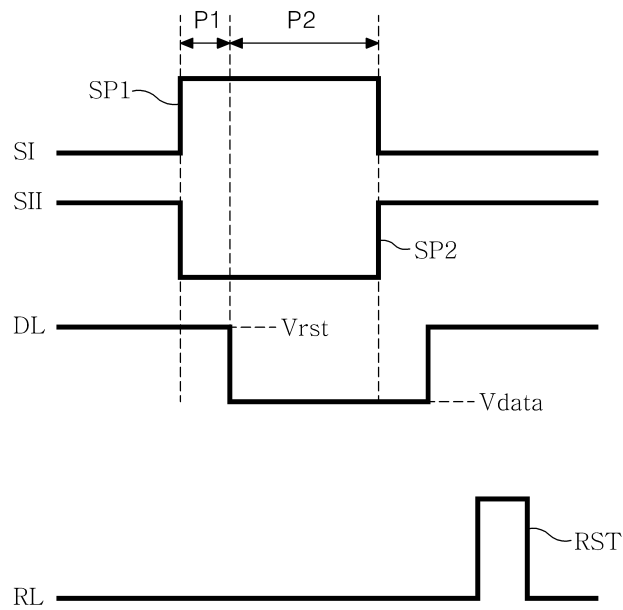
도면4



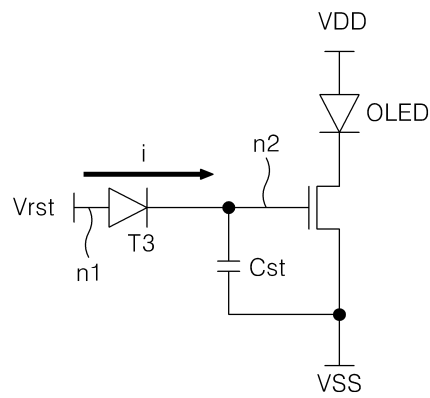
도면5



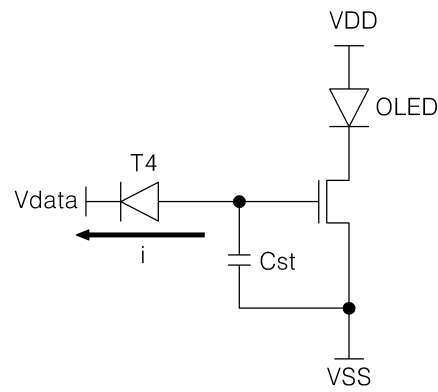
도면6



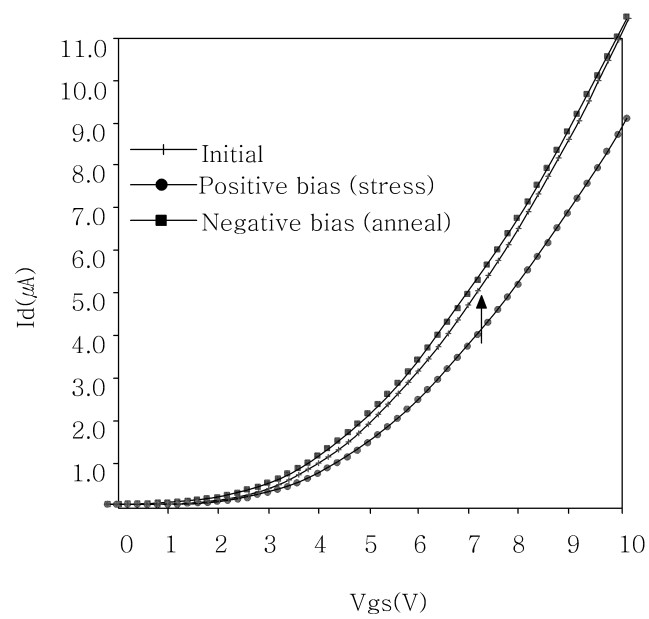
도면7



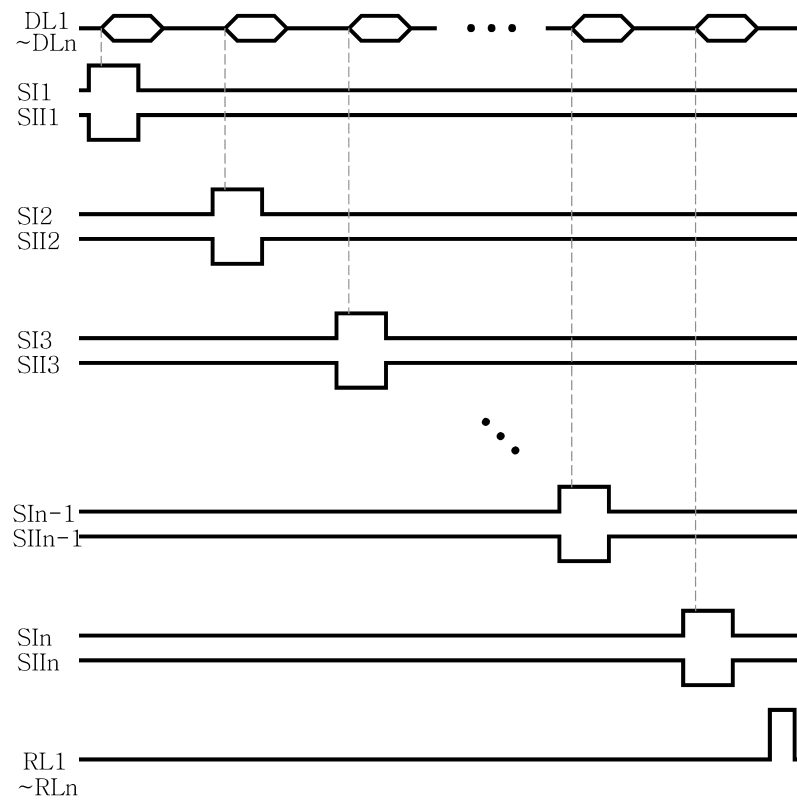
도면8



도면9



도면10



专利名称(译)	用于驱动有机发光二极管显示元件的方法和设备		
公开(公告)号	KR1020070071524A	公开(公告)日	2007-07-04
申请号	KR1020050135047	申请日	2005-12-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JOO IN SU		
发明人	JOO,IN SU		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/325 G09G3/3291 G09G2300/043 G09G2300/0876		
外部链接	Espacenet		

摘要(译)

本发明涉及一种有机发光二极管显示装置的驱动方法，用于恢复薄膜晶体管的阈值电压变化的薄膜晶体管的原始状态恢复性能及其装置。该有机发光二极管显示装置的驱动方法包括以下步骤：响应于将复位电压提供给数据线的步骤，向第二薄膜晶体管的栅极提供第二逻辑电压：初始化存储电容器的步骤它提供存储电容：向步骤提供数据电压的步骤：转向的数据线 - 接通它所提供的第一个晶体管：在存储电容器中存储它产生的补偿数据电压的步骤：提供的步骤复位线中的复位脉冲将第二逻辑电压提供给第一扫描线：复位脉冲。

