



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

H05B 33/22 (2006.01)

H05B 33/10 (2006.01)

(11) 공개번호 10-2007-0069225

(43) 공개일자 2007년07월03일

(21) 출원번호 10-2005-0131088

(22) 출원일자 2005년12월28일

심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 황광조
경기 안양시 동안구 비산동 1155번지 그린빌주공아파트 101-1801
김종무
서울 은평구 응암1동 92-9호 현대아트빌라 202호

(74) 대리인 허용록

전체 청구항 수 : 총 22 항

(54) 유기 전계 발광 표시 장치 및 이의 제조 방법

(57) 요약

본 발명은 유기 전계 발광 표시 장치에 관한 것으로, 상기 유기 전계 발광 표시 장치는 다수의 서브픽셀이 정의된 제 1 기관; 상기 제 1 기관상에 형성된 제 1 전극; 상기 제 1 전극 상의 각 서브 픽셀을 구획하는 외곽영역에 형성된 버퍼층; 상기 버퍼층 상에 형성되며, 하부가 함몰된 격벽; 상기 제 1 전극상에 형성된 유기 발광층; 및 상기 유기 발광층 상에 형성된 제 2 전극을 포함함으로써, 상기 격벽에 의해, 각 서브픽셀별로 분리할 수 있어, 서브픽셀간 쇼트(short) 불량을 방지할 수 있다.

대표도

도 2a

특허청구의 범위

청구항 1.

다수의 서브픽셀이 정의된 제 1 기관;

상기 제 1 기관상에 형성된 제 1 전극;

상기 제 1 전극 상의 각 서브 픽셀을 구획하는 외곽영역에 형성된 버퍼층;

상기 버퍼층 상에 형성되며, 하부가 함몰된 격벽;

상기 제 1 전극상에 형성된 유기 발광층; 및

상기 유기발광층 상에 형성된 제 2 전극을 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 2.

제 1 항에 있어서,

상기 버퍼층에 트렌치가 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 3.

제 2 항에 있어서,

상기 격벽은 상기 트렌치에 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 4.

제 1 항에 있어서,

상기 격벽은 T자, Y자 및 I자로 이루어진 군에서 선택된 적어도 하나의 형태를 가지는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 5.

제 1 항에 있어서,

상기 격벽은 감광성 수지로 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 6.

제 1 항에 있어서,

상기 격벽은 아크릴계 수지, 벤조사이클로부텐(BCB), 폴리이미드(PI) 및 노볼락계 수지로 이루어진 군에서 선택된 적어도 하나를 포함하여 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 7.

제 1 항에 있어서,

상기 격벽과 일정 간격 이격되어 배치되는 스페이서를 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 8.

제 1 항에 있어서,

상기 제 2 전극은 상기 격벽에 의해 각 서브픽셀단위로 분리된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 9.

제 1 항에 있어서,

상기 제 1 기관과 제 1 전극 사이에 형성된 보조전극을 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 10.

제 1 항에 있어서,

상기 유기발광층 상부 또는 하부에 전자주입층, 전자수송층, 정공억제층, 정공수송층 및 정공주입층으로 이루어진 군에서 선택된 적어도 하나 이상을 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 11.

제 1 항에 있어서,

상기 제 2 전극상에 형성된 흡습층을 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 12.

제 1 항에 있어서,

상기 제 1 기관과 일정간격으로 이격되어 배치되되, 적어도 하나의 박막트랜지스터가 구비된 제 2 기관을 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 13.

다수의 서브픽셀이 정의된 제 1 기관을 제공하는 단계;

상기 제 1 기관상에 제 1 전극을 형성하는 단계;

상기 제 1 전극상에 절연막을 형성하는 단계;

상기 절연막상에 제 1 감광성막 패턴을 형성하는 단계;

상기 제 1 감광성막 패턴에 대응된 상기 절연막을 식각하여 버퍼층을 형성하는 단계;

상기 제 1 감광성막 패턴 상에 제 2 감광성막 패턴을 형성하는 단계;

상기 제 1 감광성막 패턴을 제거하여, 상기 제 2 감광성막 패턴으로 이루어진 격벽을 형성하는 단계;

상기 제 1 전극상에 유기 발광층을 형성하는 단계; 및

상기 유기 발광층 상에 제 2 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 14.

제 13항에 있어서,

상기 절연막은 질화 실리콘막, 산화 실리콘막 또는 이들의 적층막으로 형성하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 15.

제 13항에 있어서,

상기 버퍼층에 트렌치를 형성하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 16.

제 15항에 있어서,

상기 격벽은 상기 트렌치에 형성되는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 17.

제 13항에 있어서,

상기 제 1 감광성막 패턴은 포지티브 감광성수지로 형성되고, 상기 제 2 감광성막 패턴은 네가티브 감광성 수지로 형성되는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 18.

제 13항에 있어서,

상기 제 1 감광성막 패턴은 네가티브 감광성수지로 형성되고, 상기 제 2 감광성막 패턴은 포지티브 감광성 수지로 형성되는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 19.

제 15항에 있어서,

상기 제 2 감광성막 패턴은 상기 트렌치를 포함하는 상기 제 1 감광성막 패턴과 일부분 중첩되도록 형성하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 20.

제 13항에 있어서,

상기 제 1 감광성막 패턴을 제거하여, 상기 제 2 감광성막 패턴으로 이루어진 격벽을 형성하는 단계이후에,

상기 격벽을 경화하는 단계를 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 21.

제 13항에 있어서,

상기 제 1 감광성막 패턴을 제거하여, 상기 제 2 감광성막 패턴으로 이루어진 격벽을 형성하는 단계이후에,

상기 버퍼층 상에 상기 격벽과 일정간격으로 이격되어 배치된 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 22.

제 13항에 있어서,

상기 제 1 기판상에 제 1 전극을 형성하는 단계이전에, 상기 제 1 기판상에 보조전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

명세서**발명의 상세한 설명****발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 유기 전계 발광 표시 장치에 관한 것으로, 특히, 각 서브픽셀간 쇼트불량을 방지할 수 있는 듀얼 패널 타입의 유기 전계 발광 표시 장치 및 그 제조방법에 관한 것이다.

유기 전계 발광 표시 장치는 전자(electron)와 정공(hole)이 반도체 안에서 전자-정공 쌍을 만들거나 캐리어(carrier)들이 좀더 높은 에너지 상태로 여기된 후 다시 안정화 상태인 바닥상태로 떨어지는 과정을 통해 빛이 발생하는 현상을 이용한다.

이와 같이, 상기 유기 전계 발광 표시 장치는 자체발광형이기 때문에 액정 표시 장치와 같이 백라이트가 필요하지 않으므로 경량 박형이 가능하다. 또한, 저전압 구동, 높은 발광 효율, 넓은 시야각 및 빠른 응답속도등의 장점을 가지고 있어 고화질의 동영상 구현하는데 유리하다.

특히, 상기 유기 전계 발광 표시 장치의 제조공정에는, 액정표시장치나 PDP(Plasma Display Panel)와 달리 증착 및 봉지(encapsulation) 장비가 전부라고 할 수 있기 때문에, 공정이 매우 단순하다.

또한, 각 화소마다 스위칭 소자인 박막트랜지스터를 가지는 액티브 매트릭스방식으로 유기 전계 발광 표시 장치를 구동하게 되면, 낮은 전류를 인가하더라도 동일한 휘도를 나타내므로 저소비 전력, 고정세, 대형화가 가능한 장점을 가진다.

도 1은 종래의 유기 전계 발광 표시 장치에 대한 개략적인 단면도로서, 이는 하부 발광방식으로 동작하는 액티브 매트릭스 방식의 단면 구조를 나타내고 있다.

도 1을 참조하여 설명하면, 박막트랜지스터(Tr)가 형성된 기판(10)이 위치한다. 상기 박막트랜지스터(Tr)는 게이트 전극(15), 액티브층(25) 및 소스/드레인 전극(27a, 27b)을 포함한다.

이후에, 상기 드레인 전극(27b)의 일부분을 노출하는 콘택홀을 구비한 보호막(20)이 위치한다.

상기 보호막(20)에 형성된 상기 콘택홀을 통하여 상기 드레인 전극(27b)과 전기적으로 연결된 제 1전극(30)이 위치한다.

상기 제 1 전극(30)에 서브픽셀이 정의된 절연막(40)이 위치하고, 상기 서브픽셀의 상기 제 1 전극(30) 상에 유기 발광층(50)이 위치한다. 상기 유기 발광층(50) 상에 공통전극으로 제 2 전극(60)이 형성된다. 여기서, 상기 제 1, 제 2 전극(30, 60)은 상기 유기 발광층(50)이 광을 방출할 수 있도록 전계를 인가하는 역할을 한다.

이후, 상기 기판(10)상에 형성된 유기 전계 발광 다이오드 소자(E)를 외부의 습기 및 산소로부터 보호하기 위해, 상기 기판(10)의 외곽부에 실란트(70)를 도포한뒤, 상기 유기 전계 발광 다이오드 소자(E)에 대향되도록 봉지기판(80)을 합착하는 봉지공정을 수행함으로써 유기 전계 발광 표시 장치가 제조된다.

즉, 이와 같은 유기 전계 발광 표시 장치는, 상기 어레이 소자 및 유기 전계 발광 다이오드 소자가 형성된 기판과 별도의 봉지기판의 합착을 통해 형성된다. 이때, 상기 어레이 소자의 수율과 유기 전계 발광 다이오드 소자의 수율의 곱이 유기 전계 발광 표시 장치의 수율을 결정하기 때문에, 후반 공정에 해당되는 유기 전계 발광 다이오드 소자의 제조 공정에 의해 전체 공정 수율이 크게 제한된다. 예를 들어, 어레이 소자가 양호하게 형성되었다 하더라도, 1000Å 정도의 박막을 사용하는 유기 발광층의 형성 시 이물이나 기타 다른 요소에 의해 불량 발생하게 되면, 유기 전계 발광 표시 장치는 불량 등급으로 판정된다.

이로 인하여, 양품의 어레이 소자를 제조하는데 소요되었던 제반 경비 및 재료비 손실이 초래되고, 생산수율이 저하되는 문제점이 있다.

또한, 하부발광방식의 유기 전계 발광 표시 장치는 봉지공정에 의한 안정성 및 공정의 자유도가 높은 반면 개구율의 제한이 있어 고해상도 제품에 적용하기 어려운 문제점이 있다. 이와 달리, 상부발광방식의 유기 전계 발광 표시 장치는 박막트랜지스터 설계가 용이하고 개구율 향상이 가능하기 때문에 제품수명 측면에서 유리하다. 그러나, 종래의 상부발광방식의 유기 전계 발광 표시 장치에서는 유기발광층 상부에 통상적으로 음극이 위치함에 따라 재료선택폭이 좁기 때문에 투과도가 제한되어 광효율이 저하되는 등의 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 박막트랜지스터와 유기 전계 발광 다이오드 소자의 수율이 서로 영향을 받지 않도록 형성하여, 불량률 및 생산관리 효율을 증대시킬 수 있는 유기 전계 발광 표시 장치 및 그의 제조 방법을 제공함에 그 목적이 있다.

또한, 광효율이 향상된 상부발광방식의 유기 전계 발광 표시 장치 및 그의 제조 방법을 제공함에 다른 목적이 있다.

또한, 각 서브픽셀간 쇼트(short) 불량을 방지할 수 있는 유기 전계 발광 표시 장치 및 그의 제조 방법을 제공함에 또 다른 목적이 있다.

발명의 구성

상기 기술적 과제를 이루기 위하여 본 발명의 일 측면은 유기 전계 발광 표시 장치를 제공한다. 상기 유기 전계 발광 표시 장치는 다수의 서브픽셀이 정의된 제 1 기판; 상기 제 1 기판상에 형성된 제 1 전극; 상기 제 1 전극 상의 각 서브 픽셀을 구획하는 외곽영역에 형성된 버퍼층; 상기 버퍼층 상에 형성되며, 하부가 함몰된 격벽; 상기 제 1 전극상에 형성된 유기 발광층; 및 상기 유기 발광층 상에 형성된 제 2 전극을 포함한다.

상기 기술적 과제를 이루기 위하여 본 발명의 다른 일 측면의 유기 전계 발광 표시 장치의 제조 방법을 제공한다. 상기 제조 방법은 다수의 서브픽셀이 정의된 제 1 기판을 제공하는 단계; 상기 제 1 기판상에 제 1 전극을 형성하는 단계; 상기 제 1 전극상에 절연막을 형성하는 단계; 상기 절연막상에 제 1 감광성막 패턴을 형성하는 단계; 상기 제 1 감광성막 패턴에 대

응된 상기 절연막을 식각하여 버퍼층을 형성하는 단계; 상기 제 1 감광성막 패턴 상에 제 2 감광성막 패턴을 형성하는 단계; 상기 제 1 감광성막 패턴을 제거하여, 상기 제 2 감광성막 패턴으로 이루어진 격벽을 형성하는 단계; 상기 제 1 전극상에 유기 발광층을 형성하는 단계; 및 상기 유기 발광층 상에 제 2 전극을 형성하는 단계를 포함한다.

이하, 본 발명에 의한 유기 전계 발광 표시 장치의 도면을 참고하여 상세하게 설명한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되어지는 것이다. 따라서, 본 발명은 이하 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고, 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

도 2a 내지 도 2c는 본 발명의 제 1 실시예에 따른 유기 전계 발광 표시 장치의 단면을 도시한 도면들이다.

도 2a를 참조하여 설명하면, 상기 유기 전계 발광 표시 장치는 서로 일정간격으로 이격되어 배치되어 위치하는 제 1 기판(100)과 제 2 기판(200)을 포함한다.

여기서, 상기 제 1 기판(100)의 내측에는 유기 전계 발광 다이오드 소자(E)가 형성되어 있다. 또, 상기 제 2 기판(200)의 내측에는 박막트랜지스터(Tr)가 형성되어 있다.

이때, 상기 제 1 기판(100)과 제 2 기판(200)사이에 개재된 스페이서(150)에 의해 상기 유기 전계 발광 다이오드 소자(E)와 상기 박막트랜지스터(Tr)는 전기적으로 연결되어 있다. 또, 상기 스페이서(150)에 의해, 상기 두 기판은 일정한 간격을 유지할 수 있다.

이로써, 상기 박막트랜지스터(Tr)의 구동에 의해서, 상기 유기 전계 발광 다이오드 소자(E)는 발광하게 되고, 상기 제 2 기판(200)으로 광이 방출되어, 사용자에게 화상을 제공할 수 있다.

도 2b를 참조하여, 상기 도 2a의 유기 전계 발광 표시 장치를 구성하는 유기 전계 발광 다이오드 소자(E)가 형성된 제 1 기판(100)을 자세하게 설명한다.

먼저, 제 1 기판(100)이 위치한다. 상기 제 1 기판(100)은 다수의 서브픽셀로 정의되어 있다. 상기 제 1 기판(100)은 투명한 물질로, 유리 기판 또는 플라스틱 기판일 수 있으나, 본 발명의 실시예에서 한정하는 것은 아니다.

상기 제 1 기판(100) 상에 제 1 전극(110)이 위치한다. 이때, 상기 제 1 전극(110)은 투명성 도전 물질로 이루어질 수 있다. 이를테면, 상기 제 1 전극(110)은 ITO 또는 IZO로 이루어질 수 있다. 이로써, 상기 제 1 기판(100)으로 광이 방출하는 경우, 즉 상부발광형의 유기 전계 발광 표시 장치에서 상부에 투과율이 뛰어난 제 1 전극(100)이 위치하게 되므로, 광 효율을 향상시킬 수 있다.

더 나아가, 상기 제 1 기판(100)상에 상기 제 1 전극(110)과 전기적으로 연결된 보조전극(105)이 위치할 수 있다. 여기서, 상기 보조전극(105)은 상기 제 1 전극(110)의 저항차를 줄이는 역할을 한다. 이는 상기 제 1 전극(110)이 상술한 바와 같이, 저항이 큰 물질로 이루어지기 때문에, 휘도가 불균일해 질 수 있기 때문이다.

여기서, 상기 보조전극(105)은 저항이 낮은 금속으로, 이를테면, Al, AlNd, Mo 또는 Cr로 이루어진 군에서 선택된 적어도 하나의 물질로 이루어질 수 있다.

상기 제 1 전극(110)상에 상기 각 서브 픽셀을 구획하는 외곽영역에 버퍼층(115)이 위치한다. 상기 버퍼층(115)은 산화 실리콘막, 질화 실리콘막 또는 이들의 적층막으로 이루어질 수 있다.

이때, 상기 버퍼층(115)은 트렌치를 구비하며, 상기 트렌치에 격벽(125)이 위치한다. 상기 격벽(125)은 후술할 제 2 전극을 각 서브픽셀로 분리하기 위한 세퍼레이터(separator) 역할을 수행한다. 이때, 상기 격벽(125)에 의해, 상기 제 2 전극이 분리되지 않으면, 국부적으로 제 2 전극의 쇼트 불량 즉, 각 서브픽셀간 쇼트 불량을 발생할 수 있다.

이로써, 상기 제 2 전극을 효율적으로 분리하기 위하여, 상기 격벽(125)은 그 하부가 상부보다 함몰된 형태를 가진다. 즉, 상기 격벽(125)은 T자, Y자 및 I자로 이루어진 군에서 선택된 적어도 하나의 형태를 가질 수 있다.

이로써, 상기 제 2 전극을 형성하기 위한 도전성 물질이 상기 격벽(125)을 포함하는 기판상에 증착할 시에, 상기 격벽(125)에 의해, 자동적으로 용이하게 분리될 수 있다.

상기 격벽(125)은 감광성 수지를 포함하여 형성될 수 있다. 이를테면, 상기 격벽(125)은 아크릴계 수지, 벤조사이클로부텐(BCB), 폴리이미드(PI) 및 노볼락계 수지로 이루어진 군에서 선택된 적어도 하나를 포함하여 형성될 수 있다.

상기 버퍼층(115)상에 형성하되, 상기 격벽(125)과 일정 간격 이격되어 배치되는 스페이서(150)를 더 포함할 수 있다.

상기 스페이서(150)는 상기 제 1 기판(100)과 제 2 기판(200)의 셀갭을 유지하는 역할을 하며, 상기 제 1 기판에 형성된 유기 전계 발광 다이오드 소자(E)와 상기 제 2 기판에 형성되는 박막트랜지스터(Tr)를 전기적으로 연결해주는 역할을 수행한다.

상기 스페이서(125)를 포함하는 상기 제 1 전극(110)상에 유기발광층(120)이 위치한다.

상기 유기 발광층(120)은 그 상부면 또는 하부면에 정공 주입층, 정공 수송층, 정공 억제층, 전자 수송층 및 전자 주입층으로 이루어진 군에서 선택된 적어도 하나 이상의 유기층을 더 포함할 수 있다. 이로써, 상기 제 1 전극(110), 유기 발광층(120) 및 제 2 전극(130)의 각각 경계면에서의 에너지 레벨을 적절하게 조절해주어, 상기 유기 발광층(120)으로 전자와 정공을 효율적으로 주입시킬 수 있다. 이로써, 완성된 유기 전계 발광 표시 장치의 발광 효율을 향상시킬 수 있다.

상기 유기 발광층(120)상에 제 2 전극(130)이 위치한다. 이때, 상기 제 2 전극(130)은 상술한 바와 같이, 상기 격벽(125)에 의해 각 서브픽셀 단위로 분리되어 있다.

상기 제 2 전극(130)은 반사성을 가지는 도전물질로, Mg, Ca, Al, Ag, Ba 및 이들의 합금으로 이루어진 군에서 선택된 하나의 물질로 이루어질 수 있다.

도면에는 도시하지 않았으나, 상기 제 2 전극(130) 상부에 흡습층이 더 구비될 수 있다. 이는 상기 유기 발광층(120)이 수분 또는 산소와 반응하여, 상기 유기 발광층(120)을 이루는 물질의 화학 구조식이 변하게 되어 발광 특성이 소멸될 수 있다. 이로 인하여, 화소의 한 부분이 발광하지 않는 흑점이 발생할 수 있다. 더군다나, 상기 흑점은 시간이 지남에 따라 증가하게 되어, 결국에는 한 서브픽셀은 광이 나오지 않게 되어 완성된 유기 전계 발광 표시 장치의 불량률을 일으킬 수 있으며, 수명이 줄어든다. 이로써, 상기 흡습층을 더 형성하여 이를 해결하고자 함이다. 이때, 상기 흡습층은 산화바륨, 산화칼슘, 산화알루미늄, 황산리튬, 황산나트륨, 황산칼슘, 황산마그네슘, 황산코발트, 황산갈륨, 황산티타늄, 염화칼슘, 질산 칼슘으로 이루어진 군에서 선택된 하나 이상의 물질로 이루어질 수 있다.

이때, 상기 흡습층은 상기 박막트랜지스터(Tr)와의 접촉 불량을 방지하기 위하여, 상기 스페이서(150)의 꼭지부, 즉, 상기 박막트랜지스터(Tr)와 접촉하는 영역에는 형성하지 않는 것이 바람직하다.

한편, 도 2c를 참조하여, 도 2a의 유기 전계 발광 표시 장치를 구성하는 박막트랜지스터(Tr)가 형성된 제 2 기판(200)을 설명한다.

도면에는 도시하지 않았으나, 상기 제 2 기판(200)은 서로 교차되어 배치되는 다수의 게이트 배선과 데이터 배선이 위치하고, 상기 두 배선에 의해 다수의 서브픽셀이 정의된다. 이때, 상기 두 배선의 교차지점, 즉, 상기 각 서브픽셀에는 박막트랜지스터(Tr)가 구비된다. 도면에는 각 서브픽셀에 하나의 박막트랜지스터가 형성된 것으로 도시하였으나, 이에 한정되지 아니하고, 적어도 하나의 박막트랜지스터와 캐패시터가 더 형성되어 있을 수 있다. 그러나, 설명의 편의상 생략하여 설명한다.

자세하게, 상기 제 2 기판(200)상에 게이트 전극(205)이 위치한다. 상기 게이트 전극(205)을 포함하는 상기 제 2 기판(200)상에 게이트 절연막(210)이 위치한다. 여기서, 상기 게이트 절연막(210)은 산화실리콘막, 질화실리콘막 또는 이들의 적층막일 수 있다.

상기 게이트 전극(205)에 대응된 상기 게이트절연막(210)상에 액티브층(215)이 위치한다. 여기서, 상기 액티브층(215)은 비정질 실리콘으로 이루어진 채널층(215a)과, 불순물이 도핑된 비정질 실리콘으로 이루어진 오믹콘택층(215b)으로 이루어질 수 있다.

상기 액티브층(215) 양단부상에 이격되어 배치된 소스/드레인 전극(225a, 225b)이 위치한다. 상기 소스/드레인 전극(225a, 225b)은 Al, AlNd, Mo, Cr로 이루어진 군에서 선택된 적어도 하나로 이루어질 수 있다.

이로써, 상기 제 2 기관(200)상에 게이트 전극(205), 액티브층(215) 및 소스/드레인 전극(225a, 225b)을 포함하는 박막트랜지스터(Tr)가 위치한다.

여기서, 본 발명의 실시예에서는 상기 박막트랜지스터(Tr)가 비정질 실리콘으로 이루어진 바텀 게이트형 박막트랜지스터에 한정하여 도시하여 설명하였으나, 이에 한정되지 아니하고, 현재 공지된 여러 형태의 박막트랜지스터가 채용될 수 있다.

상기 박막트랜지스터(Tr)를 포함하는 상기 제 2 기관(200)상에 상기 드레인 전극(225b)을 노출하는 콘택홀이 형성된 보호막(220)이 위치한다. 여기서, 상기 보호막(220)은 아크릴계 수지, 벤조사이클로부텐(BCB), 산화실리콘, 질화실리콘으로 이루어진 군에서 선택된 적어도 하나로 이루어질 수 있다.

또한, 상기 콘택홀을 통해 노출된 상기 드레인 전극(225b)과 전기적으로 연결된 연결전극(235)이 더 위치할 수 있다.

이로써, 상기 제 2 전극(130)을 각 서브픽셀 단위로 분리하기 위한 격벽(125)의 하부를 함몰하게 형성하여, 즉, 격벽의 하부보다 상부의 너비를 넓게 형성하여, 상기 제 2 전극(130)이 형성시에 각 서브픽셀간 쇼트되는 것을 방지할 수 있어, 각 서브픽셀간의 쇼트 불량을 방지할 수 있다.

도 3a 내지 도 3j는 본 발명의 제 2 실시예에 따른 유기 전계 발광 표시 장치의 제조 공정을 설명하기 위해 도시한 공정도들이다.

도 3a를 참조하면, 다수의 서브픽셀로 정의된 제 1 기관(300)을 제공한다. 상기 제 1 기관(300)은 유리 기관 또는 플라스틱 기관으로, 투명한 재질로 선택하는 것이 바람직하다.

상기 제 1 기관(300)상에 저 저항체의 도전물질층을 증착한 뒤, 패터닝하여 보조전극(305)을 형성한다. 상기 보조전극(305)은 후속 공정에서 형성되는 제 1 전극의 저항차를 줄이는 역할을 한다. 상기 저 저항체의 도전물질층은 Al, AlNd, Mo 또는 Cr로 이루어진 군에서 선택된 적어도 하나의 물질일 수 있다.

상기 보조전극(305)을 포함하는 제 1 기관(300) 상에 투명성의 도전물질층을 증착한 뒤, 패터닝하여 제 1 전극(310)을 형성한다. 이때면, 상기 투명성의 도전물질층은 ITO 또는 IZO일 수 있다.

도 3b를 참조하면, 상기 제 1 전극(310)상에 절연막(320)을 형성한다. 여기서, 상기 절연막(320)은 산화 실리콘막, 질화 실리콘막 또는 이들의 적층막으로 이루어질 수 있다. 이때, 상기 절연막(320)은 화학기상증착법(PECVD)을 수행하여 형성할 수 있다.

상기 절연막(320)상에 제 1 감광성막(330)을 형성한다. 상기 제 1 감광성막(330)은 포지티브 감광성 수지 또는 네가티브 감광성 수지로 이루어질 수 있다. 이때면, 상기 제 1 감광성막(330)은 아크릴계 수지, 벤조사이클로부텐(BCB), 폴리이미드(PI) 및 노블락계 수지로 이루어진 군에서 선택된 적어도 하나를 포함하여 형성될 수 있다.

상기 제 1 감광성막(330)에 노광 및 현상 공정을 거쳐, 도 3c를 참조에서와 같이, 제 1 감광성 패턴(330')을 형성한다. 이때, 상기 제 1 감광성막 패턴(330')은 각 서브픽셀을 구획하는 외곽영역에 형성한다. 이때, 상기 외곽영역 중 일부분을 노출하는 개구영역(P)을 더 형성하는 것이 바람직하다.

상기 제 1 감광성막 패턴(330')에 대응하여, 절연막(320)을 식각하여, 도 3d에서와 같이, 버퍼층(320')을 형성한다. 이로써, 상기 버퍼층(320')은 각 서브픽셀을 구획하는 외곽영역에 형성되며, 상기 제 1 감광성막 패턴(330')의 개구영역(P)에 의해, 트렌치(P')가 형성된다.

도 3e를 참조하면, 상기 제 1 감광성막 패턴(330')을 포함하는 제 1 전극(310)상에 제 2 감광성막(340)을 형성한다. 상기 제 2 감광성막(340)은 아크릴계 수지, 벤조사이클로부텐(BCB), 폴리이미드(PI) 및 노블락계 수지로 이루어진 군에서 선택된 적어도 하나를 포함하여 형성될 수 있다. 여기서, 상기 제 2 감광성막(340)은 포지티브 감광성 수지 또는 네가티브 감광성 수지로 이루어질 수 있다. 이때, 상기 제 1 감광성막(330)을 포지티브 감광성 수지로 형성할 경우에, 상기 제 2 감광성막(340)은 네가티브 감광성 수지로 형성한다. 이와 달리, 상기 제 1 감광성막(330)을 네가티브 감광성 수지로 형성할 경우, 상기 제 2 감광성막(340)은 포지티브 감광성 수지로 형성한다.

이로써, 상기 제 1 감광성막(330)과 상기 제 2 감광성막(340)은 광에 대해 서로 다른 특성을 가지는 물질로 이루어질 수 있다. 이는 상기 제 2 감광성막(340)을 패터닝하기 위한 노광공정에서, 상기 제 1 감광성막(330)막이 영향을 받아, 제거될 수 있기 때문이다.

이때, 상기 제 2 감광성막(340)은 상기 버퍼층(320')의 트렌치(P')에도 형성이 된다.

상기 제 2 감광성막(340)에 노광 및 현상 공정을 거쳐, 도 3f에서와 같이, 제 2 감광성막 패턴(340')을 형성한다. 이때, 상기 제 2 감광성막 패턴(340')은 상기 버퍼층(320')의 트렌치를 포함하는 제 1 감광성막 패턴(330')의 일부분과 중첩하도록 형성한다.

상기 제 1 감광성막 패턴(340')을 박리하여, 도 3g에서와 같이, 격벽(340')을 형성한다. 상기 격벽(340')은 상기 제 2 감광성막 패턴(340')의 하부에 내부적으로 삽입된 제 1 감광성막 패턴(340')이 제거됨에 따라, 하부가 함몰된 형태로 형성된다. 이로써, 상부의 너비보다 하부의 너비가 작은 격벽(340')을 형성할 수 있다. 이때, 상기 격벽(340')은 T자, Y자 및 I자로 이루어진 군에서 선택된 적어도 하나의 형태로 형성할 수 있다.

즉, 상기 T자의 격벽은 상기 제 1 감광성막 패턴(340')을 수직으로 형성하여 구현할 수 있으며, 상기 Y자의 격벽은 상기 제 1 감광성막 패턴(340')을 역테이퍼진 형태로 형성하여 구현할 수 있다. 또한, 상기 I자의 격벽은 상기 버퍼층(320')이 언더컷 형상을 가질 경우에 형성할 수 있다. 그러나, 여기서, 상기 I자의 격벽이라 하였으나, 상기 버퍼층(320')의 언더컷이 내부로 크게 발생하지 않으므로, 상부의 너비보다 하부의 너비는 작게 형성된다.

이후, 상기 격벽(340')에 열처리 공정을 통한 경화공정을 더 수행할 수 있다.

이로써, 하부보다 상부의 너비가 넓은 격벽을 형성함에 따라, 후술할 제 2 전극을 각 서브픽셀 단위로 용이하게 분리하여 형성할 수 있다.

도 3h를 참조하면, 상기 버퍼층(320')상에 상기 격벽(340')과 이격되어 배치된 스페이서(350)를 형성한다.

상기 스페이서(350)는 절연막을 형성한 뒤, 노광 및 현상공정을 거쳐 형성할 수 있다. 상기 스페이서(350)는 유기 전계 발광 다이오드 소자가 형성된 제 1 기관(100)과 후술할, 박막트랜지스터가 형성된 제 2 기관간의 셀갭을 유지하는 역할을 하며, 이와 더불어, 상기 유기 전계 발광 다이오드 소자와 박막트랜지스터를 전기적으로 연결하는 역할을 한다.

도 3i를 참조하면, 상기 제 1 전극(310)상에 유기 발광층(360)을 형성한다. 여기서, 상기 유기 발광층(360)은 저분자 물질 또는 고분자 물질일 수 있다. 이때, 상기 유기 발광층(360)이 저분자 물질일 경우에 있어서, 진공 증착법을 수행하여 형성할 수 있으며, 고분자 물질일 경우에 있어서, 잉크젯 프린팅 방법을 수행하여 형성할 수 있다. 이때, 상기 유기 발광층(360)을 형성하기 전에 또는 후에 정공 주입층, 정공 수송층, 정공 억제층, 전자 수송층 및 전자 주입층으로 이루어진 군에서 선택된 적어도 하나의 유기층을 더 형성할 수 있다.

이후, 상기 유기 발광층(360)상에 제 2 전극(370)을 형성한다. 이때, 상기 제 2 전극(370)은 도전물질을 증착하는 과정에서, 상기 격벽(370)에 의해 각 서브픽셀 단위로 자동적으로 분리된다. 이로써, 별도의 패터닝 공정을 수행하지 않고, 상기 제 2 전극(370)을 형성할 수 있다. 상술한 바와 같이, 상기 격벽(370)은 하부가 함몰된 형태를 가짐에 따라, 즉, 하부보다 상부의 너비가 넓기 때문에, 상기 제 2 전극(370)을 각 서브픽셀 단위로 확실하게 분리하여 형성할 수 있다. 이로써, 상기 제 2 전극(370)이 각 서브 픽셀간 쇼트(short)가 발생하는 것을 방지할 수 있다.

또한, 상기 제 2 전극(370)은 상기 스페이서(150) 상부에도 형성되는 바, 상기 스페이서(150)에 의해 상기 제 2 전극(370)의 일부분은 상부로 도출되어, 후술할 제 2 기관의 소자와 전기적으로 연결된다.

도면에는 도시되지 않았으나, 상기 제 2 전극(370)상에 흡습층을 더 형성하여, 상기 유기 발광층(360)을 수분으로부터 보호할 수 있다.

도 3j를 참조하면, 박막트랜지스터(Tr)가 형성된 제 2 기관(400)을 제공한다.

자세하게, 상기 제 2 기판(400)상에 박막트랜지스터를 형성하는 방법은 먼저, 제 2 기판(400)을 제공한다. 상기 제 2 기판(400)은 플라스틱, 유리 또는 금속으로 이루어질 수 있다. 상기 제 2 기판(400) 상에 게이트 전극(405)을 형성하고, 상기 게이트 전극(405)을 포함하는 상기 제 2 기판(400) 전면에 걸쳐 게이트 절연막(210)을 형성한다. 상기 게이트 절연막(410)은 산화 실리콘 또는 질화 실리콘을 화학기상증착법을 수행하여 증착하여 형성할 수 있다.

상기 게이트 전극(405)이 대응된 상기 게이트 절연막(410) 상에 액티브층(415)을 형성한다. 여기서, 상기 액티브층(415)은 비정질 실리콘막과, P형 또는 N형 불순물이 도핑된 비정질 실리콘막을 순차적으로 적층하여 형성한 뒤, 패터닝하여 형성된 채널층(415a)과 오믹콘택층(415b)을 포함한다.

상기 액티브층(415)상에 도전성 금속을 증착한 뒤 패터닝하여, 상기 액티브층(215)의 양단부 상에 위치하는 소스/드레인 전극(425a, 425b)을 형성한다.

이로써, 상기 제 2 기판(400) 상에 게이트 전극(405), 액티브층(415) 및 소스/드레인 전극(425a, 425b)을 포함하는 박막 트랜지스터(Tr)를 형성할 수 있다. 여기서, 도면에서 상기 제 2 기판(400)상에 하나의 박막트랜지스터를 형성하는 것으로 한정하여 설명하였으나, 상기 제 2 기판(400)상에 적어도 하나의 박막트랜지스터 및 캐패시터를 더 형성할 수 있다.

또한, 여기서 상기 박막트랜지스터(Tr)는 비정질 실리콘을 이용한 바텀 게이트(bottom gate) 박막트랜지스터를 형성하는 것으로 제한하여 설명하였으나, 이에 한정되지 아니하고 공지된 여러 형태의 박막트랜지스터를 채용할 수 있다.

상기 박막트랜지스터(Tr)를 포함하는 제 2 기판(400) 전면에 걸쳐 보호막(420)을 형성한다. 여기서, 상기 보호막(420)은 질화실리콘 또는 산화실리콘으로 이루어질 수 있으며, 화학기상증착법을 수행하여 형성될 수 있다. 상기 보호막(420)에 상기 드레인 전극(425b)을 노출하기 위한 콘택홀을 형성한다. 더 나아가, 상기 콘택홀 통해 노출된 상기 드레인 전극(425b) 상부에 연결전극(435)을 더 형성할 수 있다.

이후, 상기 제 1 기판(300) 또는 상기 제 2 기판(400)의 외곽부에 실 패터를 도포한 뒤, 상기 제 1 기판(300)의 유기 전계 발광 다이오드 소자(E)와 상기 제 2 기판(400)의 박막 트랜지스터(Tr)가 서로 대향되도록, 상기 제 1 기판(300)과 상기 제 2 기판(400)을 합착하여, 유기 전계 발광 표시 장치를 제조할 수 있다.

발명의 효과

상기한 바와 같이 본 발명의 유기 전계 발광 표시 장치는 박막트랜지스터와 유기 전계 발광 다이오드 소자를 서로 다른 기판에 각각 형성한 뒤, 상기 두 기판을 합착하여 유기 전계 발광 표시 장치를 제조함으로써, 불량률의 감소와 함께 생산 수율의 향상을 기대할 수 있다.

또, 제 2 전극을 분리하기 위한 격벽의 하부를 함몰되게 형성함에 따라, 상부보다 하부의 너비를 작게 형성할 수 있어, 제 2 전극을 서브픽셀 단위로 확실하게 분리할 수 있어, 서브픽셀 간의 쇼트 불량을 방지할 수 있다.

또, 쇼트 불량을 방지할 수 있어, 생산 수율을 향상시킬 수 있다.

또, 별도의 패터닝 공정을 하지 않고 자동적으로 제 2 전극을 서브픽셀로 분리할 수 있어, 생산성을 향상시킬 수 있다.

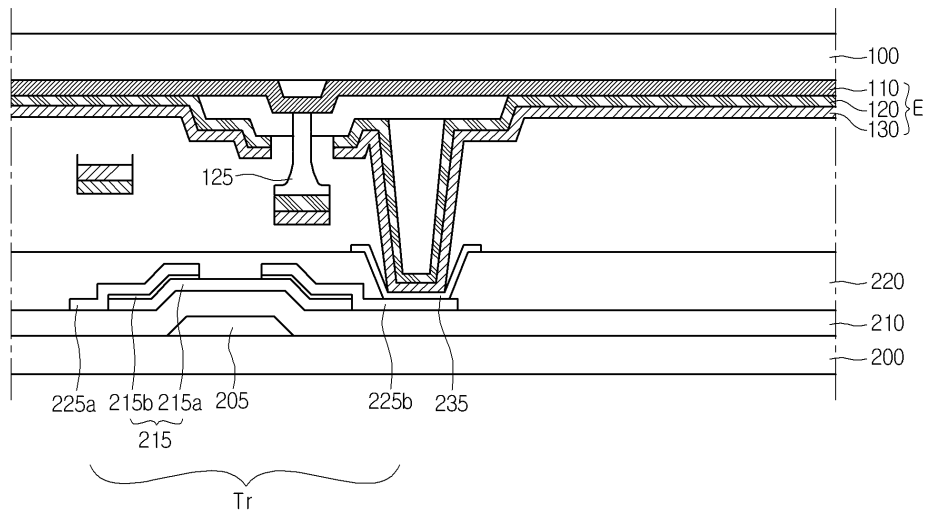
상기에서는 본 발명의 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

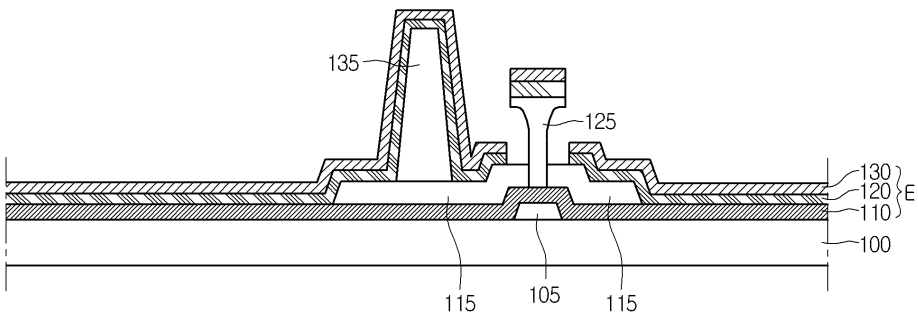
도 1은 종래의 유기 전계 발광 표시 장치에 대한 개략적인 단면도이다.

도 2a 내지 도 2c는 본 발명의 제 1 실시예에 따른 유기 전계 발광 표시 장치의 단면을 도시한 도면들이다.

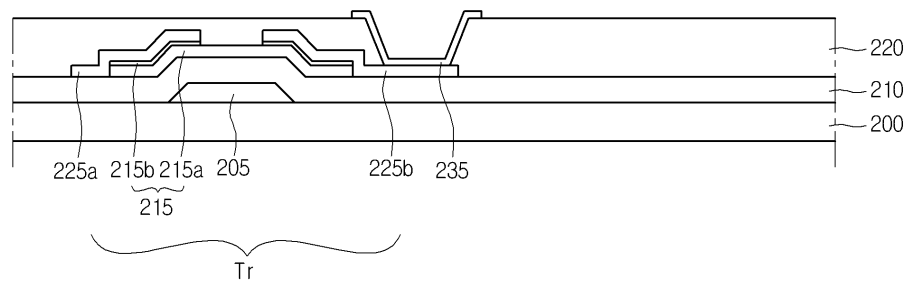
도면2a



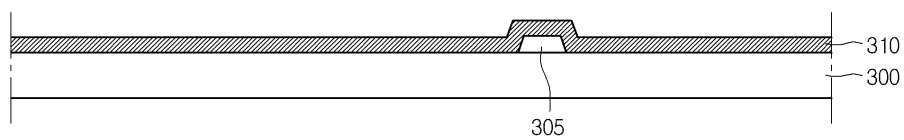
도면2b



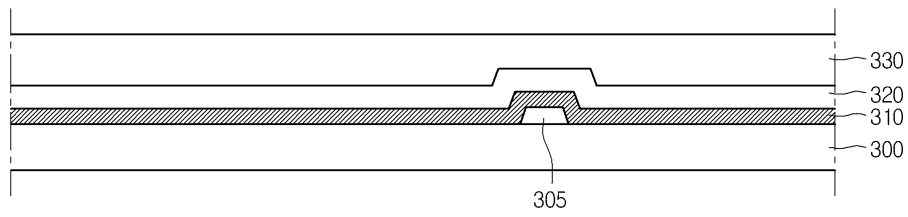
도면2c



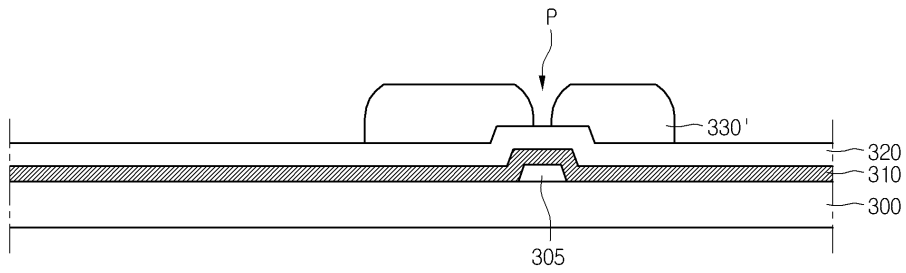
도면3a



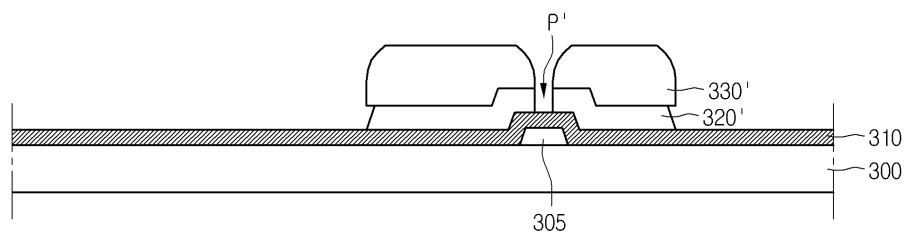
도면3b



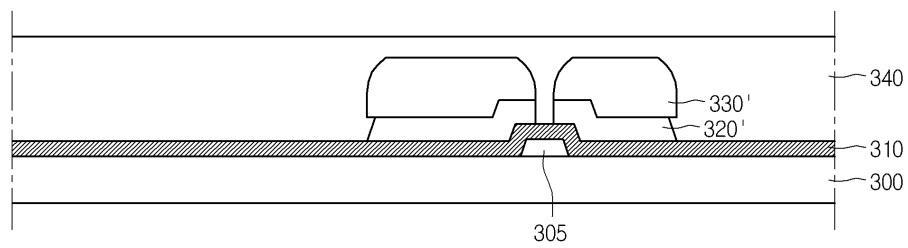
도면3c



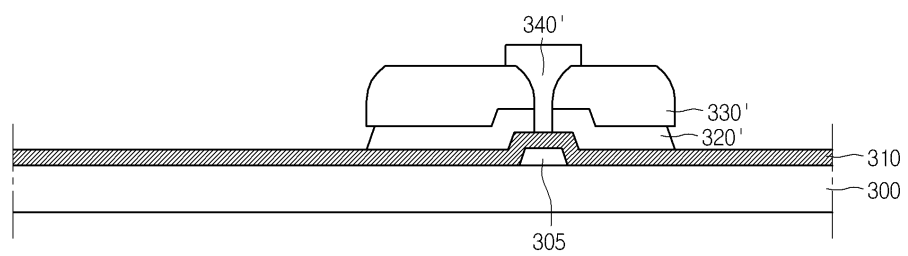
도면3d



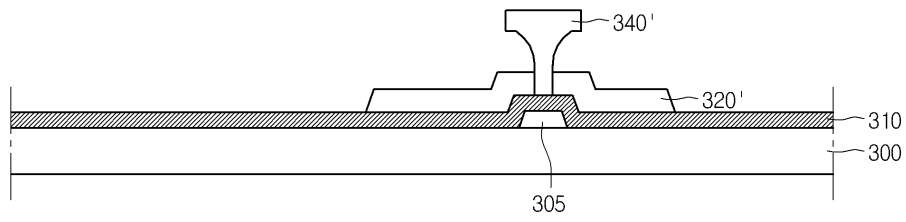
도면3e



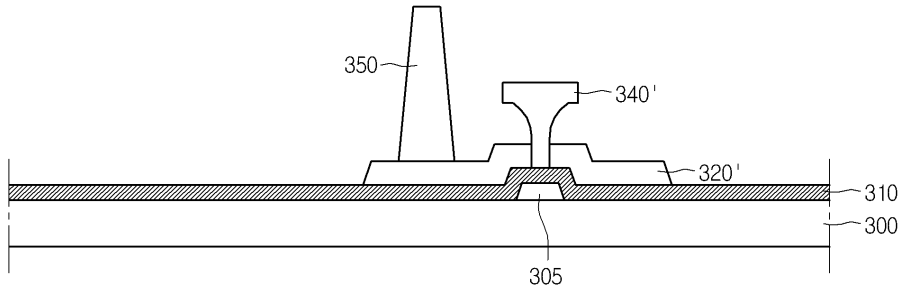
도면3f



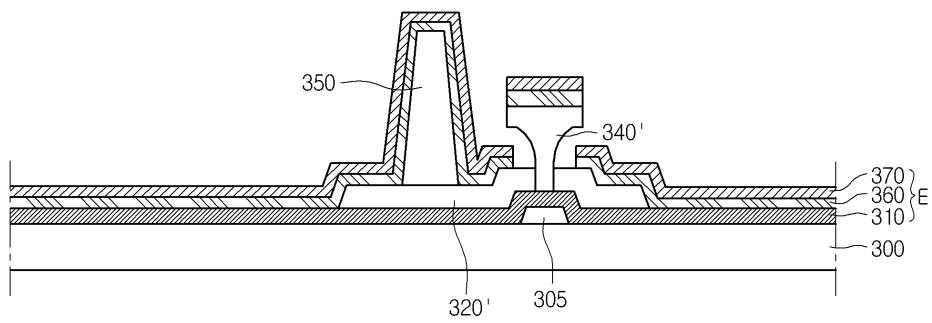
도면3g



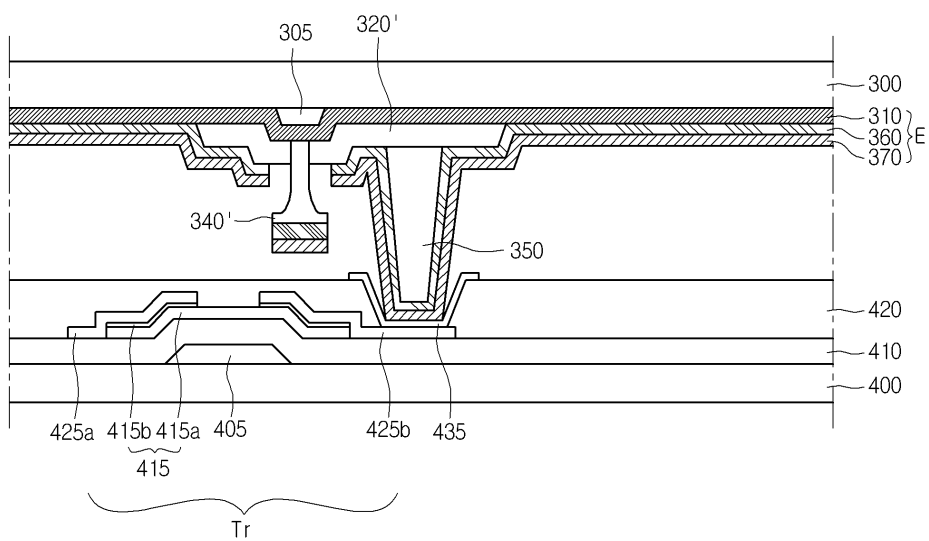
도면3h



도면3i



도면3j



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR1020070069225A	公开(公告)日	2007-07-03
申请号	KR1020050131088	申请日	2005-12-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HWANG KWANG JO 황광조 KIM JONG MOO 김종무		
发明人	황광조 김종무		
IPC分类号	H05B33/22 H05B33/10		
CPC分类号	H01L27/3244 H01L51/5212 H01L51/5228 H01L51/5259 H01L51/56		
外部链接	Espacenet		

摘要(译)

本发明涉及有机电致发光显示装置。并且所述有机电致发光显示装置包括多个子像素，所述缓冲层形成在分隔所述第一电极上的每个子像素的边缘区域上：形成在所述第一基板上的第一电极：第一基板，下部是凹陷的分隔壁它形成在缓冲层上，形成在第一电极上的有机发光层和形成在有机发光层上的第二电极。以这种方式，它可以根据每个子像素与分隔壁分离。可以防止子像素之间的短路故障。双面板，有机电致发光显示装置和分隔壁。

