



(19) 대한민국특허청(KR)
 (12) 공개특허공보(A)

(51) Int. Cl.
H05B 33/10 (2006.01)

(11) 공개번호 10-2007-0049270
 (43) 공개일자 2007년05월11일

(21) 출원번호 10-2005-0106252
 (22) 출원일자 2005년11월08일
 심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사
 서울 영등포구 여의도동 20번지

(72) 발명자 주인수
 경기 성남시 분당구 수내동 푸른마을쌍용아파트 507-802

(74) 대리인 허용록

전체 청구항 수 : 총 38 항

(54) 유기 전계 발광 표시 장치 및 이의 제조 방법

(57) 요약

본 발명은 유기 전계 발광 표시 장치 및 이의 제조 방법에 관한 것으로, 제 1영역과 제 2영역으로 구분된 기판을 제공하는 단계; 상기 제 1 영역에 박막트랜지스터를 형성하며, 상기 제 2 영역에 보조전극을 형성하는 단계; 상기 박막트랜지스터 및 상기 보조전극을 포함하는 기판 전면에 걸쳐 형성하되, 상기 박막트랜지스터 및 상기 보조전극의 일부분을 각각 노출하는 제 1, 제 2 콘텍홀을 구비하는 보호막을 형성하는 단계; 및 상기 박막트랜지스터와 상기 보조전극과 각각 전기적으로 연결되는 연결전극과 제 1 전극을 형성하는 단계를 포함하는 유기 전계 발광 표시 장치의 제조 방법 및 이에 의해 제조되는 유기 전계 발광 표시 장치를 제공한다.

대표도

도 1c

특허청구의 범위

청구항 1.

다수의 서브픽셀을 구비하며, 서로 일정간격으로 이격되어 배치된 제 1, 제 2 기판;

상기 제 2기판과 대면된 상기 제 1 기판 일면에 위치하는 박막트랜지스터;

상기 박막트랜지스터를 포함하는 제 1기판 전면에 형성하되, 상기 박막트랜지스터의 일부분을 노출하는 제 1 콘텍홀을 구비하는 제 1 보호막;

상기 제 1 기판과 대면된 상기 제 2 기판 일면에 위치하는 보조전극; 및

상기 보조전극과 전기적으로 연결된 유기 전계 발광 다이오드 소자를 포함하며,

상기 박막트랜지스터의 소오스/드레인 전극과 상기 보조전극은 동일한 두께를 가지는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 2.

제 1 항에 있어서,

상기 소오스/드레인 전극과 상기 보조전극은 동일한 도전 물질로 이루어지는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 3.

제 1 항에 있어서,

상기 제 2 기판과 상기 보조전극 사이에 제 2 게이트 절연막을 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 4.

제 1 항에 있어서,

상기 보조전극 하부에 상기 보조전극의 일부분을 노출하는 제 2 콘택홀을 구비하는 제 2 보호막을 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 5.

제 4 항에 있어서,

상기 제 2 보호막은 상기 제 1 보호막과 동일한 두께를 가지는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 6.

제 4 항에 있어서,

상기 제 2 보호막은 상기 제 1 보호막과 동일한 물질로 이루어지는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 7.

제 1 항에 있어서,

상기 제 1 보호막은 아크릴계 수지, BCB, 산화실리콘, 질화실리콘으로 이루어진 군에서 선택된 적어도 하나의 물질로 이루어지는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 8.

제 1 항에 있어서,

상기 제 1 콘텍홀에 의해 노출된 상기 드레인 전극 상에 형성된 연결전극을 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 9.

제 1 항에 있어서,

상기 연결전극은 상기 유기 전계 발광 다이오드 소자의 제 1 전극과 동일한 도전 물질로 이루어지는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 10.

제 8 항에 있어서,

상기 연결전극은 상기 유기 전계 발광 다이오드 소자의 제 1 전극과 동일한 두께를 가지는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 11.

제 1 항에 있어서,

상기 유기 전계 발광 다이오드 소자의 제 1 전극 하부에 서브픽셀을 구획하는 제 1 베퍼충을 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 12.

제 11 항에 있어서,

상기 제 1 보호막 상에 위치하는 제 2 베퍼충을 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 13.

제 12 항에 있어서,

상기 제 1 베퍼충과 상기 제 2 베퍼충은 동일한 두께를 가지는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 14.

제 11 항에 있어서,

상기 제 1 베퍼충 상에 격벽을 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 15.

제 1 항에 있어서,

상기 유기 전계 발광 다이오드 소자의 제 1 전극 중 서브픽셀 영역의 일부분에 스페이서를 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 16.

제 1영역과 제 2영역으로 구분된 기판을 제공하는 단계;

상기 제 1 영역에 박막트랜지스터를 형성하며, 상기 제 2 영역에 보조전극을 형성하는 단계;

상기 박막트랜지스터 및 상기 보조전극을 포함하는 기판 전면에 걸쳐 형성하되, 상기 박막트랜지스터 및 상기 보조전극의 일부분을 각각 노출하는 제 1, 제 2 콘택홀을 구비하는 보호막을 형성하는 단계; 및

상기 박막트랜지스터와 상기 보조전극과 각각 전기적으로 연결되는 연결전극과 제 1 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 17.

제 16항에 있어서,

상기 제 1 영역과 제 2 영역은 좌우대칭 또는 상하대칭으로 구분되는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 18.

제 16항에 있어서,

상기 박막트랜지스터의 소오스/드레인 전극과 상기 보조전극은 동시에 형성하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 19.

제 16항에 있어서,

상기 제 1전극상에 서브픽셀을 구획하는 제 1버퍼층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 20.

제 19항에 있어서,

상기 제 1전극상에 서브픽셀을 구획하는 제 1버퍼층을 형성하는 단계에서,

상기 제 1 영역의 보호막 상에 위치하는 제 2 벼퍼총이 형성되는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 21.

제 19항에 있어서,

상기 제 1 영역과 제 2 영역을 절단하는 단계;

상기 제 2 영역의 상기 제 1 벼퍼총 상에 격벽을 형성하는 단계;

상기 제 2 영역의 상기 제 1 전극상에 스페이서를 형성하는 단계;

상기 스페이서를 포함하는 상기 제 1 전극상에 유기발광층을 형성하는 단계; 및

상기 유기발광층 상에 제 2 전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 22.

제 21항에 있어서,

상기 제 1 영역과 제 2 영역을 서로 합착하는 단계를 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 23.

제 16항에 있어서,

상기 제 1 영역과 제 2 영역을 절단하는 단계;

상기 제 2 영역의 상기 제 1 전극상에 서브픽셀을 구획하는 제 1 벼퍼총을 형성하는 단계;

상기 제 1 벼퍼총 상에 격벽을 형성하는 단계;

상기 제 2 영역의 상기 제 1 전극상에 스페이서를 형성하는 단계;

상기 스페이서를 포함하는 상기 제 1 전극상에 유기발광층을 형성하는 단계; 및

상기 유기발광층 상에 제 2 전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 24.

제 23항에 있어서,

상기 제 1 영역과 제 2 영역을 서로 합착하는 단계를 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 25.

제 16항에 있어서,

상기 제 1 전극상에 서브픽셀을 구획하는 제 1 버퍼층을 형성하는 단계;

상기 제 1 버퍼층 상에 격벽을 형성하는 단계;

상기 제 2 영역의 상기 제 1 전극상에 스페이서를 형성하는 단계;

상기 제 1 영역과 제 2 영역을 절단하는 단계;

상기 제 2 영역에 대응된 상기 스페이서를 포함하는 상기 제 1 전극상에 유기발광층을 형성하는 단계; 및

상기 유기발광층 상에 제 2 전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 26.

제 25항에 있어서,

상기 제 1 영역과 제 2 영역을 서로 합착하는 단계를 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 27.

제 16항에 있어서,

상기 제 1 전극상에 서브픽셀을 구획하는 제 1 버퍼층을 형성하는 단계;

상기 제 1 버퍼층 상에 격벽을 형성하는 단계;

상기 제 1 전극 상에 스페이서를 형성하는 단계;

상기 제 2 영역상에 위치하되, 상기 격벽에 의해 서브픽셀 단위로 분리되는 유기발광층을 형성하는 단계;

상기 유기발광층 상에 제 2 전극을 형성하는 단계; 및

상기 제 1 영역과 상기 제 2 영역을 절단하는 단계를 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 28.

제 27항에 있어서,

상기 제 1 영역과 제 2 영역을 서로 합착하는 단계를 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 29.

제 16항에 있어서,

상기 기판은 다수의 셀을 구비하는 마더기판인 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 30.

다수의 셀 영역을 구비하되, 제 1영역과 제 2영역으로 구분된 마더기판을 제공하는 단계;

상기 제 1 영역에 구비된 각 셀 영역에 게이트 전극을 형성하는 단계;

상기 게이트 전극을 포함하는 마더기판 전면에 걸쳐 게이트 절연막을 형성하는 단계;

상기 게이트 전극과 대응된 상기 게이트 절연막 상에 액티브층을 형성하는 단계;

상기 제 1 영역에 대응된 상기 액티브층 상에 위치하는 소스/드레인 전극과 상기 제 2 영역에 대응된 상기 게이트 절연막 상에 보조전극을 동시에 형성하는 단계;

상기 제 1 영역에 대응된 상기 박막트랜지스터상에 위치하되, 상기 박막트랜지스터의 일부분을 노출하는 제 1 콘택홀을 구비하는 제 1 보호막을 형성하는 단계;

상기 박막트랜지스터와 상기 보조전극과 전기적으로 각각 연결된 연결전극과 제 1 전극을 동시에 형성하는 단계;

상기 제 1 전극상에 서브픽셀을 구획하는 제 1 베피층을 형성하는 단계;

상기 제 1 베피층 상에 격벽을 형성하는 단계;

상기 제 1 전극 상에 스페이서를 형성하는 단계;

상기 제 2 영역상에 위치하되, 상기 격벽에 의해 서브픽셀 단위로 분리되는 유기발광층을 형성하는 단계;

상기 유기발광층 상에 제 2 전극을 형성하는 단계; 및

상기 제 1 영역과 상기 제 2 영역을 절단하는 단계를 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 31.

제 30항에 있어서,

상기 제 1 영역과 제 2 영역은 좌우대칭 또는 상하대칭으로 구분되는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 32.

제 30항에 있어서,

상기 제 1 보호막을 형성하는 단계에서는 상기 제 2 영역에 상기 보조전극을 일부분 노출하는 제 2 콘텍홀을 구비하는 제 2 보호막이 동시에 형성되는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 33.

제 30항에 있어서,

상기 제 1 버퍼층을 형성하는 단계에서는 상기 1 영역에 상기 연결전극을 노출하는 상기 제 1 보호막 상에 위치하는 제 2 버퍼층이 동시에 형성되는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 34.

제 30항에 있어서,

상기 제 1 영역과 상기 제 2 영역을 각 셀이 서로 대향하도록 합착하는 단계;

상기 각 셀 단위로 절단하는 단계를 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 35.

다수의 셀 영역을 구비하되, 제 1영역과 제 2영역으로 구분된 마더기판을 제공하는 단계;

상기 제 1 영역에 구비된 각 셀 영역에 게이트 전극을 형성하는 단계;

상기 게이트 전극을 포함하는 마더기판 전면에 걸쳐 게이트 절연막을 형성하는 단계;

상기 게이트 전극과 대응된 상기 게이트 절연막 상에 액티브층을 형성하는 단계;

상기 제 1 영역에 대응된 상기 액티브층상에 위치하는 소스/드레인 전극과 상기 제 2 영역에 대응된 상기 게이트 절연막 상에 보조전극을 동시에 형성하는 단계;

상기 제 1 영역에 대응된 상기 박막트랜지스터상에 위치하되, 상기 박막트랜지스터의 일부분을 노출하는 제 1 콘텍홀을 구비하는 제 1 보호막을 형성하는 단계;

상기 박막트랜지스터와 상기 보조전극과 전기적으로 각각 연결된 연결전극과 제 1 전극을 동시에 형성하는 단계;

상기 제 1 전극상에 서브픽셀을 구획하는 제 1 버퍼층을 형성하는 단계;

상기 제 1 영역과 제 2 영역을 절단하는 단계;

상기 제 1 버퍼층 상에 격벽을 형성하는 단계;

상기 제 1 전극 상에 스페이서를 형성하는 단계;

상기 제 2 영역상에 위치하되, 상기 격벽에 의해 서브픽셀 단위로 분리되는 유기발광층을 형성하는 단계; 및

상기 유기발광층 상에 제 2 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 36.

제 35항에 있어서,

상기 제 1 보호막을 형성하는 단계에서는 상기 제 2 영역에 상기 보조전극을 일부분 노출하는 제 2 콘텍홀을 구비하는 제 2 보호막이 동시에 형성되는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 37.

제 35항에 있어서,

상기 제 1 베피층을 형성하는 단계에서는 상기 1 영역에 상기 연결전극을 제외한 상기 제 1 보호막 상에 위치하는 제 2 베피층이 동시에 형성되는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 38.

제 35항에 있어서,

상기 제 1 영역과 상기 제 2 영역을 각 셀이 대응되도록 서로 대향하도록 합착하는 단계;

상기 각 셀 단위로 절단하는 단계를 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 전계 발광 표시 장치에 관한 것으로서, 더욱 구체적으로 공정수를 절감할 수 있는 뮤얼 패널 타입의 유기 전계 발광 표시 장치 및 그 제조방법에 관한 것이다.

유기 전계 발광 표시 장치는 전자(electron)와 정공(hole)이 반도체 안에서 전자-정공 쌍을 만들거나 캐리어(carrier)들이 좀더 높은 에너지 상태로 여기된 후 다시 안정화 상태인 바닥상태로 떨어지는 과정을 통해 빛이 발생하는 현상을 이용한다. 이와 같이, 상기 유기 전계 발광 표시 장치는 자체발광형이기 때문에 액정표시장치에 비해 별도의 백라이트가 필요하지 않아, 경량 박형이 가능하고, 소비전력 측면에서 유리하며, 시야각 및 콘트라스트가 우수하다. 그리고, 직류 저전압 구동이 가능하고 응답속도가 빠르며 전부 고체이기 때문에 외부충격에 강하고 사용 온도범위도 넓으며, 특히 제조비용 측면에서도 저렴한 장점을 가지고 있다.

또한, 각 화소마다 스위칭 소자인 박막트랜지스터를 가지는 액티브 매트릭스방식으로 유기 전계 발광 표시 장치를 구동하게 되면, 낮은 전류를 인가하더라도 동일한 휙도를 나타내므로 저소비 전력, 고정세, 대형화가 가능한 장점을 가진다.

종래에 이와 같은 유기 전계 발광 표시 장치는 상기 어레이 소자 및 유기 전계 발광 다이오드 소자가 형성된 기판과 별도의 봉지기판의 합착을 통해 형성된다. 이때, 하나의 기판에 어레이 소자가 형성한 후에, 상기 유기 전계 발광 다이오드 소자를 형성시에 불량이 발생하면, 상기 어레이 소자는 손실될 수 있다.

이로 인하여, 양품의 어레이 소자를 제조하는데 소요되었던 제반 경비 및 재료비 손실이 초래되고, 생산수율이 저하되는 문제점이 있다.

이를 해결하기 위하여, 어레이 소자와 유기 전계 발광 다이오드 소자를 서로 다른 기판에 형성한 뒤, 두 기판을 합착하는 듀얼 패널 타입의 유기 전계 발광 표시 장치의 제조 방법이 제안되었다.

그러나, 이와 같은 듀얼 패널 타입의 유기 전계 발광 표시 장치는 두 기판을 각각 제조함에 있어, 공정수가 증가할 수 있다 는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 어레이 소자와 유기 전계 발광 다이오드 소자의 수율이 서로 영향을 받지 않도록 형성하여, 불량률 및 생산관리 효율을 증대시킬 수 있는 유기 전계 발광 표시 장치 및 그의 제조 방법을 제공함에 그 목적이 있다.

또한, 어레이 소자와 유기 전계 발광 다이오드 소자를 각각 분리하여 형성함에 있어, 공정수를 절감할 수 있는 유기 전계 발광 표시 장치 및 그의 제조 방법을 제공함에 다른 목적이 있다.

발명의 구성

상기 기술적 과제를 이루기 위하여 본 발명의 일 측면은 유기 전계 발광 표시 장치를 제공한다. 상기 유기 전계 발광 표시 장치는 다수의 서브픽셀을 구비하며, 서로 일정간격으로 이격되어 배치된 제 1, 제 2 기판; 상기 제 2기판과 대면된 상기 제 1 기판 일면에 위치하는 박막트랜지스터; 상기 박막트랜지스터를 포함하는 기판 전면에 형성하되, 상기 박막트랜지스터의 일부분을 노출하는 제 1 콘택홀을 구비하는 제 1 보호막; 상기 제 1 기판과 대면된 상기 제 2 기판 일면에 위치하는 보조전극; 및 상기 보조전극과 전기적으로 연결된 유기 전계 발광 다이오드 소자를 포함하며,

상기 박막트랜지스터의 소오스/드레인 전극과 상기 보조전극은 동일한 두께를 가지는 것을 특징으로 한다.

상기 기술적 과제를 이루기 위하여 본 발명의 다른 일 측면은 유기 전계 발광 표시 장치의 제조 방법을 제공한다. 상기 제조 방법은 제 1영역과 제 2영역으로 구분된 기판을 제공하는 단계; 상기 제 1 영역에 박막트랜지스터를 형성하며, 상기 제 2 영역에 보조전극을 형성하는 단계; 상기 박막트랜지스터 및 상기 보조전극을 포함하는 기판 전면에 걸쳐 형성하되, 상기 박막트랜지스터 및 상기 보조전극의 일부분을 각각 노출하는 제 1, 제 2 콘택홀을 구비하는 보호막을 형성하는 단계; 및 상기 박막트랜지스터와 상기 보조전극과 각각 전기적으로 연결되는 연결전극과 제 1 전극을 형성하는 단계를 포함한다.

상기 기술적 과제를 이루기 위하여 본 발명의 또 다른 일 측면은 유기 전계 발광 표시 장치의 제조 방법을 제공한다. 상기 제조 방법은 다수의 셀 영역을 구비하되, 제 1영역과 제 2영역으로 구분된 마더기판을 제공하는 단계; 상기 제 1 영역에 구비된 각 셀 영역에 게이트 전극을 형성하는 단계; 상기 게이트 전극을 포함하는 마더기판 전면에 걸쳐 게이트 절연막을 형성하는 단계; 상기 게이트 전극과 대응된 상기 게이트 절연막 상에 액티브층을 형성하는 단계; 상기 제 1 영역에 대응된 상기 액티브층상에 위치하는 소스/드레인 전극과 상기 제 2 영역에 대응된 상기 게이트 절연막 상에 보조전극을 동시에 형성하는 단계; 상기 제 1 영역에 대응된 상기 박막트랜지스터상에 위치하되, 상기 박막트랜지스터의 일부분을 노출하는 제 1 콘택홀을 구비하는 제 1 보호막을 형성하는 단계; 상기 박막트랜지스터와 상기 보조전극과 전기적으로 각각 연결된 연결전극과 제 1 전극을 동시에 형성하는 단계; 상기 제 1 전극상에 서브픽셀을 구획하는 제 1 베퍼층을 형성하는 단계; 상기 제 1 베퍼층 상에 격벽을 형성하는 단계; 상기 제 1 전극 상에 스페이서를 형성하는 단계; 상기 제 2 영역상에 위치하되, 상기 격벽에 의해 서브픽셀 단위로 분리되는 유기발광층을 형성하는 단계; 상기 유기발광층 상에 제 2 전극을 형성하는 단계; 및 상기 제 1 영역과 상기 제 2 영역을 절단하는 단계를 포함한다.

상기 기술적 과제를 이루기 위하여 본 발명의 또 다른 일 측면은 유기 전계 발광 표시 장치의 제조 방법을 제공한다. 상기 제조 방법은 다수의 셀 영역을 구비하되, 제 1영역과 제 2영역으로 구분된 마더기판을 제공하는 단계; 상기 제 1 영역에 구비된 각 셀 영역에 게이트 전극을 형성하는 단계; 상기 게이트 전극을 포함하는 마더보드 기판 전면에 걸쳐 게이트 절연막을 형성하는 단계; 상기 게이트 전극과 대응된 상기 게이트 절연막 상에 액티브층을 형성하는 단계; 상기 제 1 영역에 대응된 상기 액티브층상에 위치하는 소스/드레인 전극과 상기 제 2 영역에 대응된 상기 게이트 절연막 상에 보조전극을 동시에 형성하는 단계; 상기 제 1 영역에 대응된 상기 박막트랜지스터상에 위치하되, 상기 박막트랜지스터의 일부분을 노출하는 제 1 콘택홀을 구비하는 제 1 보호막을 형성하는 단계; 상기 박막트랜지스터와 상기 보조전극과 전기적으로 각각 연결된 연결전극과 제 1 전극을 동시에 형성하는 단계; 상기 제 1 전극상에 서브픽셀을 구획하는 제 1 베퍼층을 형성하는 단계; 상기 제 1 베퍼층과 제 2 베퍼층 사이에 격벽을 형성하는 단계; 상기 제 1 전극 상에 스페이서를 형성하는 단계; 상기 제 2 영역상에 위치하되, 상기 격벽에 의해 서브픽셀 단위로 분리되는 유기발광층을 형성하는 단계; 및 상기 유기발광층 상에 제 2 전극을 형성하는 단계를 포함한다.

이하, 본 발명에 의한 유기 전계 발광 표시 장치의 도면을 참고하여 상세하게 설명한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되어지는 것이다. 따라서, 본 발명은 이하 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고, 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

도 1a 내지 도 1c는 본 발명의 제 1 실시예에 따른 유기 전계 발광 표시 장치를 도시한 단면도로서, 박막트랜지스터를 구비하는 하나의 서브픽셀에 한정하여 도시하였으며, 상기 서브픽셀에 캐퍼시터 및 적어도 하나의 박막트랜지스터가 더 포함되어 있을 수 있으며, 설명의 편의에 따라 생략하여 설명한다.

먼저, 도 1a를 참조하여 설명하면, 다수의 서브픽셀을 구비하는 제 1 기판(100)이 위치한다. 도면에는 도시하지 않았으나, 상기 제 1 기판(100)은 서로 교차되어 배치되는 다수의 게이트 배선과 데이터 배선이 위치하고, 상기 두 배선에 의해 다수의 서브픽셀이 정의된다. 이때, 상기 두 배선의 교차점, 즉, 상기 각 서브픽셀에는 적어도 하나의 박막트랜지스터(Tr)가 구비된다.

자세하게, 상기 제 1 기판(100)상에 게이트 전극(105)이 위치한다. 상기 게이트 전극(105)를 포함하는 상기 제 1 기판(100)상에 게이트 절연막(110)이 위치한다. 여기서, 상기 게이트 절연막(110)은 산화실리콘막, 질화실리콘막 또는 이들의 적층막일 수 있다.

상기 게이트 전극(105)에 대응된 상기 게이트 절연막(110)상에 액티브층(115)이 위치한다. 여기서, 상기 액티브층(115)은 비정질 실리콘으로 이루어진 채널층(115a)과, 불순물이 도핑된 비정질 실리콘으로 이루어진 오믹콘택층(115b)으로 이루어질 수 있다.

상기 액티브층(115) 양단부상에 이격되어 배치된 소스/드레인 전극(120a, 120b)이 위치한다. 상기 소스/드레인 전극(120a, 120b)은 Al, AlNd, Mo, Cr로 이루어진 군에서 선택된 적어도 하나로 이루어질 수 있다.

이로써, 상기 제 1 기판(100)상에 게이트 전극(105), 액티브층(115) 및 소스/드레인 전극(120a, 120b)을 포함하는 박막트랜지스터(Tr)가 위치한다.

여기서, 본 발명의 실시예에서는 상기 박막트랜지스터(Tr)가 비정질 실리콘으로 이루어진 바텀 게이트형 박막트랜지스터에 한정하여 도시하여 설명하였으나, 이에 한정되지 아니하고, 현재 공지된 여러 형태의 박막트랜지스터가 채용될 수 있다.

상기 박막트랜지스터(Tr)를 포함하는 상기 제 1 기판(100)상에 상기 드레인 전극(130b)을 노출하는 제 1 콘택홀(135)을 구비하는 제 1 보호막(130)이 위치한다. 여기서, 상기 제 1 보호막(130)은 아크릴계 수지, 벤조사이클로부텐(BCB), 산화실리콘, 질화실리콘으로 이루어진 군에서 선택된 적어도 하나로 이루어질 수 있다.

더 나아가, 상기 제 1 콘택홀을 통해 노출된 상기 드레인 전극과 연결되는 연결전극(145)을 더 포함할 수 있다. 이때, 상기 연결전극(145)은 후술할 제 2 기판에 구비된 유기 전계 발광 다이오드 소자와 접촉한다. 이로써, 상기 박막트랜지스터(Tr)와 상기 유기 전계 발광 다이오드 소자를 전기적으로 연결한다.

또한, 상기 연결전극(145)의 일부분을 노출하는 제 2 버퍼층(150)을 더 포함할 수 있다. 여기서, 상기 제 2 버퍼층(150)은 산화실리콘막, 질화실리콘막, 이들의 적층막 중 어느 하나일 수 있다.

한편, 도 1b를 참조하면, 다수의 서브픽셀을 포함하는 제 2 기판(200)이 위치한다. 상기 제 2 기판(200)상에 유기 전계 발광 다이오드 소자(E)가 위치한다. 여기서, 상기 유기 전계 발광 다이오드 소자(E)는 상기 제 2 기판(200)상에 위치하는 제 1 전극(240)과, 상기 제 1 전극(240) 상에 상기 각 서브픽셀로 패터닝된 유기발광층(250) 및 제 2 전극(260)을 포함한다.

자세하게, 제 2 기판(200)이 위치한다. 상기 제 2 기판(200)상에 제 2 게이트 절연막(210)이 더 위치할 수 있다. 여기서, 상기 2 게이트 절연막(210)은 상술한 상기 제 1 게이트 절연막(도 1a의 110)과 동일한 두께를 가진다. 또한, 상기 2 게이트 절연막(210)은 상술한 상기 제 1 게이트 절연막(도 1a의 110)과 동일한 물질로 이루어진다.

상기 제 2 게이트 절연막(210) 상에 보조전극(215)이 위치한다. 상기 보조전극(215)은 저항이 낮은 금속으로, 이를테면, Al, AlNd, Mo, Cr로 이루어진 군에서 선택된 적어도 하나의 물질로 이루어질 수 있다. 이때, 더욱 바람직하게 상기 보조전

극(215)은 상기 소스/드레인 전극(도 1a의 120a, 120b)과 동일한 물질로 이루어진다. 또한, 상기 보조전극(215)은 상기 소스/드레인 전극(도 1a의 120a, 120b)과 동일한 두께를 가진다. 이는 후술할, 제 2 실시예, 제 3실시예 및 제 4실시예에 따른 유기 전계 발광 표시 장치의 제조 방법에 의해서, 상기 제 1 기판과 상기 제 2 기판상에 동시에 도전물질을 증착한 뒤, 패터닝하여 상기 보조전극(215)과 상기 소스/드레인 전극(도 1a의 120a, 120b)을 형성하기 때문이다.

상기 보조전극(215)을 포함하는 제 2 기판(200)상에 제 2 보호막(230)이 더 위치할 수 있다. 여기서, 상기 제 2 보호막(230)은 아크릴계 수지, 벤조사이클로부텐(BCB), 산화실리콘, 질화실리콘으로 이루어진 군에서 선택된 적어도 하나로 이루어질 수 있다. 더욱 바람직하게, 상기 제 2 보호막(230)은 상기 제 1 보호막(도 1a의 130)과 동일한 물질로 이루어진다. 또한, 상기 제 2 보호막(230)은 상기 제 1 보호막(도 1a의 130)과 동일한 두께를 가진다.

여기서, 상기 제 2 보호막(230)은 상기 보조전극(215)의 일부분을 노출하는 제 2 콘텍홀(235)을 구비하는 것이 바람직하다.

상기 제 2 보호막(230)상에 제 1 전극(240)이 위치한다. 상기 제 1 전극(240)은 투명성 도전성 물질로, ITO 또는 IZO로 이루어질 수 있다. 이때, 상기 제 1 전극(240)은 상기 연결전극(도 1a의 145)과 동일한 두께를 가지며, 동일한 물질로 이루어진다.

여기서, 상기 제 1 전극(240)은 상기 제 2 콘텍홀(235)을 통하여 상기 보조전극(215)과 전기적으로 연결되어 있다. 이로써, 상기 제 1 전극(240)은 상기 보조전극(215)에 의해 저항차가 감소될 수 있어, 상기 제 1 전극(240)의 저항차에 의해서 발생할 수 있는 불균일한 휘도를 방지할 수 있다.

상기 보조전극(215)과 대응되는 상기 제 1 전극(240)상에 제 1 버퍼층(245)이 위치한다. 여기서, 상기 제 1 버퍼층(245)은 각 서브 픽셀을 구획하는 역할을 수행한다. 즉, 상기 각 서브 픽셀은 상기 제 1 버퍼층(245)에 의해 정의된다. 여기서, 상기 제 1 버퍼층(245)은 질화실리콘 또는 산화실리콘으로 이루어질 수 있다.

상기 제 1 버퍼층(245)상에 격벽(255)이 위치한다. 여기서, 상기 격벽(255)은 질화실리콘, 산화실리콘, 아크릴계 수지, 벤조사이클로부텐(BCB) 및 폴리이미드(PI) 수지로 이루어진 군에서 선택된 적어도 하나의 물질로 이루어질 수 있다. 여기서, 상기 격벽(255)은 후술할 유기발광층 및 제 2 전극을 각 서브픽셀 영역별로 분리하는 세퍼레이터 역할을 수행한다. 이때, 상기 격벽(255)은 역테이퍼 형상인 것이 바람직하다. 이로써, 상기 격벽(255)을 포함하는 상기 제 1 전극(240)상에 유기발광층 및 제 2 전극이 증착될 경우에, 상기 격벽(255)에 의해 자동적으로 분리되므로, 별도의 패터닝 공정을 수행하지 않아도 된다.

상기 격벽과 이격되어 위치하되, 상기 각 서브픽셀 영역내에 구비되는 스페이서(257)가 위치한다. 상기 스페이서(257)는 상기 제 1 기판(100)과 상기 제 2 기판(200)간의 일정한 셀캡을 유지하는 역할을 한다.

상기 스페이서(257)를 포함하는 상기 제 1 전극(240) 상부에 형성하되, 상기 격벽(255)에 의해 각 서브픽셀별로 위치하는 유기 발광층(250), 제 2 전극(260)이 순차적으로 위치한다. 이때, 상기 스페이서(257)에 의해, 상기 제 2 전극(260)의 일부분은 상부로 돌출되는 돌기부(260a)를 가진다.

여기서, 상기 제 2 전극(260)은 일함수가 낮은 금속으로서, Mg, Ca, Al, Ag, Ba 및 이들의 합금으로 이루어진 군에서 선택된 하나의 물질로 이루어질 수 있다.

도면에는 도시하지 않았으나, 상기 유기 발광층(250)은 그 상부면 또는 하부면에 정공 주입층, 정공 수송층, 정공 억제층, 전자 수송층, 전자 주입층으로 이루어진 군에서 선택된 적어도 하나 이상의 유기층을 더 포함할 수 있다. 이로써, 상기 제 1 전극(240), 유기 발광층(250) 및 제 2 전극(260)의 각각 경계면에서의 에너지 래벨을 적절하게 조절해주어, 상기 유기 발광층(120)으로 전자와 정공을 효율적으로 주입시킬 수 있다. 이로써, 완성된 유기 전계 발광 표시 장치의 발광 효율을 향상 시킬 수 있다.

더욱 바람직하게, 상기 제 1 전극(240)은 양극으로, 상기 유기발광층(250)의 하부 즉, 상기 유기발광층(250)과 상기 제 1 전극(240) 사이에는 정공 주입층 및/또는 정공 수송층이 개재될 수 있으며, 상기 유기발광층(250)의 상부에는 정공억제층, 전자수송층, 전자 주입층 중에 적어도 하나 이상의 유기층이 위치할 수 있다.

이로써, 도 2c를 참조하여 설명하면, 본 발명의 유기 전계 발광 표시 장치는 상술한 제 1 기판(100)과 상기 제 2 기판(200)이 일정한 간격으로 서로 이격되어 실패턴에 의해 합착된 구조를 가진다. 즉, 상기 제 1 기판(100)에는 박막트랜지스터(Tr)를 포함하는 어레이 소자가 형성되어 있으며, 상기 제 2 기판(200)에는 유기 전계 발광 다이오드 소자(E)가 형성되어 있다. 이때, 상기 박막트랜지스터(Tr)와 상기 유기 전계 발광 다이오드 소자(E)는 서로 대향되며 배치되어 전기적으로 연결된다.

상기 유기 전계 발광 표시 장치는 상기 제 2 기판(200)으로 광을 방출하여 화면을 구현한다. 이로써, 상기 제 2 기판(200) 상에 제 1 전극(240)으로 투명성의 도전 물질로 이루어진 ITO 또는 IZO로 형성하여, 광 투과율을 더욱 향상시킬 수 있다.

또한, 상기 제 1 전극(240)의 일부분에 전기적으로 연결된 저 저항체의 보조전극(215)을 형성함에 따라 저항차를 감소시켜 휘도가 불균해지는 문제를 해결할 수 있다.

이하, 도 2a 내지 도 2c, 도 3a 내지 도 3I를 참조하여, 본 발명의 제 2 실시예에 따른 유기 전계 발광 표시 장치의 제조 방법을 설명한다.

도 2a 내지 도 2c는 본 발명의 제 2 실시예에 따른 유기 전계 발광 표시 장치의 제조 방법을 설명하기 위해 도시한 공정도 들이다.

도 3a 내지 도 3I는 상기 도 2a 및 도 2c에서 하나의 서브픽셀에 한정하여 단면을 취한 도면이다.

도 2a 및 도 3a를 참조하여 설명하면, 다수의 셀(300a, 300b)을 구비하는 마더기판(300)을 제공한다. 여기서, 상기 마더기판(300)은 제 1 영역(a)와 제 2 영역(b)으로 구분되어 있다. 도면에는 상기 제 1 영역(a)와 제 2 영역(b)이 상하대칭으로 구분된 것으로 도시하였으나, 도면과 달리 좌우대칭으로 구분되어 있을 수 있다.

상기 제 1 영역(a)에 대응된 상기 마더기판(300)상에 게이트 전극(305)을 형성한다. 즉, 상기 마더기판(300)에 도전물질을 증착한 뒤, 패터닝하여 상기 게이트 전극(305)을 형성할 수 있다.

상기 게이트 전극(305)을 포함하는 마더기판(300) 전면에 걸쳐 게이트 절연막(310)을 형성한다. 여기서, 상기 게이트 절연막(310)은 산화실리콘막, 질화실리콘막, 이들의 적층막으로 이루어진 군에서 선택된 적어도 하나일 수 있다.

이로써, 제 1 영역(a)에는 제 1 게이트 절연막(310a)이 형성되고, 제 2 영역(b)에는 제 2 게이트 절연막(310b)이 형성된다.

상기 게이트 전극(305)에 대응된 상기 게이트 절연막(310)상에 액티브층(315)을 형성한다. 상기 액티브층(315)은 상기 게이트 절연막(310)상에 비정질실리콘과 불순물이 도핑된 비정질실리콘을 순차적으로 적층하여 패터닝하여 형성된 채널층(315a)과 오믹콘택층(315b)으로 이루어질 수 있다.

이후, 상기 제 1 영역(a)에는 상기 액티브층(315) 양말단에 이격되어 배치된 소스/드레인 전극(320a, 320b)과, 상기 제 2 영역(b)의 상기 게이트 절연막(310)상에 위치하는 보조전극(415)을 동시에 형성한다. 즉, 상기 액티브층(315)을 포함하는 마더기판(300)전면에 걸쳐 제 1 도전물질을 증착한 뒤, 패터닝하여 상기 소스/드레인 전극(320a, 320b)과 상기 보조전극(415)을 형성한다. 여기서, 상기 제 1 도전물질은 Al, AlNd, Mo, Cr로 이루어진 군에서 선택된 적어도 하나의 물질일 수 있다.

이로써, 상기 하나의 마더기판(300)에 박막트랜지스터(Tr)와 보조전극을 형성할 수 있다. 즉, 상기 제 1 영역(a)에 게이트 전극(305), 액티브층(315) 및 소스/드레인 전극(320a, 320b)을 포함하는 박막트랜지스터(Tr)가 형성되고, 상기 제 2 영역(b)에는 보조전극(415)이 형성된다.

도 2a 및 도 3b를 참조하면, 상기 소스/드레인 전극(320a, 320b)과 상기 보조전극(415)을 포함하는 마더기판(300) 전면에 걸쳐 보호막(330)을 형성한다. 여기서, 상기 보호막(330)은 질화실리콘막, 산화실리콘막, 이들의 적층막으로 이루어진 군에서 선택된 적어도 하나일 수 있다. 즉, 상기 제 1 영역(a)에는 제 1 보호막(330a)이 형성되고, 상기 제 2 영역(b)에는 제 2 보호막(330b)이 형성된다.

이후, 상기 제 1 보호막(330a)은 상기 드레인 전극의 일부분을 노출하는 제 1 콘택홀(335)을 형성한다. 이와 동시에, 상기 제 2 보호막(330b)은 상기 보조전극(430)의 일부분을 노출하는 제 2 콘택홀(337)을 형성한다.

도 2a 및 도 3c를 참조하면, 상기 제 1 영역(a)에는 상기 드레인 전극(320b)과 접촉하는 연결전극(345)과, 상기 제 2 영역(b)에는 상기 보조전극(415)과 접촉하는 제 1 전극(440)을 동시에 형성한다. 즉, 상기 보호막(330)상에 투명성 도전물질을 증착하여, 투명성 도전막을 형성한다. 여기서, 상기 투명성 도전물질은 ITO 또는 IZO일 수 있다. 이때, 상기 투명성 도전막은 상기 드레인 전극(320b)과 상기 보조전극(415)과 접촉한다. 이후, 상기 제 1 영역(a)에는 상기 투명성 도전막을 패터닝 하여, 상기 드레인 전극(320b)과 연결되는 연결전극(345)을 형성한다. 이와 동시에, 상기 제 2 영역(b)에는 상기 보조전극(415)과 연결되는 제 1 전극(440)을 형성한다.

도 2a 및 도 3d를 참조하면, 상기 제 1 영역(a)에는 상기 연결전극(345)을 노출하는 제 2 베퍼층(350)을 형성하고, 상기 제 2 영역(b)에는 상기 제 1 전극(440)상에 위치하는 제 1 베퍼층(445)을 동시에 형성한다.

즉, 상기 연결전극(345)과 상기 제 1 전극(440)을 포함하는 마더기판 전면에 걸쳐 절연막을 형성한다. 여기서, 상기 절연막은 벤조사이클로부텐(BCB) 및 폴리이미드(PI) 수지로 이루어진 군에서 선택된 적어도 하나의 물질로 이루어질 수 있다.

이때, 상기 절연막은 상기 제 1 영역(a)에는 상기 연결전극(345)을 포함하는 보호막(330)상에 형성되고, 상기 제 2 영역(b)에는 상기 제 1 전극(440) 상에 형성된다. 이후에, 상기 제 2 영역(b)에는 서브픽셀의 외곽부에 위치하여 각 서브픽셀을 정의하는 제 1 베퍼층(445)을 형성한다. 이와 동시에, 상기 제 1 영역(a)에는 상기 연결전극(345)을 노출하는 제 2 베퍼층(350)을 형성한다.

도 2a 및 도 3e를 참조하면, 상기 제 2 영역(b)에 상기 제 1 베퍼층(445)상에 격벽(455)을 형성한다. 여기서, 상기 격벽(455)은 질화실리콘, 산화실리콘, 아크릴계 수지, 벤조사이클로부텐(BCB) 및 폴리이미드(PI) 수지로 이루어진 군에서 선택된 적어도 하나의 물질로 이루어질 수 있다. 더욱 바람직하게, 상기 격벽(455)은 네가티브 감광성 수지로 형성할 수 있다. 즉, 상기 제 2 영역(b)에 상기 제 1 베퍼층(445)상에 감광성막을 형성한 뒤, 노광공정 및 현상공정을 거쳐 상기 격벽(455)을 형성한다. 이때, 상기 격벽(455)은 역테이퍼 형상으로 형성하는 것이 바람직하다. 이는, 후술할 유기발광층 및 제 2 전극을 별도의 패터닝 공정을 거치지 않고, 자연적으로 각 서브픽셀 단위로 패터닝하기 위함이다.

도 2a 및 도 3f를 참조하면, 상기 제 2 영역(b)에 상기 제 1 전극(440)상에 스페이서(457)를 형성한다. 여기서, 상기 스페이서(457)는 서브픽셀 영역내에 형성하는 것이 바람직하다. 이로써, 상기 스페이서(457)는 셀 겹 유지를 위한 것으로, 유기 절연막 등으로 이루어진 기둥현상을 가진다. 또한, 후술할 제 2 전극이 상기 스페이서(457)를 통해 일부분이 상부로 도출하게 되어, 박막트랜지스터의 드레인 전극(320b)과 연결해 주는 다리 역할을 하게 된다.

도 2a 및 도 3g를 참조하면, 상기 스페이서(457)를 포함하는 제 1 전극(440)상에 유기발광층(450)을 각 서브픽셀 단위로 형성한다. 여기서, 상기 유기발광층(450)은 저분자 물질 또는 고분자 물질일 수 있다. 이때, 상기 유기발광층(450)이 저분자 물질일 경우에 있어서, 진공 증착법을 수행하여 형성할 수 있으며, 고분자 물질일 경우에 있어서, 잉크젯 프린팅 방법을 수행하여 형성할 수 있다.

이때, 상기 유기발광층(450)은 그 상부면 또는 하부면에 정공 주입층, 정공 수송층, 정공 억제층, 전자 수송층 및 전자 주입층으로 이루어진 군에서 선택된 적어도 하나의 유기층을 더 형성할 수 있다.

여기서, 상기 유기발광층(450)은 상기 격벽(455)의 역테이퍼 형상에 의해 자연적으로 서브픽셀 단위로 분리되어 형성된다.

이후에 상기 유기 발광층(450)상에 제 2 전극(460)을 형성한다. 여기서, 상기 제 2 전극(460)은 상기 유기발광층(450)에 전자를 공급해주는 역할을 한다. 이를테면 상기 제 2 전극(460)은 Mg, Ca, Al, Ag, Ba 및 이들의 합금으로 이루어진 군에서 선택된 적어도 하나로 형성될 수 있다. 이때, 상기 제 2 전극(460)은 상기 스페이서(457) 상부에도 형성되는 바, 상기 스페이서(457)에 의해 상기 제 2 전극(460)의 일부분은 상부로 도출되는 돌기부(460a)가 형성된다.

또한, 상기 제 2 전극(460)은 상기 격벽(455)의 역테이퍼 형상에 의해 용이하게 각 서브픽셀 단위로 분리되어 형성된다.

더 나아가, 상기 제 2 전극(460) 상부에 흡습막(도면에는 도시하지 않음.)을 더 형성할 수 있다. 이는 상기 유기 발광층(450)이 수분 또는 산소와 반응하여, 상기 유기 발광층(450)을 이루는 물질의 화학 구조식이 변하게 되어 발광 특성이 소

멸될 수 있다. 이로 인하여, 화소의 한 부분이 발광하지 않는 흑점이 발생할 수 있다. 더군다나, 상기 흑점은 시간이 지남에 따라 증가하게 되어, 결국에는 한 서브픽셀은 광이 나오지 않게 되어 완성된 유기 전계 발광 표시 장치의 불량을 일으킬 수 있으며, 수명이 줄어든다. 이로써, 상기 흡습막을 더 형성하여 이를 해결하고자 함이다. 이때, 상기 흡습막은 산화바륨, 산화칼슘, 산화알루미늄, 황산리튬, 황산나트륨, 황산칼슘, 황산마그네슘, 황산코발트, 황산갈륨, 황산티타늄, 염화칼슘, 질산 칼슘으로 이루어진 군에서 선택된 하나 이상의 물질로 이루어질 수 있다.

또한, 상기 흡습막은 상기 돌기부(460a)를 노출하도록 형성하는 것이 바람직하다. 이는 상기 돌기부(460a)는 상술한 박막 트랜지스터와 전기적으로 연결되어야 하기 때문이다.

이로써, 상기 제 1 영역(a)의 각 셀(300a)은 박막트랜지스터(Tr)를 구비하는 제 1 기판(300')이 형성되고, 제 2 영역(b)의 각 셀(300b)은 유기 전계 발광 다이오드 소자(E)를 구비하는 제 2 기판(300")이 형성된다.

도 2b 및 도 3h를 참조하면, 상기 마더기판(300)을 상기 제 1 영역(a)과 제 2 영역(b)으로 분리하는 절단공정을 수행한다. 즉, 상기 마더기판(300)은 상기 제 1 기판(300')과 상기 제 2 기판(300")으로 분리된다. 이후, 상기 제 1 기판(300') 또는 제 2 기판(300")에 구비되는 각 셀의 외곽부에 실패턴(370)을 도포한다.

도 2c 및 도 3I를 참조하면, 상기 실패턴(370)에 의해, 상기 제 1 기판(300')과 상기 제 2 기판(300")을 합착한다. 이때, 상기 제 1 기판(300')의 박막트랜지스터(Tr)와 상기 제 2 기판(300")의 유기 전계 발광 다이오드 소자(E)가 서로 대향하며, 전기적으로 연결되도록 합착한다.

이후, 상기 각 셀을 절단하여, 유기 전계 발광 표시 장치(EL)를 형성할 수 있다.

이와 같이, 하나의 마더기판(300)을 이용하여 박막트랜지스터(Tr)가 형성된 제 1 기판(300')과, 유기 전계 발광 다이오드 소자(E)가 형성된 제 2 기판(300")을 형성함에 따라, 동일한 공정이 가능한 구성요소는 동시에 형성할 수 있다. 이를테면, 상기 제 1 기판(300')상에 형성되는 소스/드레인 전극(320a, 320b)과 상기 제 2 기판(300")상에 형성되는 보조전극(315)을 동시에 형성할 수 있다. 이로써, 유기 전계 발광 표시 장치의 제조 공정수를 줄일 수 있다.

아하, 도 4a 내지 도 4d, 도 5a 내지 도 5h를 참조하여, 본 발명의 제 3 실시예에 따른 유기 전계 발광 표시 장치의 제조 방법을 설명한다.

도 4a 내지 도 4d는 본 발명의 제 3 실시예에 따른 유기 전계 발광 표시 장치의 제조 방법을 설명하기 위해 도시한 공정도 들이다.

도 5a 내지 도 5h는 상기 도 4a 및 도 4d에서 하나의 서브픽셀에 한정하여 단면을 취한 도면이다.

도 4a 및 도 5a를 참조하여 설명하면, 다수의 셀(500a, 500b)을 구비하는 마더기판(500)을 제공한다. 여기서, 상기 마더기판(500)은 제 1 영역(a)과 제 2 영역(b)으로 구분되어 있다. 도면에는 상기 제 1 영역(a)과 제 2 영역(b)가 상하대칭으로 구분된 것으로 도시하였으나, 도면과 달리 좌우대칭으로 구분되어 있을 수 있다.

상기 제 1 영역(a)에 대응된 상기 마더기판(500)상에 게이트 전극(505)을 형성한다. 여기서, 상기 마더기판(500)에 도전 물질을 증착한 뒤, 패터닝하여 상기 게이트 전극(505)을 형성할 수 있다.

상기 게이트 전극(505)를 포함하는 마더기판(500) 전면에 걸쳐 게이트 절연막(510)을 형성한다. 여기서, 상기 게이트 절연막(510)은 산화실리콘막, 질화실리콘막, 이들의 적층막으로 이루어진 군에서 선택된 적어도 하나일 수 있다.

이로써, 제 1 영역(a)에는 제 1 게이트 절연막(510a)이 형성되고, 제 2 영역(b)에는 제 2 게이트 절연막(510b)이 형성된다.

상기 게이트 전극(505)에 대응된 상기 게이트 절연막(510)상에 액티브층(515)을 형성한다. 상기 액티브층(515)은 상기 게이트 절연막(510)상에 비정질실리콘과 불순물이 도핑된 비정질실리콘을 순차적으로 적층하여 패터닝하여 형성된 채널 층(515a)과 오믹콘택층(515b)으로 이루어질 수 있다.

이후, 상기 제 1 영역(a)에는 상기 액티브층(515) 양말단에 이격되어 배치된 소스/드레인 전극(520a, 520b)과, 상기 제 2 영역(b)의 상기 게이트 절연막(510)상에 위치하는 보조전극(615)을 동시에 형성한다. 즉, 상기 액티브층(515)을 포함하는

마더기판(500)전면에 걸쳐 제 1 도전물질을 증착한 뒤, 패터닝하여 상기 소스/드레인 전극(520a, 520b)과 상기 보조전극(615)을 형성한다. 여기서, 상기 제 1 도전물질은 Al, AlNd, Mo, Cr로 이루어진 군에서 선택된 적어도 하나의 물질일 수 있다.

이로써, 상기 하나의 마더기판(500)에 박막트랜지스터(Tr)와 보조전극(615)을 형성한다. 즉, 상기 제 1 영역(a)에 게이트 전극(505), 액티브층(515) 및 소스/드레인 전극(520a, 520b)을 포함하는 박막트랜지스터(Tr)가 형성되고, 상기 제 2 영역(b)에는 보조전극(615)이 형성된다.

도 4a 및 도 5b를 참조하면, 상기 소스/드레인 전극(520a, 520b)과 상기 보조전극(615)을 포함하는 마더기판(500) 전면에 걸쳐 보호막(530)을 형성한다. 여기서, 상기 보호막(530)은 질화실리콘막, 산화실리콘막, 이들의 적층막으로 이루어진 군에서 선택된 적어도 하나일 수 있다. 즉, 상기 제 1 영역(a)에는 제 1 보호막(530a)이 형성되고, 상기 제 2 영역(b)에는 제 2 보호막(530b)이 형성된다.

여기서, 상기 제 1 보호막(530a)은 상기 드레인 전극(520b)의 일부분을 노출하는 제 1 콘택홀(535)을 형성한다. 이와 동시에, 상기 제 2 보호막(530)은 상기 보조전극(615)의 일부분을 노출하는 제 2 콘택홀(537)을 형성한다.

도 4a 및 도 5c를 참조하면, 상기 제 1 영역(a)에는 상기 드레인 전극(520b)과 접촉하는 연결전극(545)을 형성한다. 이와 동시에 상기 제 2 영역(b)에는 상기 보조전극(615)과 접촉하는 제 1 전극(640)을 형성한다. 즉, 상기 보호막(530)상에 투명성 도전물질을 증착하여, 투명성 도전막을 형성한다. 여기서, 상기 투명성 도전물질은 ITO 또는 IZO일 수 있다. 이때, 상기 투명성 도전막은 상기 드레인 전극(520b)과 상기 보조전극(615)과 접촉한다. 이후, 상기 투명성 도전막을 패터닝하여, 상기 드레인 전극(520b)과 연결되는 연결전극(545)을 형성한다. 이와 동시에, 상기 보조전극(615)과 연결되는 제 1 전극(640)을 형성할 수 있다.

도 4a 및 도 4d를 참조하면, 상기 제 1 영역(a)에는 상기 연결전극(545)을 노출하는 제 2 베퍼층(450)을 형성한다. 이와 동시에, 상기 제 2 영역(b)에는 상기 제 1 전극(640)상에 제 1 베퍼층(645)을 형성한다. 즉, 상기 연결전극(545)과 상기 제 1 전극(640)을 포함하는 마더기판 전면에 걸쳐 절연막을 형성한다. 여기서, 상기 절연막은 벤조사이클로부텐(BCB) 및 폴리이미드(PI) 수지로 이루어진 군에서 선택된 적어도 하나의 물질로 이루어질 수 있다.

이때, 상기 절연막은 상기 제 1 영역(a)에는 상기 연결전극(545)을 포함하는 보호막(530)상에 형성되고, 상기 제 2 영역(b)에는 상기 제 1 전극(640) 상에 형성된다. 이후에, 상기 제 2 영역(b)에는 서브픽셀의 외곽부에 위치하여 각 서브픽셀을 정의하는 제 1 베퍼층(645)을 형성한다. 이와 동시에, 상기 제 1 영역(a)에는 상기 연결전극(545)을 노출하는 제 2 베퍼층(450)을 형성할 수 있다.

도 4b 및 도 5e를 참조하면, 상기 마더기판(500)을 상기 제 1 영역(a)과 제 2 영역(b)으로 분리하는 절단공정을 수행한다. 즉, 상기 제 1 기판(500')과 상기 제 2 기판(500'')으로 분리된다. 이로써, 상기 제 1 기판(500')에는 박막트랜지스터(Tr)를 포함하는 어레이 소자가 형성되며, 상기 제 2 기판(500'')에는 보조전극(615) 및 제 1 전극(640)이 형성된다.

상기 마더기판(500)으로부터 분리된 상기 제 2 기판(500'')의 상기 제 1 베퍼층(645)상에 격벽(655)을 형성한다. 여기서, 상기 격벽(655)은 질화실리콘, 산화실리콘, 아크릴계 수지, 벤조사이클로부텐(BCB) 및 폴리이미드(PI) 수지로 이루어진 군에서 선택된 적어도 하나의 물질로 이루어질 수 있다. 더욱 바람직하게, 상기 격벽(655)은 네가티브 감광성 수지로 형성할 수 있다. 즉, 상기 제 1 베퍼층(645)상에 감광성막을 형성한 뒤, 노광공정 및 현상공정을 거쳐 상기 격벽(655)을 형성한다. 이때, 상기 격벽(655)은 역테이퍼 형상으로 형성하는 것이 바람직하다. 이는, 후술할 유기발광층 및 제 2 전극을 별도의 패터닝 공정을 거치지 않고, 자연적으로 각 서브픽셀 단위로 패터닝하기 위함이다.

도 4b 및 도 5f를 참조하면, 상기 제 1 전극(640)상에 스페이서(657)를 형성한다. 여기서, 상기 스페이서(657)는 서브픽셀 영역내에 형성하는 것이 바람직하다. 이로써, 상기 스페이서(657)는 셀캡 유지를 위한 것으로, 유기 절연막 등으로 이루어진 기동현상을 가진다. 또한, 후술할 제 2 전극이 상기 스페이서를 통해 일부분이 상부로 도출하게 되어, 박막트랜지스터의 드레인 전극(520b)과 연결해 주는 다리 역할을 하게 된다.

도 4b 및 도 5g를 참조하면, 상기 스페이서(657)를 포함하는 제 1 전극(640)상에 유기 발광층(650)을 각 서브픽셀 단위로 형성한다. 여기서, 상기 유기발광층(650)은 저분자 물질 또는 고분자 물질일 수 있다. 이때, 상기 유기발광층(650)이 저분자 물질일 경우에 있어서, 진공 증착법을 수행하여 형성할 수 있으며, 고분자 물질일 경우에 있어서, 잉크젯 프린팅 방법을 수행하여 형성할 수 있다.

이때, 상기 유기발광층(650)은 그 상부면 또는 하부면에 정공 주입층, 정공 수송층, 정공 억제층, 전자 수송층 및 전자 주입층으로 이루어진 군에서 선택된 적어도 하나의 유기층을 더 형성할 수 있다.

여기서, 상기 유기발광층(650)은 상기 격벽(655)의 역테이퍼 형상에 의해 자연적으로 서브픽셀 단위로 분리되어 형성된다.

이후에 상기 유기 발광층(650)상에 제 2 전극(660)을 형성한다. 여기서, 상기 제 2 전극(660)은 상기 유기발광층(650)에 전자를 공급해주는 역할을 한다. 이를테면 상기 제 2 전극(660)은 Mg, Ca, Al, Ag, Ba 및 이들의 합금으로 이루어진 군에서 선택된 적어도 하나로 형성될 수 있다. 이때, 상기 제 2 전극(660)은 상기 스페이서(657) 상부에도 형성되는 바, 상기 스페이서(657)에 의해 상기 제 2 전극(660)의 일부분은 상부로 도출되는 돌기부(660a)가 형성된다.

또한, 상기 제 2 전극(660)은 상기 격벽(655)의 역테이퍼 형상에 의해 용이하게 각 서브픽셀 단위로 분리되어 형성된다.

더 나아가, 상기 제 2 전극(660) 상부에 흡습막(도면에는 도시하지 않음.)을 더 형성할 수 있다. 이는 상기 유기 발광층(650)이 수분 또는 산소와 반응하여, 상기 유기발광층(650)을 이루는 물질의 화학 구조식이 변하게 되어 발광 특성이 소멸될 수 있다. 이로 인하여, 화소의 한 부분이 발광하지 않는 흑점이 발생할 수 있다. 더군다나, 상기 흑점은 시간이 지남에 따라 증가하게 되어, 결국에는 한 서브픽셀은 광이 나오지 않게 되어 완성된 유기 전계 발광 표시 장치의 불량률을 일으킬 수 있으며, 수명이 줄어든다. 이로써, 상기 흡습막을 더 형성하여 이를 해결하고자 함이다. 이때, 상기 흡습막은 산화바륨, 산화칼슘, 산화알루미늄, 황산리튬, 황산나트륨, 황산칼슘, 황산마그네슘, 황산코발트, 황산갈륨, 황산티타늄, 염화칼슘, 질산칼슘으로 이루어진 군에서 선택된 하나 이상의 물질로 이루어질 수 있다.

또한, 상기 흡습막은 상기 돌기부(660a)를 노출하도록 형성하는 것이 바람직하다. 이는 상기 돌기부(660a)는 상술한 박막트랜지스터(Tr)와 전기적으로 연결되어야 하기 때문이다.

도 4c 및 도 5h를 참조하면, 상기 제 1 기판(500') 또는 제 2 기판(500")에 구비되는 각 셀의 외곽부에 실패턴(570)을 도포한다. 이후, 상기 실패턴(570)에 의해, 상기 제 1 기판(300')과 상기 제 2 기판(300")을 합착한다. 이때, 상기 제 1 기판(500')의 박막트랜지스터(Tr)과 상기 제 2 기판(500")의 유기 전계 발광 다이오드 소자(E)가 서로 대향하며, 전기적으로 연결되도록 합착한다.

도 4d 및 도 5h를 참조하면, 상기 각 셀을 절단하여, 유기 전계 발광 표시 장치(EL)을 형성한다.

이와 같이, 하나의 마더기판(500)을 이용하여 박막트랜지스터가 형성된 제 1 기판(500')과, 유기 전계 발광 다이오드 소자(E)가 형성된 제 2 기판(500)을 형성함에 따라, 동일한 공정이 가능한 구성요소는 동시에 형성할 수 있다. 여기서, 상기 제 2 기판(500)에만 형성되는 격벽(655), 스페이서(657), 유기발광층(650) 및 제 2 전극(660)을 형성하기 전에 상기 마더기판(500)을 제 1 기판(500')과 제 2 기판(500)으로 분리하는 절단공정을 거치고, 격벽(655), 스페이서(657), 유기발광층(650) 및 제 2 전극(660)을 형성함에 따라, 재료의 손실을 방지할 수 있다. 이로써, 유기 전계 발광 표시 장치를 제조함에 있어서, 재료의 손실을 방지하며, 공정 수를 절감할 수 있다.

아하, 도 6a 내지 6d는 본 발명의 제 4 실시예에 따른 유기 전계 발광 표시 장치의 제조 방법을 설명하기 위한 공정도들이다. 여기서, 하나의 마더기판에 연결전극 및 제 1 전극을 형성한 후, 상기 마더기판을 제 1 기판과 제 2 기판으로 분리하는 절단공정을 거치는 것을 제외하고, 상술한 제 3 실시예와 동일한 공정을 거치므로, 동일한 참조 번호는 동일한 구성 요소를 지칭하며, 반복되는 설명은 생략한다.

도 6a를 참조하면, 제 1 영역(a)과 제 2 영역(b)으로 구분된 마더기판(500)을 제공한다. 이후, 상기 제 1 영역(a)에는 박막트랜지스터(Tr)를 형성하고, 상기 제 2 영역(b)에는 보조전극(630)을 형성한다. 여기서, 상기 박막트랜지스터(Tr)의 소스/드레인 전극(520a, 520b)과 상기 보조전극(630)은 동시에 형성된다. 이로써, 상기 소스/드레인 전극과 상기 보조전극은 동일한 물질로 이루어지며, 동일한 두께를 가지게 된다.

이후, 상기 제 1 영역(a)에 상기 드레인 전극(520b)와 접촉하는 연결전극(545)을 형성한다. 이와 동시에, 상기 제 2 영역(b)에는 상기 보조전극(615)과 접촉하는 제 1 전극(640)을 동시에 형성한다.

이후, 상기 마더기판(500)의 제 1 영역(a)과 제 2 영역(b)을 분리하는 절단공정을 수행하여 제 1 기판(500')과 제 2 기판(500)을 형성한다.

도 6b를 참조하면, 상기 마더기판(500)으로부터 분리된 제 2 기판(500")을 제공한다. 상기 제 2 기판(500") 상에 형성된 제 1 전극(640) 상에 제 1 버퍼층(645)을 형성한다. 여기서, 상기 제 1 버퍼층(645)은 서브픽셀의 외곽영역에 형성하여, 상기 서브픽셀을 정의하는 역할을 한다.

도 6c를 참조하면, 상기 제 1 버퍼층(645)상에 후술할 유기발광층 및 제 2 전극을 각 서브픽셀별로 자동적으로 패터닝하기 위한 격벽(655)을 형성한다.

이후, 상기 제 1 전극(640)상의 서브픽셀 내에 셀캡을 유지하기 위한 스페이서(657)를 형성한다.

이후, 상기 스페이서(657) 및 상기 제 1 전극(640) 상에 유기발광층(650)과 제 2 전극을 순차적으로 형성한다. 이로써, 상기 제 2 기판 상에 유기 전계 발광 다이오드 소자(E)가 형성된다.

도 6d를 참조하면, 상기 마더기판(500)으로부터 분리된 제 1 기판(500')과, 상기 유기 전계 발광 다이오드 소자(E)가 형성된 제 2 기판(500")을 합착한다.

여기서, 상기 제 1 기판(500') 또는 상기 제 2 기판(500) 내에 위치하는 각 셀의 외곽에 실패턴을 형성하고, 두 기판을 합착한다. 이때, 상기 제 1기판(500')의 박막트랜지스터(Tr)와 상기 제 2기판(500)의 상기 유기 전계 발광 다이오드 소자(E)는 전기적으로 연결되도록 합착한다.

이후, 각 셀 단위로 절단하는 공정을 거쳐, 유기 전계 발광 표시 장치(EL)를 제조할 수 있다.

이와 같이, 하나의 마더기판(500)을 이용하여 박막트랜지스터(Tr)가 형성된 제 1 기판(500')과, 유기 전계 발광 다이오드 소자(E)가 형성된 제 2 기판(500)을 형성함에 따라, 동일한 공정이 가능한 구성요소는 동시에 형성할 수 있다. 여기서, 상기 제 2 기판(500)에만 형성되는 제 1 버퍼층(615), 스페이서(657), 격벽(655), 유기발광층(650) 및 제 2 전극(660)을 형성하기 전에 상기 마더기판(500)의 제 1기판과 제 2 기판으로 분리하는 절단공정을 거치고, 상기 제 1 버퍼층(615), 스페이서(657), 격벽(655), 유기발광층(650) 및 제 2 전극(660)을 형성함에 따라, 재료의 손실을 방지하며, 공정수를 절감할 수 있는 유기 전계 발광 표시 장치를 제조할 수 있다.

발명의 효과

상기한 바와 같이 본 발명에 따르면, 하나의 마더기판을 사용하여 박막트랜지스터가 형성되는 제 1 기판과 유기 전계 발광 다이오드 소자가 형성되는 제 2 기판을 형성함으로써, 공정수를 절감하며 유기 전계 발광 표시 장치를 제조할 수 있다.

이로써, 상기 유기 전계 발광 표시 장치의 제조 공정수가 절감됨에 따라 생산 단가를 낮출 수 있다.

또, 상기 유기 전계 발광 표시 장치의 제조 공정수가 절감됨에 따라 생산 수율을 높일 수 있다.

또, 상기 유기 전계 발광 표시 장치의 제조 공정수가 절감됨에 따라 라인 생산 능력(line capacity)을 증대시킬 수 있다.

상기에서는 본 발명의 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

도 1a 내지 도 1c는 본 발명의 제 1 실시예에 따른 유기 전계 발광 표시 장치를 도시한 단면도이다.

도 2a 내지 도 2c는 본 발명의 제 2 실시예에 따른 유기 전계 발광 표시 장치의 제조 방법을 설명하기 위해 도시한 공정도들이다.

도 3a 내지 도 3I는 상기 도 2a 및 도 2c에서 하나의 서브픽셀에 한정하여 단면을 취한 도면들이다.

도 4a 내지 도 4d는 본 발명의 제 3 실시예에 따른 유기 전계 발광 표시 장치의 제조 방법을 설명하기 위해 도시한 공정도 들이다.

도 5a 내지 도 5h는 상기 도 4a 및 도 4d에서 하나의 서브픽셀에 한정하여 단면을 취한 도면들이다.

도 6a 내지 6d는 본 발명의 제 4실시예에 따른 유기 전계 발광 표시 장치의 제조 방법을 설명하기 위한 공정도들이다.

(도면의 주요 부분에 대한 부호의 설명)

100, 300', 500' : 제 1 기판 200, 300". 500" : 제 2 기판

105, 305, 505 : 게이트 전극 115, 315, 515 : 액티브층

120a, 320a, 520a : 소스 전극 120b, 320b, 520b : 드레인 전극

145, 345, 545 : 연결전극 215, 415, 615 : 보조전극

240, 440, 640 : 제 1 전극 245, 445, 645 : 제 1 버퍼층

255, 455, 655 : 격벽 257, 457, 657 : 스페이서

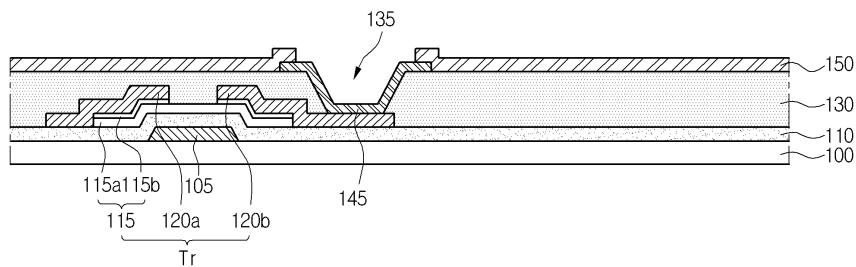
250, 450, 650 : 유기발광층 260, 460, 660 : 제 2 전극

300, 500 : 마더기판

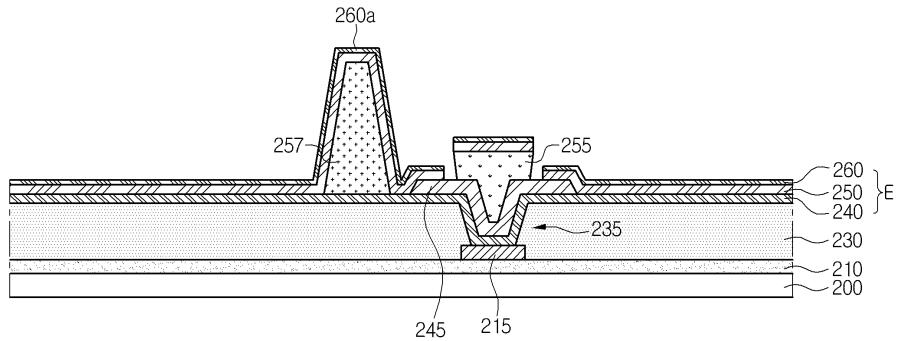
Tr : 박막트랜지스터 E : 유기 전계 발광 다이오드 소자

도면

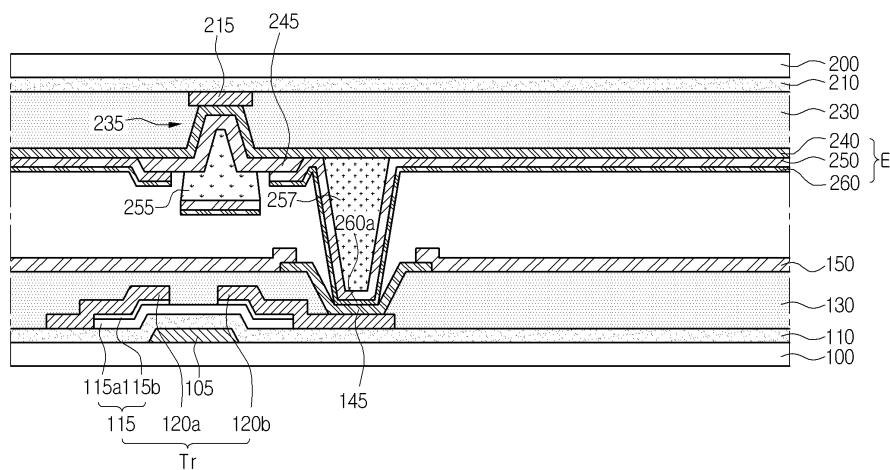
도면1a



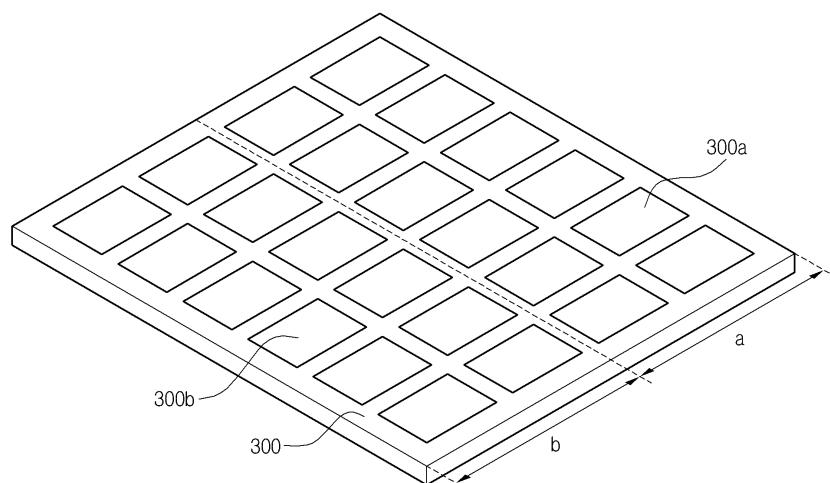
도면1b



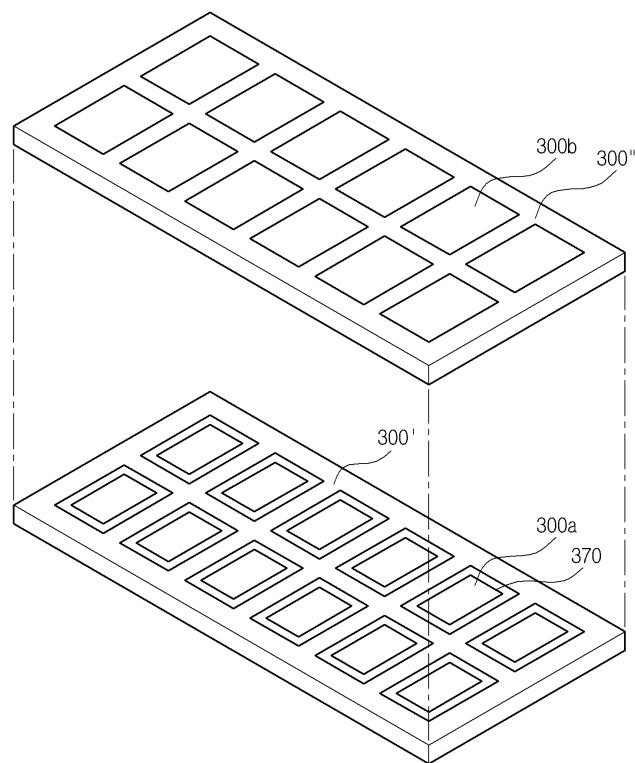
도면1c



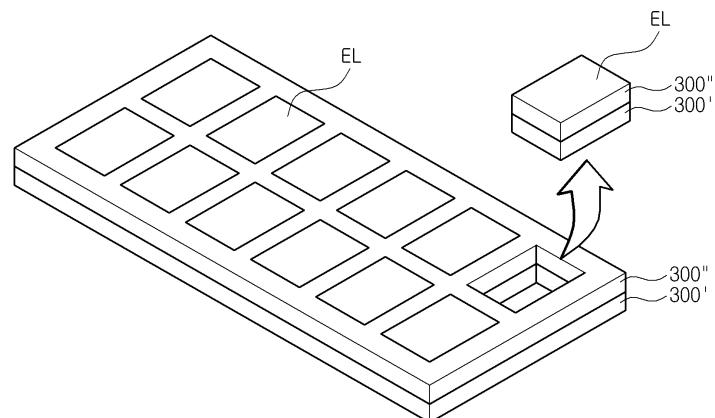
도면2a



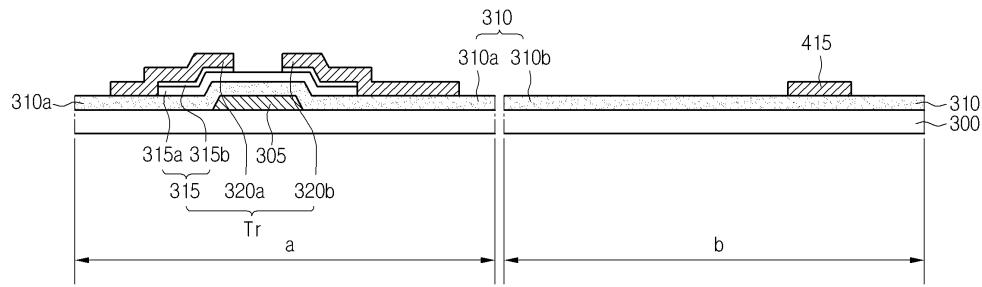
도면2b



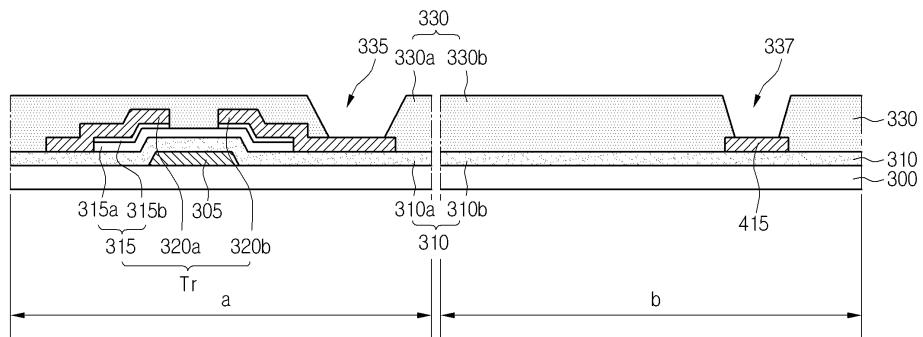
도면2c



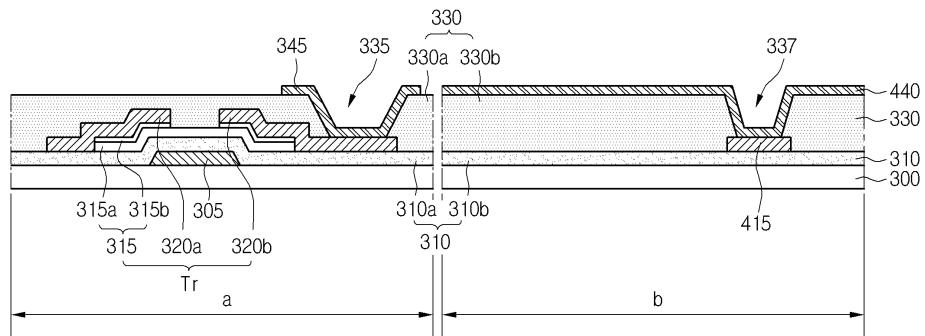
도면3a



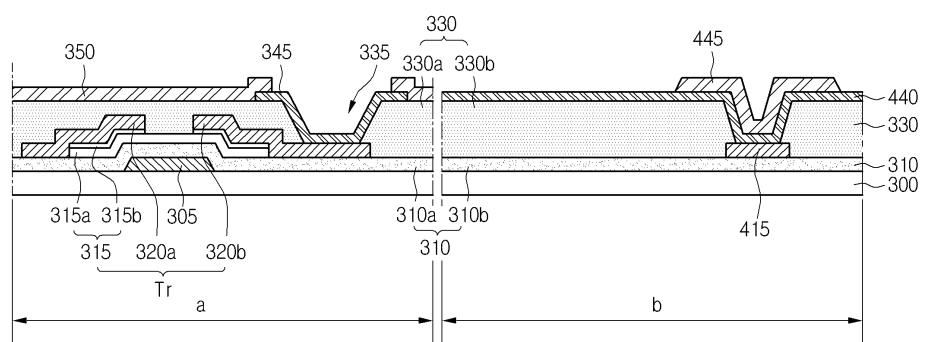
도면3b



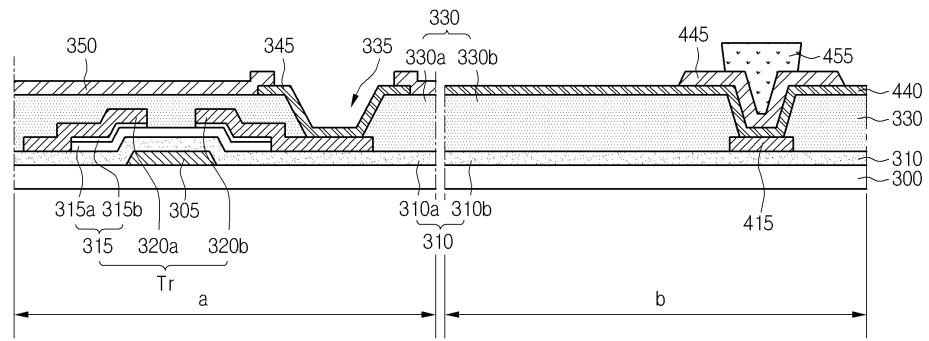
도면3c



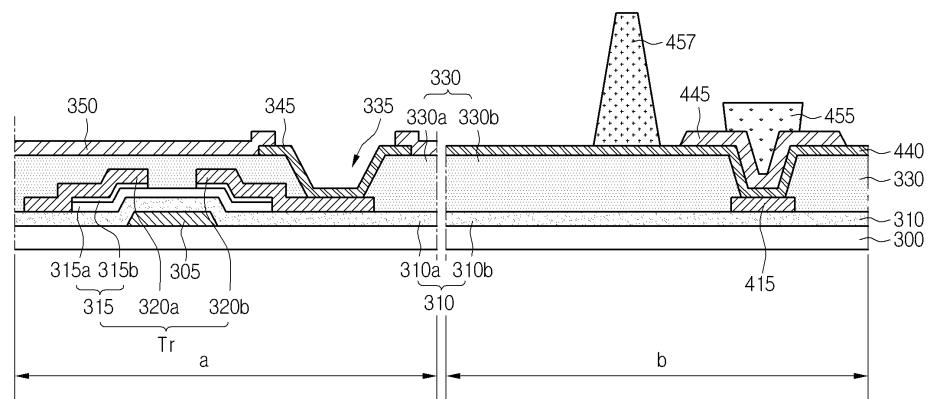
도면3d



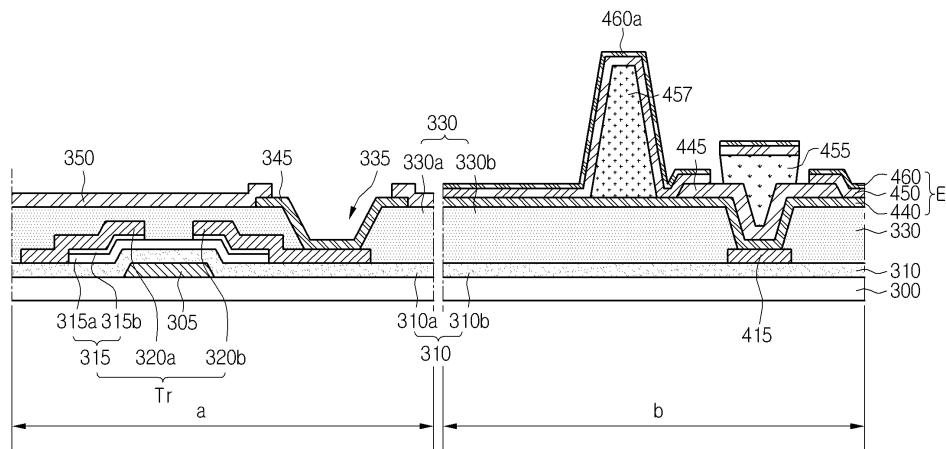
도면3e



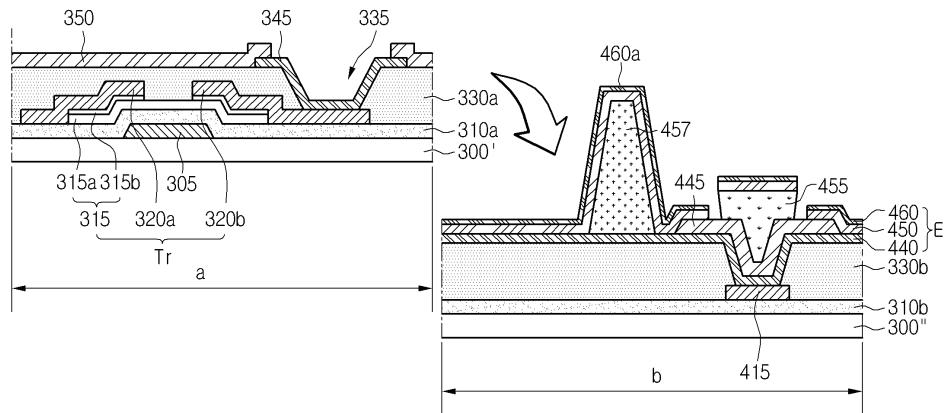
도면3f



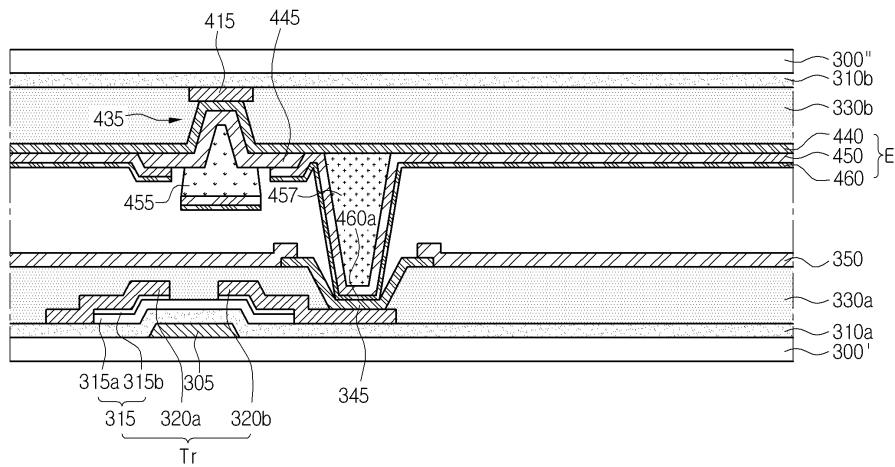
도면3g



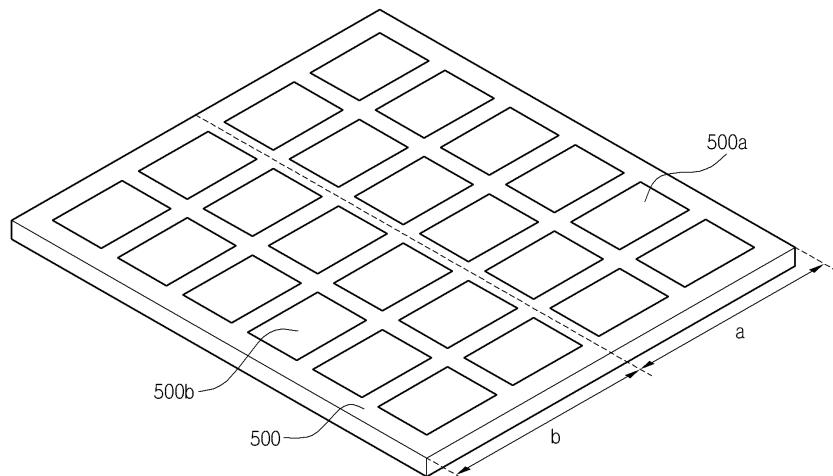
도면3h



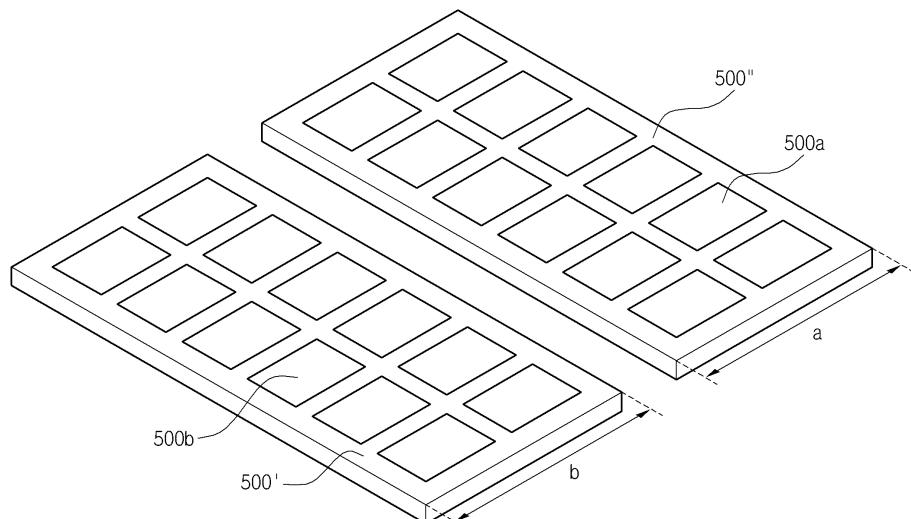
도면3i



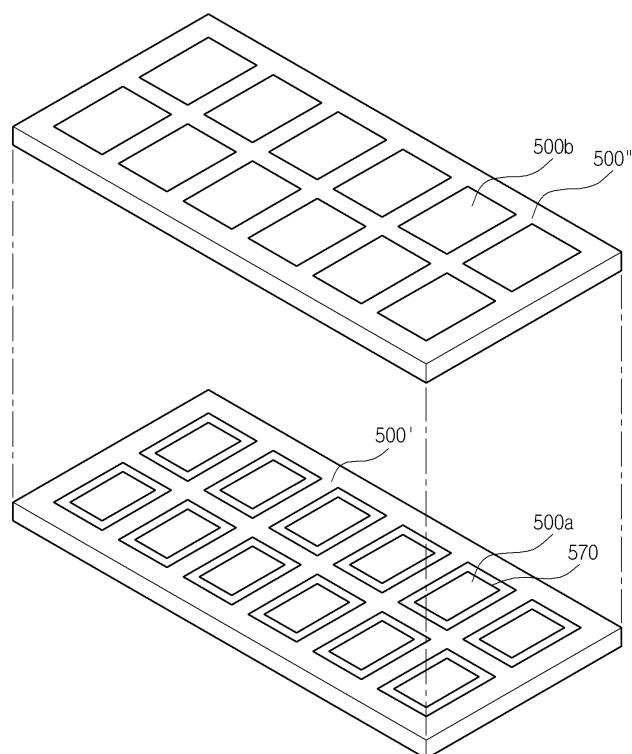
도면4a



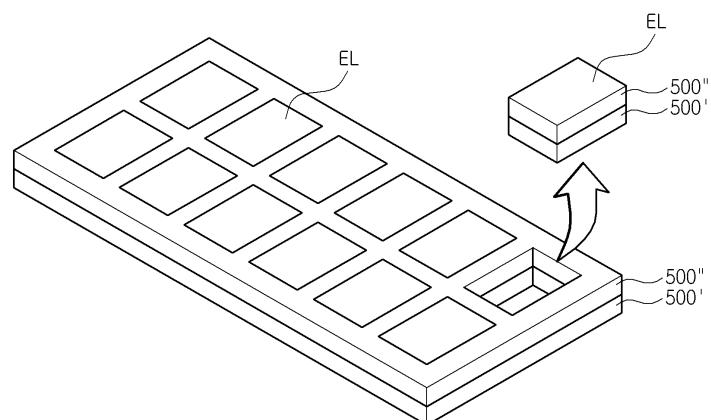
도면4b



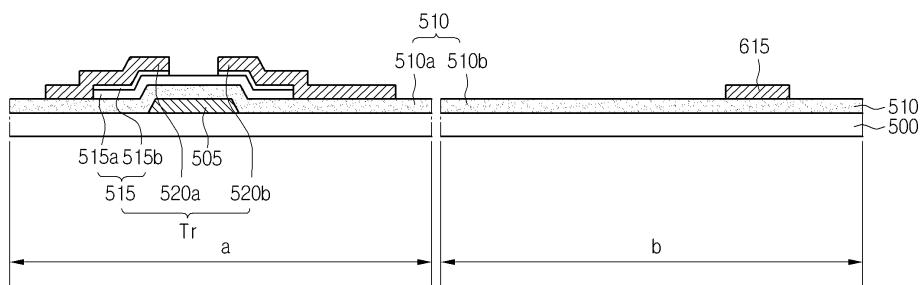
도면4c



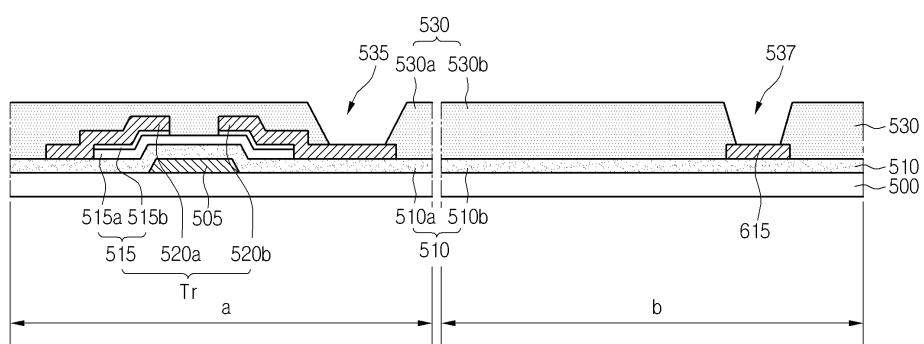
도면4d



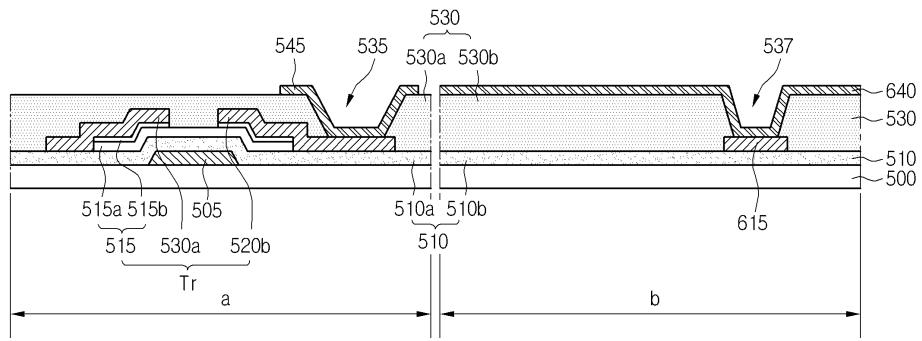
도면5a



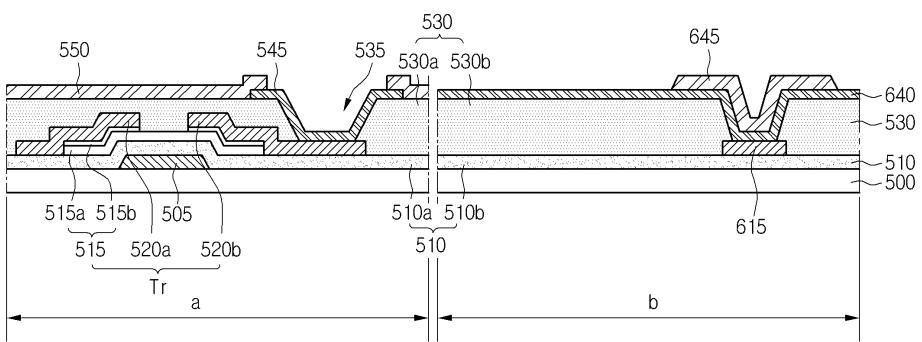
도면5b



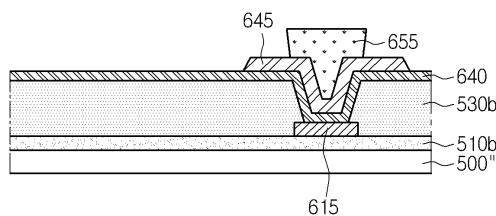
도면5c



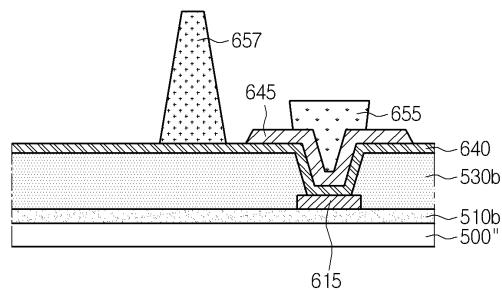
도면5d



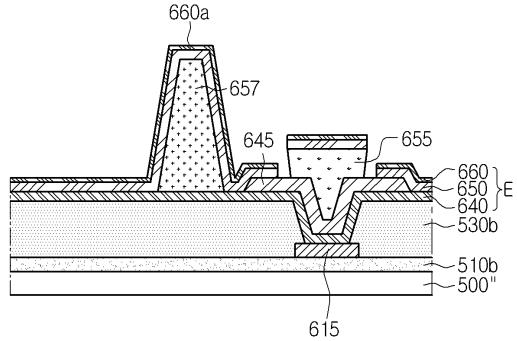
도면5e



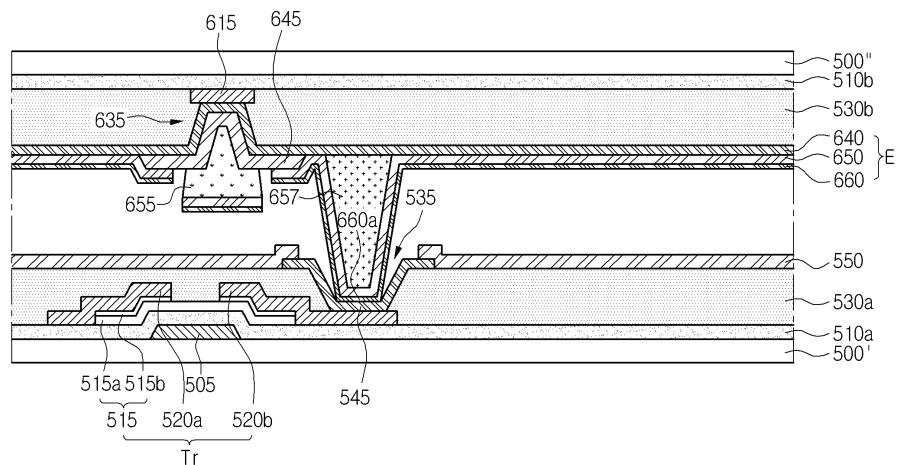
도면5f



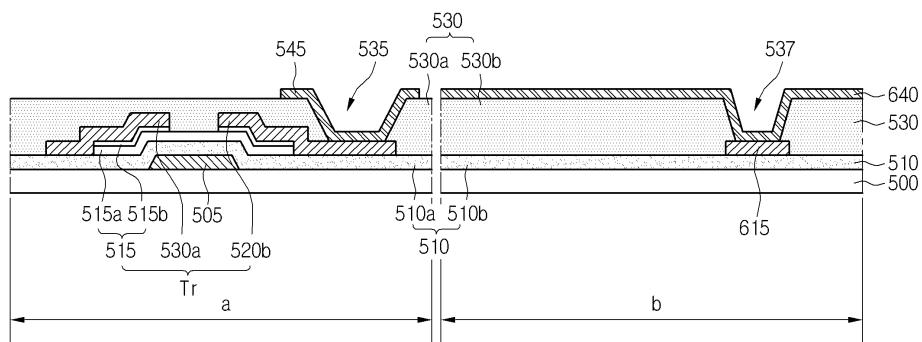
도면5g



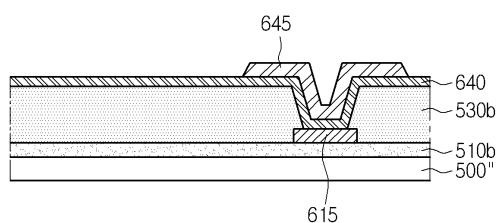
도면5h



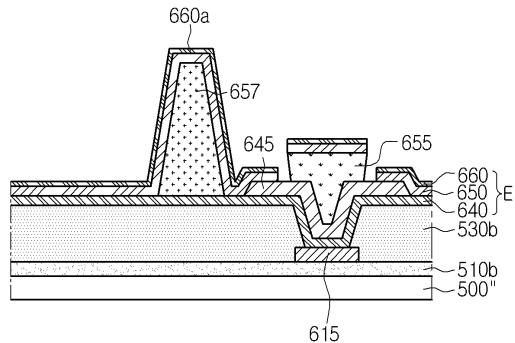
도면6a



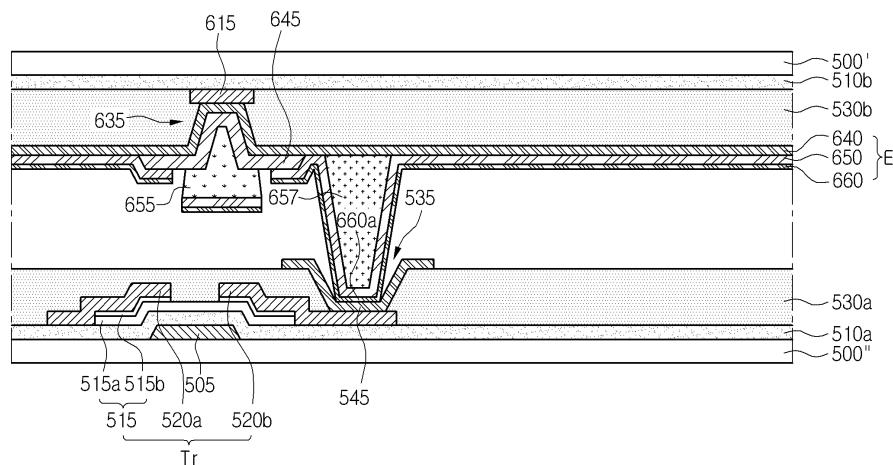
도면6b



도면6c



도면6d



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR1020070049270A	公开(公告)日	2007-05-11
申请号	KR1020050106252	申请日	2005-11-08
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JOO IN SU		
发明人	JOO, IN SU		
IPC分类号	H05B33/10		
CPC分类号	H01L27/3251 H01L27/3253 H01L27/3258 H01L51/56		
外部链接	Espacenet		

摘要(译)

本发明涉及有机电致发光显示装置及其制造方法，提供了用于暗示的有机电致发光装置的制造方法和由此制造的有机电致发光显示装置，其上形成的薄膜晶体管和辅助电极的相应的第一部分暴露部分。基板顶部区域，形成具有第二接触孔的保护膜的步骤，以及薄膜晶体管，辅助电极，电连接的相应连接电极和形成第一电极的步骤，包括形成辅助电极的步骤第二部分形成：薄膜晶体管和辅助电极薄膜晶体管在提供分为第一区域和第二区域的基板的步骤中：第一区域。有机电致发光显示器件，双面板，主板，工艺。

