

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁷
H05B 33/00(11) 공개번호 10-2005-0052255
(43) 공개일자 2005년06월02일(21) 출원번호 10-2003-0086119
(22) 출원일자 2003년11월29일(71) 출원인 삼성에스디아이 주식회사
경기 수원시 영통구 신동 575(72) 발명자 구재본
경기도 용인시 수지구 풍림아파트 105동 504호
박상일
서울특별시 양천구 신정4동 983-12호

(74) 대리인 박상수

심사청구 : 있음

(54) 유기 전계 발광 표시 장치 및 그의 제조 방법

요약

본 발명은 유기 전계 발광 표시 장치의 제조 표시가 용이한 박막 트랜지스터와 이의 제조 방법 및 이를 사용하는 유기 전계 발광 표시 장치에 관한 것으로, 절연 기판 상에 형성되며, 소오스/드레인 영역을 구비하는 활성층, 게이트 절연막 상에 형성된 게이트 전극, 층간 절연막의 콘택 홀을 통하여 상기 소오스/드레인 영역과 전기적으로 연결되는 소오스/드레인 전극을 구비하는 박막 트랜지스터와; 상기 박막 트랜지스터를 구비하는 절연 기판 전면에 형성되며, 상기 소오스/드레인 전극 중 어느 하나의 일부분을 노출시키는 비아 홀을 구비하는 보호막과; 상기 비아 홀을 통하여 상기 박막 트랜지스터와 전기적으로 연결되는 유기 발광 소자를 포함하며, 상기 박막 트랜지스터의 S-팩터(factor)는 0.35V/dec 이상인 유기 전계 발광 표시 장치를 제공하는 것을 특징으로 한다.

대표도

도 1b

색인어

유기 전계 발광 표시 장치, 박막 트랜지스터, 열처리

명세서

도면의 간단한 설명

도 1a 및 도 1b는 본 발명의 실시예에 따른 유기 전계 발광 표시 장치를 설명하기 위한 공정 단면도.

2a 내지 도 2d는 본 발명의 실시예에 따른 열처리 공정 이후의 PMOS 박막 트랜지스터 및 NMOS 박막 트랜지스터의 전기적 특성을 나타내는 게이트 전압의 변화에 따른 소오스/드레인 전류를 설명하기 위한 도면.

(도면의 주요 부위에 대한 부호의 설명)

100; 절연 기판 110; 버퍼층

120a, 120b; 활성층 130; 게이트 절연막

140a, 140b; 게이트 전극 150; 층간 절연막

161a, 161b; 소오스 전극 165a, 165b; 드레인 전극

170; 보호막 180; 유기 발광 소자

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 전계 발광 표시 장치 및 그의 제조 방법에 관한 것으로, 계조 표시가 용이한 유기 전계 발광 표시 장치 및 그의 제조 방법에 관한 것이다.

일반적으로 CMOS 박막 트랜지스터(Complementary Metal Oxide Semiconductor Thin Film transistor; CMOS TFT)를 사용하는 회로들은 액티브 매트릭스 액정 표시 장치(Active Matrix Liquid Crystal Display; AMLCD), 유기 전계 발광 표시 장치(Active Matrix Organic Electro Luminescence Display; OLED) 및 이미지 센서 등의 액티브 매트릭스 평판 표시 장치(Active Matrix Flat Panel Display)를 구동하는 데에 사용된다.

이때, 상기 액티브 매트릭스 평판 표시 장치의 회로부 트랜지스터와 스위칭 트랜지스터로 사용되는 NMOS 박막 트랜지스터와 구동 트랜지스터로 사용되는 PMOS 박막 트랜지스터는 그 요구되는 특성이 서로 다르다.

특히, 액티브 매트릭스 유기 전계 발광 표시 장치에 있어서, 회로부 및 스위칭 트랜지스터의 경우에는 문턱 전압이 낮으며, 박막 트랜지스터의 전기적 특성을 나타내는 게이트 전압의 변화에 따른 소오스/드레인 전류 그래프의 곡선의 기울기의 역수인 S-팩터(factor) 값이 낮은 특성을 요구하며, 구동 트랜지스터의 경우에는 계조 표시를 위하여 S-팩터(factor)가 큰 특성을 요구한다.

한국 공개 특허 1995-0033618에서는 화소부의 폴리 실리콘막을 회로부의 폴리 실리콘막보다 두껍게 형성하여 박막 트랜지스터를 제조하여 화소부와 회로부의 박막 트랜지스터의 특성을 달리하는 방법을 개시하고 있다.

그러나, 상기한 바와 같이 폴리 실리콘막의 두께를 위치별로 다르게 형성하는 방법은 추가적인 공정이 도입되어 공정이 복잡하며, 또한, 구동 트랜지스터의 특성만을 저하시키기 위하여 제어해야 할 변수가 많은 문제점을 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 상기한 종래 기술의 문제점을 해결하기 위한 것으로, 본 발명은 박막 트랜지스터의 열처리 조건을 최적화함으로써, 계조 표시가 용이한 유기 전계 발광 표시 장치 및 그의 제조 방법을 제공하는 데에 그 목적이 있다.

발명의 구성 및 작용

상기한 목적을 달성하기 위한 본 발명은 절연 기판 상에 형성되며, 소오스/드레인 영역을 구비하는 활성층, 게이트 절연막 상에 형성된 게이트 전극, 층간 절연막의 콘택 홀을 통하여 상기 소오스/드레인 영역과 전기적으로 연결되는 소오스/드레인 전극을 구비하는 박막 트랜지스터와; 상기 박막 트랜지스터를 구비하는 절연 기판 전면에 형성되며, 상기 소오스/드레인 전극 중 어느 하나의 일부분을 노출시키는 비아 홀을 구비하는 보호막과; 상기 비아 홀을 통하여 상기 박막 트랜지스터와 전기적으로 연결되는 유기 발광 소자를 포함하며, 상기 박막 트랜지스터의 S-팩터(factor)는 0.35V/dec 이상인 유기 전계 발광 표시 장치를 제공하는 것을 특징으로 한다.

상기 박막 트랜지스터의 S-팩터(factor)는 0.35V/dec 내지 0.6V/dec인 것이 바람직하다.

상기 보호막은 수소를 함유하는 무기 절연 물질로 이루어진 무기 보호막을 구비하는 것이 바람직하며, 더욱 바람직하게는 상기 보호막은 수소를 함유하는 SiNx로 이루어진 무기 보호막을 구비하는 것이 바람직하다.

또한, 본 발명은 절연 기판 상에 소오스/드레인 영역을 구비하는 활성층, 게이트 절연막 상에 형성된 게이트 전극, 층간 절연막의 콘택 홀을 통하여 상기 소오스/드레인 영역과 전기적으로 연결되는 소오스/드레인 전극을 구비하는 박막 트랜지스터를 형성하는 단계와; 상기 박막 트랜지스터를 구비하는 절연 기판 전면에 보호막을 형성하는 단계와; 상기 보호막을 구비하는 상기 절연 기판을 열처리하는 단계를 포함하며, 상기 열처리 후의 상기 박막 트랜지스터의 S-팩터(factor)는 0.35V/dec 이상인 유기 전계 발광 표시 장치의 제조 방법을 제공하는 것을 특징으로 한다.

상기 열처리는 350℃ 이하의 온도 범위에서 수행하는 것이 바람직하며, 더욱 바람직하게는 상기 열처리는 300℃ 내지 350℃의 온도 범위에서 수행하는 것이 바람직하다.

이하 첨부된 도면을 참조하여, 본 발명의 실시예를 설명한다.

도 1a 및 도 1b는 본 발명의 실시예에 따른 유기 전계 발광 표시 장치를 설명하기 위한 공정 단면도이다.

도 1a를 참조하면, PMOS 박막 트랜지스터가 형성되는 PMOS 영역(100a) 및 NMOS 박막 트랜지스터가 형성되는 NMOS 영역(100b)을 구획하는 절연 기판(100) 상에 상기 절연 기판(100)으로부터 금속 이온 등의 불순물이 확산되어 활성층(다결정 실리콘)에 침투하는 것을 막기 위한 버퍼층(110, buffer layer; diffusion barrier)을 PECVD, LPCVD, 스퍼터링(sputtering) 등의 방법을 통해 증착한다.

상기 버퍼층(210)을 형성한 후, 상기 버퍼층(110) 상에 PECVD, LPCVD, 스퍼터링 등의 방법을 이용하여 비정질 실리콘막(amorphous Si)을 증착한다. 그리고, 진공 로(furnace)에서 탈수소 공정을 실시한다. 상기 비정질 실리콘막을 LPCVD 나 스퍼터링으로 증착한 경우 탈수소하지 않을 수도 있다.

상기 비정질 실리콘막에 고에너지를 조사하는 비정질 실리콘의 결정화 공정을 통해 비정질 실리콘을 결정화하여 다결정 실리콘(poly-Si)을 형성한다. 바람직하게는 상기 결정화 공정으로 ELA, MIC, MILC, SLS, SPC 등의 결정화 공정이 사용된다.

상기 다결정 실리콘막을 형성한 후, 상기 다결정 실리콘막을 패터닝하여 PMOS 영역(100a)과 NMOS 영역(100b)에 활성층(120a, 120b, active layer)을 형성한다.

상기 활성층(120a, 120b)을 형성한 후, 상기 절연 기판(100) 전면에 포토레지스트를 형성하고, 노광하여 NMOS 영역(100b)의 활성층(120b)을 노출시키는 포토레지스트 패턴을 형성한다.

그런 다음, NMOS 박막 트랜지스터에 도전성을 주기 위하여 상기 포토레지스트 패턴을 마스크로 하여 상기 NMOS 영역(120b)의 활성층(120b)에 N형 도펀트를 이용하여 채널 도핑을 실시한다.

본 발명에서는 통상의 NMOS 박막 트랜지스터의 구조를 가질 수도 있으며, LDD(Lightly Doped Drain) 구조 또는 오프-셋(off-set) 구조를 가질 수도 있다. 이후에는 LDD 영역을 구비하는 NMOS 박막 트랜지스터를 예를 들어 설명한다.

상기 NMOS 영역(120b)의 활성층(120b)에 도핑한 후, 상기 포토레지스트 패턴을 제거하고, 상기 절연 기판(100) 상에 게이트 절연막(130)을 형성한다.

상기 게이트 절연막(130)을 형성한 후, 상기 게이트 절연막(130) 상에 게이트 전극 물질을 증착하고 식각하여 PMOS 박막 트랜지스터와 NMOS 박막 트랜지스터의 게이트 전극(140a, 140b)을 각각 형성한다.

상기 게이트 전극(140a, 140b)을 형성한 후, 상기 절연 기판(100)의 NMOS 영역(100b)을 노출시키는 포토레지스트 패턴을 형성하고, LDD 영역 형성을 위한 N형의 저농도 불순물을 상기 도핑하여 저농도 소오스/드레인 영역을 형성한다.

그런 다음, 상기 절연 기판(100) 상에 포토레지스트를 도포하고 노광하여, NMOS 영역의 오염을 방지하며, PMOS 박막 트랜지스터의 소오스/드레인 영역(121a, 125a)을 형성하기 위한 포토레지스트 패턴을 형성한다.

상기 PMOS 박막 트랜지스터의 소오스/드레인 영역(121a, 125a)을 형성하기 위한 포토레지스트 패턴을 이용하여 P형의 고농도 불순물을 도핑하여 상기 PMOS 박막 트랜지스터의 소오스/드레인 영역(121a, 125a)을 형성한다. 상기 PMOS 박막 트랜지스터의 소오스/드레인 영역(121a, 125a) 사이의 영역은 PMOS 박막 트랜지스터의 채널 영역(123a)으로 작용한다.

그런 다음, 상기 PMOS 박막 트랜지스터의 소오스/드레인 영역(121a, 125a)을 형성을 위한 포토레지스트 패턴을 제거하고, 다시 상기 절연 기판(100) 상에 PMOS 영역의 오염을 방지하며, NMOS 박막 트랜지스터의 소오스/드레인 영역(121b, 125b)을 형성하기 위한 포토레지스트 패턴을 형성한다.

상기 NMOS 박막 트랜지스터의 소오스/드레인 영역(121b, 125b)을 형성하기 위한 포토레지스트 패턴을 마스크로 하여 N형의 불순물을 고농도 도핑하여 NMOS 박막 트랜지스터의 LDD 영역을 구비하는 소오스/드레인 영역(121b, 125b)을 형성한다.

다음으로, NMOS 박막 트랜지스터의 소오스/드레인 영역(121b, 125b)을 형성하기 위한 포토레지스트 패턴을 제거하고, 상기 절연 기판(100) 전면에 층간 절연막을 형성한다.

상기 층간 절연막을 패터닝하여 PMOS 박막 트랜지스터 및 NMOS 박막 트랜지스터의 소오스/드레인 영역(121a, 121b, 125a, 125b)을 노출시키는 콘택 홀(151a, 151b, 155a, 155b)을 형성한다.

상기 콘택 홀(151a, 151b, 155a, 155b)을 형성한 후, 상기 절연 기판(100) 전면에 소정의 도전 금속 물질을 증착하고 패터닝하여 PMOS 박막 트랜지스터 및 NMOS 박막 트랜지스터의 소오스/드레인 전극(161a, 161b, 165a, 165b)을 형성하여 PMOS 박막 트랜지스터 및 NMOS 박막 트랜지스터를 형성한다.

상기 PMOS 박막 트랜지스터 및 NMOS 박막 트랜지스터를 형성한 후, 상기 PMOS 박막 트랜지스터 및 NMOS 박막 트랜지스터를 구비하는 상기 절연 기판(100) 전면에 보호막(170)을 형성한다. 이때, 상기 보호막(170)은 수소를 함유한 무기 절연 물질로 이루어지는 무기 보호막을 구비하는 것이 바람직하며, 더욱 바람직하게는 수소를 함유하는 SiNx로 이루어지는 무기 보호막을 구비하는 것이 바람직하다.

상기 보호막(170)을 형성한 후, 로(furnace)에서 열처리 공정을 수행한다. 이때, 상기 보호막(170)에 함유된 수소가 확산하여 상기 PMOS 박막 트랜지스터 및 NMOS 박막 트랜지스터를 형성하는 동안에 발생할 수 있는 하부 구조의 손상을 완화하게되어 박막 트랜지스터의 전하 이동도가 증가하며, 문턱 전압이 낮아지는 등 전기적 특성이 향상된다.

도 1b를 참조하면, 상기 열처리 공정 이후에, 상기 보호막(170)을 패터닝하여 상기 PMOS 박막 트랜지스터의 소오스/드레인 전극(161a, 165a) 중 어느 하나, 예를 들면 드레인 전극(165a)의 일부분을 노출시키는 비아 홀(175)을 형성한다.

상기 비아 홀(175)을 형성한 후, 상기 비아 홀(175)을 통하여 상기 드레인 전극(165)과 전기적으로 연결되는 발광 소자(180)를 형성하여 액티브 매트릭스 평판 표시 장치를 형성한다.

상기 발광 소자(180), 예를 들면, 유기 발광 소자는 상기 비아 홀(175)을 통하여 상기 드레인 전극(165a)과 전기적으로 연결되는 하부 전극(181), 상기 하부 전극의 일부분을 노출시키는 개구부가 형성된 화소 정의막(182), 상기 화소 정의막(182)의 개구부 상에 형성된 유기 발광층(183), 상기 절연 기판(100) 전면에 형성된 상부 전극(184)으로 이루어진다.

이때, 상기 유기 발광층(183)은 그 기능에 따라 여러 층으로 구성될 수 있는데, 일반적으로 발광층(Emitting layer)을 포함하여 정공 주입층(HIL), 정공 전달층(HTL), 정공 저지층(HBL), 전자 수송층(ETL), 전자 주입층(EIL) 중 적어도 하나 이상의 층을 포함하는 다층구조로 이루어진다.

한편, 하기의 표 1 및 표 2는 본 발명의 실시예에 따른 열처리 공정 이후의 PMOS 박막 트랜지스터 및 NMOS 박막 트랜지스터의 전기적 특성을 나타내는 표이며, 도 2a 내지 도 2d는 본 발명의 실시예에 따른 열처리 공정 이후의 PMOS 박막 트랜지스터 및 NMOS 박막 트랜지스터의 전기적 특성을 나타내는 게이트 전압의 변화에 따른 소오스/드레인 전류를 설명하기 위한 도면이다.

표 1.

Drive-in 조건	PMOS			
	전하 이동도 (cm^2/Vs)		S-팩터 (factor) (V/dec)	
	평균	STD	평균	STD
250℃ 3h	77.30	1.44	0.65	0.02
250℃ 3h	74.94	1.40	0.69	0.03
250℃ 3h	78.43	0.66	0.64	0.03
300℃ 3h	86.16	1.89	0.49	0.04
300℃ 3h	86.48	1.83	0.47	0.03
300℃ 3h	85.43	1.53	0.49	0.03
300℃ 3h	86.23	1.50	0.48	0.02
300℃ 3h	85.26	1.21	0.48	0.02
340℃ 3h	91.78	1.21	0.40	0.02
340℃ 3h	96.00	1.58	0.36	0.02
340℃ 3h	90.82	2.23	0.37	0.03
380℃ 3h	100.45	1.84	0.30	0.01
380℃ 3h	101.25	2.26	0.29	0.01
380℃ 3h	103.22	1.86	0.29	0.02

표 2.

Drive-in 조건	NMOS			
	전하 이동도 (cm^2/Vs)		S-팩터 (factor) (V/dec)	
	평균	STD	평균	STD
250℃ 3h	1.09	0.26	0.74	0.02
250℃ 3h	1.03	0.29	0.73	0.02
250℃ 3h	1.38	0.32	0.72	0.02
300℃ 3h	30.66	1.85	0.53	0.02
300℃ 3h	36.82	2.53	0.54	0.02
300℃ 3h	31.18	3.5	0.58	0.03
300℃ 3h	37.30	3.81	0.55	0.03
300℃ 3h	30.55	5.30	0.57	0.02
340℃ 3h	63.76	4.22	0.41	0.03
340℃ 3h	66.76	4.49	0.39	0.02
340℃ 3h	65.52	3.15	0.38	0.03
380℃ 3h	90.32	2.36	0.28	0.02
380℃ 3h	87.28	4.47	0.29	0.02
380℃ 3h	85.73	9.49	0.30	0.02

표 1 및 표 2와 도 2a를 참조하면, 박막 트랜지스터를 형성하고 250℃에서 3시간 동안 열처리를 수행한 후의 PMOS 박막 트랜지스터의 특성은 박막 트랜지스터의 전기적 특성을 나타내는 게이트 전압의 변화에 따른 소오스/드레인 전류 그래프에서 S-곡선 기술기의 역수인 S-팩터(factor)가 약 0.66V/dec이며, 전하 이동도는 약 76.9cm²/Vs이다. 또한, NMOS 박막 트랜지스터의 특성은 S-팩터(factor)가 약 0.73V/dec이며, 전하 이동도는 약 1.17cm²/Vs이다. 이때, 상기 PMOS 박막 트랜지스터의 S-팩터(factor) 값은 유기 전계 발광 표시 장치의 제조 표시에 충분한 값을 갖고 있으나, NMOS 박막 트랜지스터의 전하 이동도가 매우 작음을 알 수 있다. 따라서, PMOS 박막 트랜지스터의 전하 이동도와 NMOS 박막 트랜지스터의 전하 이동도의 비가 너무 작아 회로의 구동이 어려운 문제점이 있다.

표 1 및 표 2와 도 2b를 참조하면, 300℃에서 3시간 동안 열처리를 수행한 후의 PMOS 박막 트랜지스터의 특성은 S-팩터(factor)가 약 0.48V/dec이며, 전하 이동도는 약 85.91cm²/Vs이다. 또한, NMOS 박막 트랜지스터의 특성은 S-팩터(factor)가 약 0.55V/dec이며, 전하 이동도는 약 33.30cm²/Vs이다.

표 1 및 표 2와 도 2c를 참조하면, 340℃에서 3시간 동안 열처리를 수행한 후의 PMOS 박막 트랜지스터의 특성은 S-팩터(factor)가 약 0.38V/dec이며, 전하 이동도는 약 92.9cm²/Vs이다. 또한, NMOS 박막 트랜지스터의 특성은 S-팩터(factor)가 약 0.39V/dec이며, 전하 이동도는 약 65.35cm²/Vs이다.

표 1 및 표 2와 도 2d를 참조하면, 약 380℃에서 3시간 동안 열처리를 수행한 후의 PMOS 박막 트랜지스터의 특성은 S-팩터(factor)가 약 0.29V/dec이며, 전하 이동도는 약 101.6cm²/Vs이다. 또한, NMOS 박막 트랜지스터의 특성은 S-팩터(factor)가 약 0.29V/dec이며, 전하 이동도는 약 87.8cm²/Vs이다. 이때, 상기 PMOS 박막 트랜지스터의 S-팩터(factor) 값이 0.29V/dec로 유기 전계 발광 표시 장치의 제조 표시를 위하여는 충분하지 않다. 따라서 제조 표시가 불충분한 문제점이 있다.

즉, 상기 표 1 및 표 2와 도 2a 내지 도 2d의 박막 트랜지스터의 특성을 고려하였을 때, 350℃ 이하의 온도 범위에서 열처리 공정을 수행하여 유기 전계 발광 표시 장치의 제조 표현을 위하여 PMOS 박막 트랜지스터의 S-팩터(factor) 값을 0.35V/dec 이상으로 유지하며, 회로의 정상적인 작동을 위하여 300℃ 이상의 온도 범위에서 열처리 공정을 수행하여야만 한다. 즉, 300℃ 내지 350℃의 온도 범위에서 열처리 공정을 수행하는 것이 바람직하다.

상기한 바와 같은 공정을 통하여 열처리함으로써, 제조 표현이 우수한 유기 전계 발광 표시 장치를 형성할 수 있다.

발명의 효과

상기한 바와 같이 본 발명에 따르면, 본 발명은 박막 트랜지스터의 열처리 조건을 최적화함으로써, 제조 표현이 용이한 유기 전계 발광 표시 장치 및 그의 제조 방법을 제공할 수 있다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1.

절연 기판 상에 형성되며, 소오스/드레인 영역을 구비하는 활성층, 게이트 절연막 상에 형성된 게이트 전극, 층간 절연막의 콘택 홀을 통하여 상기 소오스/드레인 영역과 전기적으로 연결되는 소오스/드레인 전극을 구비하는 박막 트랜지스터와;

상기 박막 트랜지스터를 구비하는 절연 기판 전면에 형성되며, 상기 소오스/드레인 전극 중 어느 하나의 일부분을 노출시키는 비아 홀을 구비하는 보호막과;

상기 비아 홀을 통하여 상기 박막 트랜지스터와 전기적으로 연결되는 유기 발광 소자를 포함하며,

상기 박막 트랜지스터의 S-팩터(factor)는 0.35V/dec 이상인 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 2.

제 1항에 있어서,

상기 박막 트랜지스터의 S-팩터(factor)는 0.35V/dec 내지 0.6V/dec인 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 3.

제 1항에 있어서,

상기 보호막은 수소를 함유하는 무기 절연 물질로 이루어진 무기 보호막을 구비하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 4.

제 3항에 있어서,

상기 보호막은 수소를 함유하는 SiNx로 이루어진 무기 보호막을 구비하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 5.

절연 기판 상에 소오스/드레인 영역을 구비하는 활성층, 게이트 절연막 상에 형성된 게이트 전극, 층간 절연막의 콘택 홀을 통하여 상기 소오스/드레인 영역과 전기적으로 연결되는 소오스/드레인 전극을 구비하는 박막 트랜지스터를 형성하는 단계와;

상기 박막 트랜지스터를 구비하는 절연 기판 전면에 보호막을 형성하는 단계와;

상기 보호막을 구비하는 상기 절연 기판을 열처리하는 단계를 포함하며,

상기 열처리 후의 상기 박막 트랜지스터의 S-팩터(factor)는 0.35V/dec 이상인 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 6.

제 5항에 있어서,

상기 열처리 후의 박막 트랜지스터의 S-팩터(factor)는 0.35V/dec 내지 0.6V/dec인 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 7.

제 5항에 있어서,

상기 보호막은 수소를 함유하는 무기 절연 물질로 이루어지는 무기 보호막을 구비하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 8.

제 7항에 있어서,

상기 보호막은 수소를 함유하는 SiNx로 이루어지는 무기 보호막을 구비하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 9.

제 5항에 있어서,

상기 열처리는 350℃ 이하의 온도 범위에서 수행하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

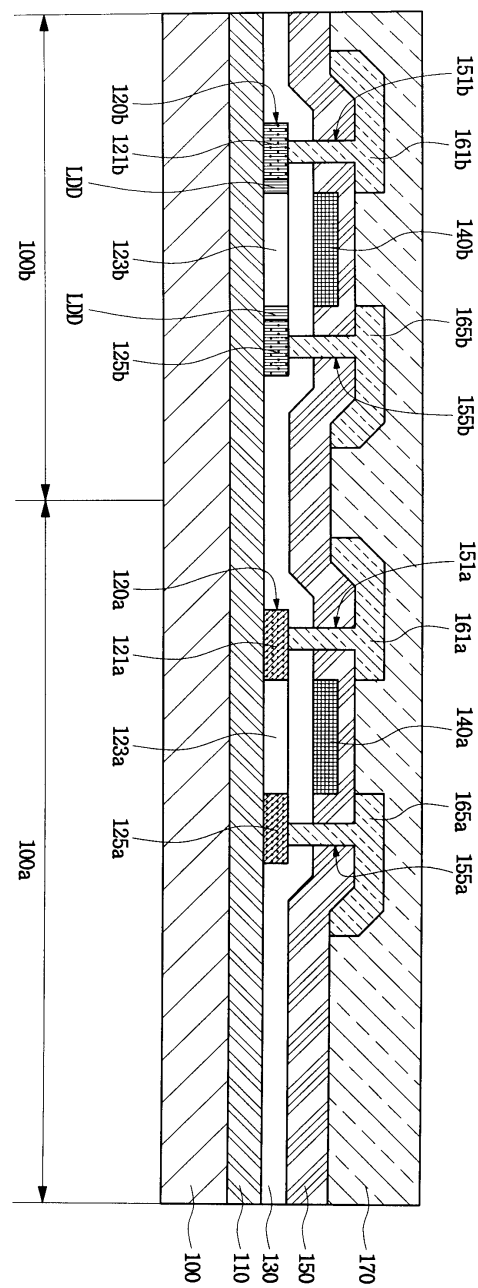
청구항 10.

제 9항에 있어서,

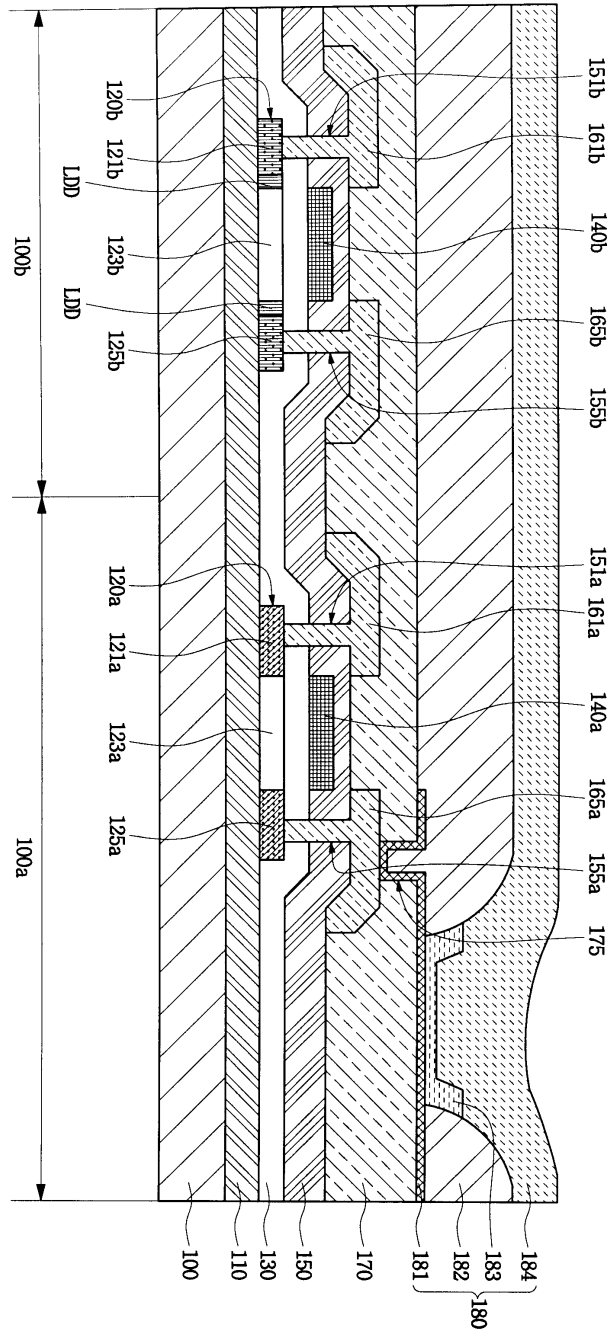
상기 열처리는 300℃ 내지 350℃의 온도 범위에서 수행하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

도면

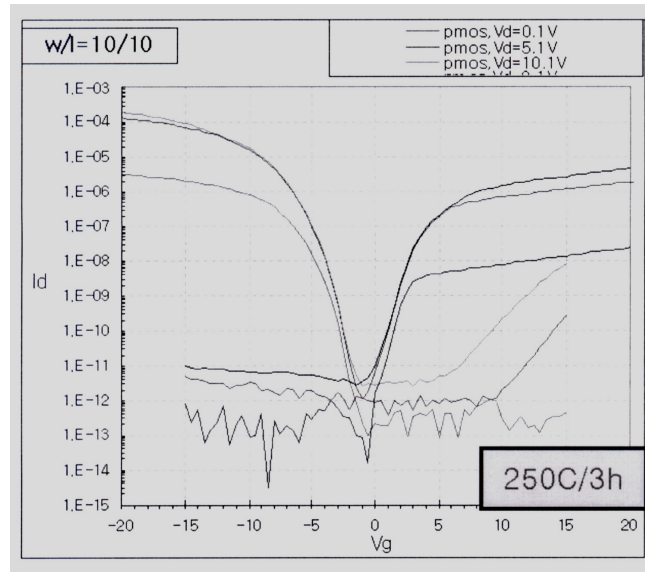
도면1a



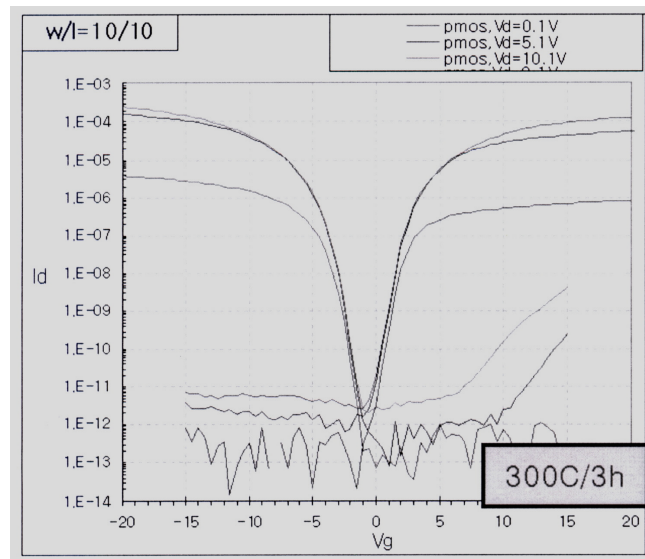
도면1b



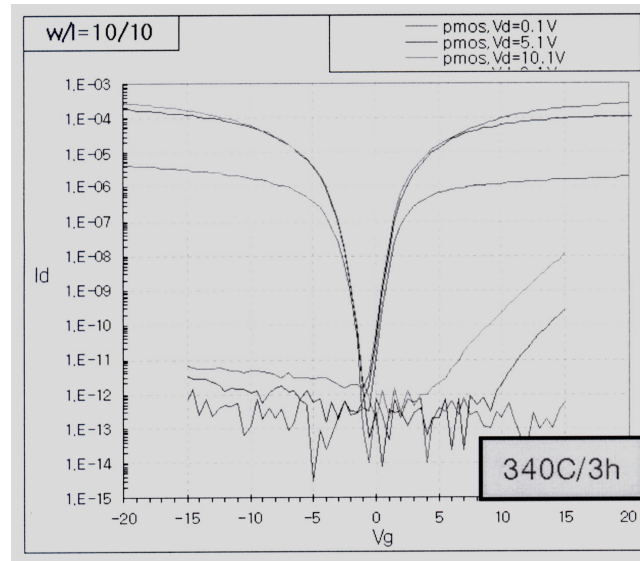
도면2a



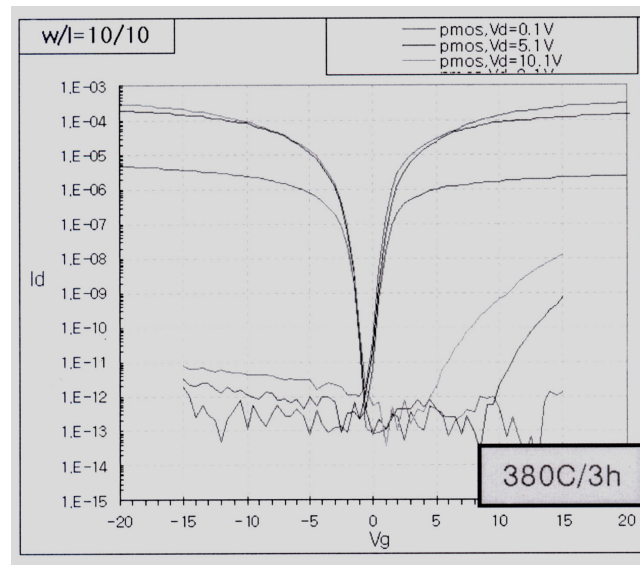
도면2b



도면2c



도면2d



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR1020050052255A	公开(公告)日	2005-06-02
申请号	KR1020030086119	申请日	2003-11-29
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	KOO JAEBON 구재본 PARK SANGIL 박상일		
发明人	구재본 박상일		
IPC分类号	H01L27/32 H01L21/84 H05B33/00 H01L21/77 H01L29/786 H01L21/336		
CPC分类号	H01L27/3262 H01L29/66757 H01L27/3258 H01L27/1214 H01L29/78621 H01L27/1259		
代理人(译)	PARK, 常树		
其他公开文献	KR100623229B1		
外部链接	Espacenet		

摘要(译)

本发明涉及能够促进灰度的薄膜晶体管及其制造方法和使用该有机电致发光显示装置的有机电致发光显示装置，提供称为S因子的有机电致发光显示装置为 $0.6V / \text{dec}$ 或薄膜晶体管的薄膜晶体管小于 $0.35V / \text{dec}$ ，配有源/漏电极，与有源层上形成的栅电极电连接，栅极绝缘层和源/漏区通过接触层间绝缘膜的孔，具有通孔的保护膜暴露在源/漏电极中的任何一个部分，它形成在绝缘基板正面中，包括通过电连接的薄膜晶体管和有机发光器件包括具有薄膜晶体管的通孔，包括源/漏区形成在绝缘基板上。有机电致发光显示装置，薄膜晶体管和热处理。

