

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl. 7
G09G 3/30

(11) 공개번호 특2003-0037608
(43) 공개일자 2003년05월14일

(21) 출원번호 10-2001-0068871
(22) 출원일자 2001년11월06일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 유준석
서울특별시서초구서초3동1494-6302호

(74) 대리인 김영호

심사청구 : 있음

(54) 일렉트로 루미네센스 패널의 구동장치 및 방법

요약

본 발명은 게이트 신호의 턴오프시 발생하는 구동 전류 감소로 인한 화질저하를 방지하도록 한 일렉트로 루미네센스 패널의 구동장치 및 방법에 관한 것이다.

본 발명에 따른 일렉트로 루미네센스 패널은 게이트 라인들과 데이터 라인들의 교차부에 설치되어 상기 일렉트로 루미네센스 셀(OLED)들을 구동시키기 위한 일렉트로 루미네센스 셀 구동회로를 구비하고; 일렉트로 루미네센스 셀(OLED) 구동회로는 일렉트로 루미네센스 셀(OLED)들에 전원을 공급하는 공급전원(VDD)과, 공급전원과 상기 데이터라인 사이에 접속된 제1 피모스(PMOS) 박막트랜지스터와, 공급전원과 상기 일렉트로 루미네센스 셀(OLED)사이에 접속된 제2 피모스(PMOS) 박막트랜지스터와, 공급전원과 제1 피모스(PMOS) 박막트랜지스터 사이에 접속되어 상기 게이트 라인의 신호에 의해 스위치 역할을 하는 제3 피모스(PMOS) 박막트랜지스터와, 제1 및 제2 피모스(PMOS) 박막트랜지스터의 게이트 전극과 상기 데이터 라인 사이에 접속되어 게이트 라인의 신호에 의한 스위치 역할과 데이터 라인으로부터의 데이터 신호의 통로 역할을 하는 제4 피모스(PMOS) 박막트랜지스터와, 제1 및 제2 피모스(PMOS) 박막트랜지스터의 게이트 전극과 상기 공급전원사이에 접속되어진 캐패시터를 구비하는 것을 특징으로 한다.

대표도

도 8

명세서

도면의 간단한 설명

도 1은 종래의 일렉트로 루미네센스 패널을 개략적으로 도시하는 도면.

도 2는 도 1에 도시된 화소 소자를 상세히 나타내는 회로도.

도 3은 도 2의 화소 소자를 구동하기 위한 타이밍도.

도 4a 및 도 4b는 구동 타이밍에 따른 화소 소자의 상태를 개략적으로 나타내는 도면.

도 5는 종래기술에 따른 2 게이트 라인을 갖는 화소 구조를 나타내는 도면.

도 6은 도 5의 화소 소자를 구동하기 위한 타이밍도.

도 7a 및 도 7b는 구동 타이밍에 따른 화소 소자의 상태를 개략적으로 나타내는 도면.

도 8은 본 발명의 제1 실시예에 따른 일렉트로 루미네센스 패널의 화소소자를 상세히 나타내는 도면.

도 9는 도 8의 화소 소자를 구동하기 위한 타이밍도.

도 10a 및 도 10b는 구동 타이밍에 따른 화소 소자의 상태를 개략적으로 나타내는 도면.

도 11은 본 발명의 제2 실시예에 따른 일렉트로 루미네센스 패널의 화소소자를 상세히 나타내는 도면.

도 12는 도 11의 화소 소자를 구동하기 위한 타이밍도.

도 13은 본 발명의 제3 실시예에 따른 일렉트로 루미네센스 패널의 화소소자를 상세히 나타내는 도면.

도 14는 도 13의 화소 소자를 구동하기 위한 타이밍도.

도 15는 본 발명의 제4 실시예에 따른 일렉트로 루미네센스 패널의 화소소자를 상세히 나타내는 도면.

도 16은 도 15의 화소 소자를 구동하기 위한 타이밍도.

도 17은 본 발명의 제5 실시예에 따른 일렉트로 루미네센스 패널의 화소소자를 상세히 나타내는 도면.

도 18은 도 17의 화소 소자를 구동하기 위한 타이밍도.

도 19는 본 발명의 제6 실시예에 따른 일렉트로 루미네센스 패널의 화소소자를 상세히 나타내는 도면.

도 20은 도 19의 화소 소자를 구동하기 위한 타이밍도.

도 21은 본 발명의 제7 실시예에 따른 일렉트로 루미네센스 패널의 화소소자를 상세히 나타내는 도면.

도 22는 도 21의 화소 소자를 구동하기 위한 타이밍도.

도 23은 본 발명의 제8 실시예에 따른 일렉트로 루미네센스 패널의 화소소자를 상세히 나타내는 도면.

도 24는 도 23의 화소 소자를 구동하기 위한 타이밍도.

<도면의 주요 부분에 대한 부호의 간단한 설명>

10,20 : EL 패널 12,22 : 게이트 드라이버

14,24 : 데이터 드라이버 16,40,42,44 : EL셀 구동회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일렉트로 루미네센스 패널에 관한 것으로, 특히 게이트신호의 턴오프시 발생하는 구동전류 감소로 인한 화질저하를 방지하도록 한 일렉트로 루미네센스 패널의 구동장치 및 방법에 관한 것이다.

최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판표시장치들이 개발되고 있다. 이러한 평판표시장치는 액정표시장치(Liquid Crystal Display : 이하 'LCD'라 함), 전계 방출 표시장치(Field Emission Display), 플라스마 디스플레이 패널(Plasma Display Panel : 이하 'PDP'라 함) 및 일렉트로 루미네센스(Electro-Luminescence : 이하 'EL'라 함) 표시장치 등이 있다.

이와 같은 평판표시장치의 표시품질을 높이고 대화면을 시도하는 연구들이 활발히 진행되고 있다. 이들 중 EL소자는 스스로 발광하는 자발광소자이다.

이러한, EL 표시소자는 전자 및 정공 등의 캐리어를 이용하여 형광물질을 여기 시킴으로써 화상 또는 영상을 표시하게 되며, 직류 저전압으로 구동이 가능하고 응답속도가 빠르다.

EL 패널은 도 1과 같이 유리 기판(10) 상에 서로 교차되게 배열되어진 게이트 라인들(GL1 내지 GLm) 및 데이터 라인(DL1 내지 DLn)과, 게이트 라인들(GL1 내지 GLm)과 데이터 라인(DL1 내지 DLn)의 교차부들 각각에 배열되어진 화소 소자들(PE)을 구비한다.

화소 소자들(PE) 각각은 게이트 라인들(GL1 내지 GLn)의 게이트 신호들이 인에이블될 때에 구동되어 데이터 라인(DL)상의 화소 신호의 크기에 상응하는 빛을 발생하게 된다.

이러한 EL 패널을 구동하기 위하여, 게이트 드라이버(12)가 게이트 라인들(GL1 내지 GLm)에 접속됨과 아울러 데이터 드라이버(14)가 데이터 라인들(DL1 내지 DLn)에 접속되게 된다. 게이트 드라이버(12)는 게이트 라인들(GL1 내지 GLm)을 순차적으로 구동시키게 된다. 데이터 드라이버(14)는 데이터 라인들(DL1 내지 DLn)을 통해 화소들(PE)에 화소신호를 공급하게 된다.

이와 같이, 게이트 드라이버(12) 및 데이터 드라이버(14)에 의해 구동되는 화소 소자들(PE)은 도 2에 도시된 바와 같이 기저전압라인(GND)에 접속되어진 EL 셀(OLED)과, 이 EL 셀(OLED)을 구동하기 위한 셀 구동회로(16)로 구성된다.

도 2는 도 1의 화소 소자(PE)를 도시한 종래기술에 따른 회로도로서, 게이트 라인(GL)과 데이터 라인(DL)의 교차부에 적용된 구동회로로 4개의 TFT(T1, T2, T3, T4)로 구성된다.

도 2를 참조하면, 화소 소자(PE)는 기저전위원(GND)에 접속되어진 EL 셀(OLED)과, EL 셀(OLED) 및 데이터 라인(DL) 사이에 접속되어진 EL 셀(OLED) 구동회로(16)를 구비한다.

EL 셀 구동회로(16)는 EL 셀(OLED), 공급전압라인(VDD)에 전류 미러를 형성하게 접속되어진 제1 및 제2 PMOS TFT(T1, T2)와; 제2 PMOS TFT(T2), 데이터 라인(DL) 및 게이트 라인(GL)에 접속되어 게이트 라인(GL) 상의 신호에 응답되는 제3 PMOS TFT(T3)와; 제1 PMOS TFT(T1) 및 제2 PMOS TFT(T2)의 게이트 전극, 게이트 라인(GL) 및 제3 PMOS TFT(T3)에 접속되는 제4 PMOS TFT(T4); 제1 PMOS TFT(T1) 및 제2 PMOS TFT(T2)의 게이트 전극과 공급전압라인(VDD) 사이에 접속되어진 캐패시터(Cst)를 구비한다.

이의 동작을 살펴보면, 게이트 라인(GL)에 도 3에서와 같이 로우(LOW) 입력신호가 입력되면 제3 PMOS TFT(T3)와 제4 PMOS TFT(T4)이 턴-온 된다. 제3 PMOS TFT(T3)와 제4 PMOS TFT(T4)가 턴-온 되면 데이터 라인(DL)으로부터 스캔신호와 동기되게 입력되는 일정한 크기를 가진 비디오 신호가 제3 PMOS TFT(T3)와 제4 PMOS TFT(T4)를 통하여 캐패시터(Cst)에 충전된다.

캐패시터(Cst)는 제1 PMOS TFT(T1) 및 제2 PMOS TFT(T2)의 게이트 전극과 공급전압(VDD)에 접속되어 게이트 라인(GL)의 로우입력시간동안 데이터 라인(DL)으로부터 공급되는 비디오 신호를 충전한다. 이 때 제1 노드에서의 데이터 전압, 드레인 전압 및 화소전압이 모두 동일한 전위를 형성하고, 이들 전압은 제2 PMOS TFT(T2)의 게이트에 인가된다. 게이트 신호 턴오프시 제3 PMOS TFT(T3)와 제4 PMOS TFT(T4)는 하이 임피던스 상태가 되어 캐패시터(Cst)는 데이터라인(DL)으로부터 공급되어 충전된 비디오신호를 1 프레임 동안 홀딩(Holding) 시킨다. 이러한 홀딩시간으로 인해 데이터라인(DL)에서 공급되는 비디오신호가 EL 셀(OLED)에 공급되는 것을 캐패시터(Cst)에 의해 유지하게 된다. 1 프레임 동안 홀드된 후 캐패시터(Cst)에 충전된 비디오 신호는 EL 셀(OLED)에 공급되어 표시패널 상에 영상을 표시하게 된다.

그러나, 게이트 입력신호의 턴오프시 입력신호는 완벽한 구형파가 아니므로, 턴오프 되는 동안 제3 PMOS TFT(T3)의 출력 저항이 증가하게 되며, 드레인 전압은 공급전압으로 단시간에 상승된다. 제4 PMOS TFT(T4)가 미리 오프되지 않은 상태에서 드레인전압 상승은 화소 전압의 상승을 초래한다. 화소전압의 상승 효과는 제2 PMOS TFT(T2)의 게이트-소스 전압(Vgs)을 강하시켜 EL 셀(OLED) 휘도를 감소시킨다. 이러한 화소전압의 변화는 단순히 용량성 커플링에 의한 킥백 현상에 비해 매우 크다. 게이트 신호의 턴온에서 턴오프로의 변환시간을 감소시켜도, 캐패시터를

증가시켜도 화소 전압 변화는 원하는 수준으로 감소되지 않게 되는 문제점이 있게 된다.

도 5는 종래기술에 따른 2 게이트 라인을 갖는 화소 구조를 나타내는 도면이다.

도 5를 참조하면, 화소 소자(PE)는 기저전위원(GND)에 접속되어진 EL 셀(OLED)과, EL 셀(OLED) 및 데이터 라인(DL) 사이에 접속되어진 EL 셀(OLED) 구동회로(26)를 구비한다.

EL 셀 구동회로(26)는 EL 셀(OLED), 공급전압라인(VDD)에 전류 미러를 형성하게 접속되어진 제1 및 제2 PMOS TFT(T1, T2)와; 제2 PMOS TFT(T2), 데이터 라인(DL) 및 제1 게이트 라인(GL1)에 접속되어 게이트 라인(GL) 상의 신호에 응답되는 제3 PMOS TFT(T3)와; 제1 PMOS TFT(T1) 및 제2 PMOS TFT(T2)의 게이트 전극, 제2 게이트 라인(GL2) 및 제3 PMOS TFT(T3)에 접속되는 제4 PMOS TFT(T4); 제1 PMOS TFT(T1) 및 제2 PMOS TFT(T2)의 게이트 전극과 공급전압라인(VDD) 사이에 접속되어진 캐패시터(Cst)를 구비한다.

이의 동작을 살펴보면, 제1 및 제2 게이트 라인(GL1, GL2)에 도 6에서와 같이 동시에 로우(LOW) 입력신호가 입력되면 제3 PMOS TFT(T3)와 제4 PMOS TFT(T4)가 턴-온 된다. 제3 PMOS TFT(T3)와 제4 PMOS TFT(T4)가 턴-온 되면 데이터 라인(DL)으로부터 스캔신호와 동기되게 입력되는 일정한 크기를 가진 비디오 신호가 제3 PMOS TFT(T3)와 제4 PMOS TFT(T4)를 통하여 캐패시터(Cst)에 충전된다.

캐패시터(Cst)는 제1 PMOS TFT(T1) 및 제2 PMOS TFT(T2)의 게이트 전극과 공급전압(VDD)에 접속되어 제1 및 제2 게이트 라인(GL1, GL2)의 로우입력시간동안 데이터 라인(DL)으로부터 공급되는 비디오 신호를 충전한다.

이후 제2 게이트 라인(GL2)에 제1 게이트 라인(GL1)보다 하이입력신호를 선행되게 입력하여 도 7a에서와 같이 제4 PMOS TFT(T4)를 미리 하이 임피던스 상태로 만들어 화소전압이 데이터 전압을 유지하게 한다($V_{data} = V_{drain} = V_{pixel}$). 이후 제1 게이트 라인(GL1)에 하이입력신호를 입력하여 제1 게이트 라인(GL1)을 턴오프 시키더라도 도 7b에서와 같이 드레인 전압(V_{drain})이 공급전압으로 상승되어도 화소전압(V_{pixel})에 영향을 미치지 않도록 구성되어진다.

그러나, 이 경우 1개의 화소소자들마다 2개의 게이트라인(GL1, GL2)을 구성해야 하므로 개구면적이 감소되어 휘도가 감소되는 문제점이 있게 된다. 또한 2개의 게이트 구동회로를 독립적으로 구성해야 하므로 코스트가 증가되는 문제점이 있게 된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 4TFT 구조를 가지는 일렉트로 루미네센스 패널에서 제4 PMOS TFT의 위치를 변환하여 화질을 향상시키도록 한 일렉트로 루미네센스 패널의 구동장치 및 방법을 제공하는 데 있다.

발명의 구성 및 작용

상기 목적들을 달성하기 위하여, 본 발명에 따른 일렉트로 루미네센스 패널은 게이트 라인들과, 상기 게이트 라인과 교차되게 배열된 데이터 라인들과, 상기 게이트 라인들과 데이터 라인들의 교차부들에 설치되는 일렉트로 루미네센스 셀(OLED)들을 구비하는 일렉트로 루미네센스패널에 있어서, 상기 게이트 라인들과 데이터 라인들의 교차부에 설치되어 상기 일렉트로 루미네센스 셀(OLED)들을 구동시키기 위한 일렉트로 루미네센스 셀 구동회로를 구비하고; 상기 일렉트로 루미네센스 셀(OLED) 구동회로는 일렉트로 루미네센스 셀(OLED)들에 전원을 공급하는 공급전원(VDD)과, 상기 공급전원과 상기 데이터라인 사이에 접속된 제1 피모스(PMOS) 박막트랜지스터와, 상기 공급전원과 상기 일렉트로 루미네센스 셀(OLED)사이에 접속된 제2 피모스(PMOS) 박막트랜지스터와, 상기 공급전원과 제1 피모스(PMOS) 박막트랜지스터 사이에 접속되어 상기 게이트 라인의 신호에 의해 스위치 역할을 하는 제3 피모스(PMOS) 박막트랜지스터와, 상기 제1 및 제2 피모스(PMOS) 박막트랜지스터의 게이트 전극과 상기 데이터 라인 사이에 접속되어 게이트 라인의 신호에 의한 스위치 역할과 데이터 라인으로부터의 데이터 신호의 통로 역할을 하는 제4 피모스(PMOS) 박막트랜지스터와, 상기 제1 및 제2 피모스(PMOS) 박막트랜지스터의 게이트 전극과 상기 공급전원사이에 접속되어진 캐패시터를 구비하는 것을 특징으로 한다.

본 발명에 따른 다른 일렉트로 루미네센스 패널은 게이트 라인들과, 상기 게이트 라인과 교차되게 배열된 데이터 라인들과, 상기 게이트 라인들과 데이터 라인들의 교차부들에 설치되는 일렉트로 루미네센스 셀(OLED)들을 구비하는 일렉트로 루미네센스 패널에 있어서, 상기 게이트 라인들과 데이터 라인들의 교차부에 설치되어 상기 일렉트로 루미네센스 셀(OLED)들을 구동시키기 위한 일렉트로 루미네센스 셀 구동회로를 구비하고; 상기 일렉트로 루미네센스 셀(OLED) 구동회로는 일렉트로 루미네센스 셀(OLED)들에 전원을 공급하는 공급전원(VDD)과, 상기 공급전원과 상기

데이터라인 사이에 접속된 제1 피모스(PMOS) 박막트랜지스터와, 상기 공급전원과 상기 일렉트로 루미네센스 셀(OLET) 사이에 접속된 제2 피모스(PMOS) 박막트랜지스터와, 제1 피모스(PMOS) 박막트랜지스터의 소스 전극과 공급전원 사이에 접속되어 게이트 라인 상의 신호에 의해 스위칭 되는 제3 피모스(PMOS) 박막트랜지스터와, 상기 제1 및 제2 피모스(PMOS) 박막트랜지스터의 게이트 전극과 데이터라인 사이에 접속되어 스위칭 역할을 함과 동시에 데이터라인으로부터의 데이터 신호 패스 역할을 하는 제4 피모스(PMOS) 박막트랜지스터와, 상기 제1 및 제2 피모스(PMOS) 박막트랜지스터의 게이트 전극과 상기 공급전원 사이에 접속되어진 캐패시터를 구비하는 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 설명 예들에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 8 내지 도 24를 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.

본 발명에서도 도 1에서와 같이 EL 패널은 도 1과 같이 유리 기판(10) 상에 서로 교차되게 배열되어진 게이트 라인들(GL1 내지 GLm) 및 데이터 라인(DL1 내지 DLn)과, 게이트 라인들(GL1 내지 GLm)과 데이터 라인(DL1 내지 DLn)의 교차부를 각각에 배열되어진 화소 소자들(PE)을 구비한다.

화소 소자들(PE) 각각은 게이트 라인들(GL1 내지 GLn)의 게이트 신호들이 인에이블될 때에 구동되어 데이터 라인(DL)상의 화소 신호의 크기에 상응하는 빛을 발생하게 된다.

이러한 EL 패널을 구동하기 위하여, 게이트 드라이버(12)가 게이트 라인들(GL1 내지 GLm)에 접속됨과 아울러 데이터 드라이버(14)가 데이터 라인들(DL1 내지 DLn)에 접속되게 된다. 게이트 드라이버(12)는 게이트 라인들(GL1 내지 GLm)을 순차적으로 구동시키게 된다. 데이터 드라이버(14)는 데이터 라인들(DL1 내지 DLn)을 통해 화소들(PE)에 화소신호를 공급하게 된다.

도 8은 본 발명의 제1 실시예에 따른 일렉트로 루미네센스 패널의 화소소자를 상세히 나타내는 도면으로서, 화소소자들(PE)은 공급전압원(VDD)에 접속된 EL 셀(OLED)과, 이 EL 셀(OLED)을 구동하기 위한 셀 구동회로(36)로 구성된다.

EL 셀 구동회로(36)는 EL 셀(OLED), 공급전압라인(VDD)에 전류 미러를 형성하게 접속되어진 제1 및 제2 PMOS TFT(T1, T2)와; 제2 PMOS TFT(T2)의 소스전극과 공급전압라인(VDD) 사이에 접속되어 게이트 라인(GL) 상의 신호에 응답되는 제3 PMOS TFT(T3)와; 제1 PMOS TFT(T1) 및 제2 PMOS TFT(T2)의 게이트 전극, 데이터 라인(DL) 사이에 접속되어 게이트 라인(GL) 및 데이터 라인(DL) 상의 신호에 응답되는 제4 PMOS TFT(T4); 제1 PMOS TFT(T1) 및 제2 PMOS TFT(T2)의 게이트 전극과 공급전압라인(VDD) 사이에 접속되어진 캐패시터(Cst)를 구비한다.

이의 동작을 설명하면, 게이트 라인(GL)에 도 9에서와 같이 로우(LOW) 입력신호가 입력되면 제3 PMOS TFT(T3)와 제4 PMOS TFT(T4)가 턴-온 된다. 제3 PMOS TFT(T3)와 제4 PMOS TFT(T4)가 턴-온 되면 데이터 라인(DL)으로부터 스캔신호와 동기되게 입력되는 일정한 크기를 가진 비디오 신호가 제4 PMOS TFT(T4)를 통하여 캐패시터(Cst)에 충전된다. 이 경우 제1 노드(N1)에서의 데이터 전압(Vdata), 드레인 전압(Vdrain), 화소전압(Vpixel)은 도 10a에서와 같이 동일한 전압 레벨을 유지하게 된다. 또한 제2 PMOS TFT(T2)의 소스전압은 공급전압과 동일한 전압을 유지하게 된다. 이로써 제3 PMOS TFT(T3)의 역할은 데이터 라인(DL)에서 화소전극으로의 전류를 차단하는 스위칭 동작뿐만 아니라 공급전압라인(VDD)과 제2 PMOS TFT(T2)의 소스 사이의 스위칭 역할을 한다.

이후 게이트 라인(GL)의 입력신호를 턴오프 시키게 되면 도 10b에서와 같이 제3 PMOS TFT(T3)는 제2 PMOS TFT(T2)의 소스를 공급전압라인(VDD)으로부터의 공급전압을 차단하여 제2 PMOS TFT(T2)의 드레인 전압이 공급전압(VDD)로 풀-업(Pull-Up)되는 현상을 억제한다. 데이터 전압이 일정하게 유지된 상태에서 제4 PMOS TFT(T4)가 오프 되므로 제1 PMOS TFT(T1)의 게이트 전압이 안정적으로 샘플링되어 화질이 저하되는 것을 방지하게 된다. 또한 게이트 라인의 입력신호 턴오프시 제3 PMOS TFT(T3)와 제4 PMOS TFT(T4)는 하이 임피던스 상태가 되어 캐패시터(Cst)는 데이터라인(DL)으로부터 공급되어 충전된 비디오신호를 1 프레임 동안 홀딩(Holding) 시킨다. 이러한 홀딩시간으로 인해 데이터라인(DL)에서 공급되는 비디오신호가 EL 셀(OLED)에 공급되는 것을 캐패시터(Cst)에 의해 유지하게 된다. 1 프레임 동안 홀드된 후 캐패시터(Cst)에 충전된 비디오 신호는 EL 셀(OLED)에 공급되어 표시패널 상에 영상을 표시하게 된다.

도 11은 본 발명의 제2 실시예에 따른 일렉트로 루미네센스 패널의 화소소자를 상세히 나타내는 도면으로서, 화소소자들(PE)은 공급전압원(VDD)에 접속된 EL 셀(OLED)과, 이 EL 셀(OLED)을 구동하기 위한 셀 구동회로(46)로 구성된다.

EL 셀 구동회로(46)는 EL 셀(OLED), 공급전압라인(VDD)에 전류 미러를 형성하게 접속되어진 제1 및 제2 PMOS T

FT(T1, T2)와; 제2 PMOS TFT(T2)의 소스전극과 공급전압라인(VDD) 사이에 접속되어 게이트 라인(GL) 상의 신호에 응답되는 제1 NMOS TFT(T3)와; 제1 PMOS TFT(T1) 및 제2 PMOS TFT(T2)의 게이트 전극, 데이터 라인(DL) 사이에 접속되어 게이트 라인(GL) 및 데이터 라인(DL) 상의 신호에 응답되는 제2 NMOS TFT(T4); 제1 PMOS TFT(T1) 및 제2 PMOS TFT(T2)의 게이트 전극과 공급전압라인(VDD) 사이에 접속되어진 캐패시터(Cst)를 구비한다.

이의 동작을 설명하면, 게이트 라인(GL)에 도 12에서와 같이 하이(HIGH) 입력신호가 입력되면 제1 NMOS TFT(T3)와 제2 NMOS TFT(T4)가 턴-온 된다. 제1 NMOS TFT(T3)와 제2 NMOS TFT(T4)가 턴-온 되면 데이터 라인(DL)으로부터 스캔신호와 동기되게 입력되는 일정한 크기를 가진 비디오 신호가 제2 NMOS TFT(T4)를 통하여 캐패시터(Cst)에 충전된다. 이 경우 제1 노드(N1)에서의 데이터 전압(Vdata), 드레인 전압(Vdrain), 화소전압(Vpixel)은 동일한 전압 레벨을 유지하게 된다. 또한 제2 PMOS TFT(T2)의 소스전압은 공급전압(VDD)과 동일한 전압을 유지하게 된다. 이로써 제1 NMOS TFT(T3)의 역할은 데이터 라인(DL)에서 화소로의 전류를 차단하는 스위칭 동작뿐만 아니라 공급전압라인(VDD)과 제2 PMOS TFT(T2)의 소스 사이의 스위칭 역할을 한다.

이후 게이트 라인(GL)의 입력신호를 턴오프시키게 되면 제1 NMOS TFT(T3)는 제2 PMOS TFT(T2)의 소스를 공급전압라인(VDD)으로부터의 공급전압을 차단하여 제2 PMOS TFT(T2)의 드레인 전압이 공급전압(VDD)로 풀-업(Pull-Up)되는 현상을 억제한다. 데이터 전압이 일정하게 유지된 상태에서 제2 NMOS TFT(T4)가 오프 되므로 제1 PMOS TFT(T1)의 게이트 전압이 안정적으로 샘플링되어 화질이 저하되는 것을 방지하게 된다. 또한 게이트 라인의 입력신호 턴오프시 제1 NMOS TFT(T3)와 제2 NMOS TFT(T4)는 하이 임피던스 상태가 되어 캐패시터(Cst)는 데이터라인(DL)으로부터 공급되어 충전된 비디오신호를 1 프레임 동안 홀딩(Holding) 시킨다. 이러한 홀딩시간으로 인해 데이터라인(DL)에서 공급되는 비디오신호가 EL 셀(OLED)에 공급되는 것을 캐패시터(Cst)에 의해 유지하게 된다. 1 프레임 동안 홀드된 후 캐패시터(Cst)에 충전된 비디오 신호는 EL 셀(OLED)에 공급되어 표시패널 상에 영상을 표시하게 된다.

도 13은 본 발명의 제3 실시예에 따른 일렉트로 루미네센스 패널의 화소소자를 상세히 나타내는 도면으로서, 화소소자들(PE)은 공급전압원(VDD)에 접속된 EL 셀(OLED)과, 이 EL 셀(OLED)을 구동하기 위한 셀 구동회로(56)로 구성된다.

EL 셀 구동회로(56)는 EL 셀(OLED), 공급전압라인(VDD)에 전류 미러를 형성하게 접속되어진 제1 및 제2 NMOS TFT(T1, T2)와; 제2 NMOS TFT(T2)의 소스전극과 공급전압라인(VDD) 사이에 접속되어 게이트 라인(GL) 상의 신호에 응답되는 제3 PMOS TFT(T3)와; 제1 NMOS TFT(T1) 및 제2 NMOS TFT(T2)의 게이트 전극, 데이터 라인(DL) 사이에 접속되어 게이트 라인(GL) 및 데이터 라인(DL) 상의 신호에 응답되는 제4 PMOS TFT(T4); 제1 NMOS TFT(T1) 및 제2 NMOS TFT(T2)의 게이트 전극과 공급전압라인(VDD) 사이에 접속되어진 캐패시터(Cst)를 구비한다.

이의 동작을 설명하면, 게이트 라인(GL)에 도 14에서와 같이 로우(LOW) 입력신호가 입력되면 제3 PMOS TFT(T3)와 제4 PMOS TFT(T4)가 턴-온 된다. 제3 PMOS TFT(T3)와 제4 PMOS TFT(T4)가 턴-온 되면 데이터 라인(DL)으로부터 스캔신호와 동기되게 입력되는 일정한 크기를 가진 비디오 신호가 제4 PMOS TFT(T4)를 통하여 캐패시터(Cst)에 충전된다. 이 경우 제1 노드(N1)에서의 데이터 전압(Vdata), 드레인 전압(Vdrain), 화소전압(Vpixel)은 동일한 전압 레벨을 유지하게 된다. 또한 제2 PMOS TFT(T2)의 소스전압은 공급전압과 동일한 전압을 유지하게 된다. 이로써 제3 PMOS TFT(3)의 역할은 데이터 라인(DL)에서 화소로의 전류를 차단하는 스위칭 동작뿐만 아니라 공급전압라인(VDD)과 제2 PMOS TFT(T2)의 소스 사이의 스위칭 역할을 한다.

이후 게이트 라인(GL)의 입력신호를 턴오프시키게 되면 제3 PMOS TFT(T3)는 제2 PMOS TFT(T2)의 소스를 공급전압라인(VDD)으로부터의 공급전압을 차단하여 제2 PMOS TFT(T2)의 드레인 전압이 공급전압(VDD)로 풀-업(Pull-Up)되는 현상을 억제한다. 데이터 전압이 일정하게 유지된 상태에서 제4 PMOS TFT(T4)가 턴-오프 되므로 제1 PMOS TFT(T1)의 게이트 전압이 안정적으로 샘플링되어 화질이 저하되는 것을 방지하게 된다. 또한 게이트 라인의 입력신호 턴오프시 제1 PMOS TFT(T3)와 제2 PMOS TFT(T4)는 하이 임피던스 상태가 되어 캐패시터(Cst)는 데이터라인(DL)으로부터 공급되어 충전된 비디오신호를 1 프레임 동안 홀딩(Holding) 시킨다. 이러한 홀딩시간으로 인해 데이터라인(DL)에서 공급되는 비디오신호가 EL 셀(OLED)에 공급되는 것을 캐패시터(Cst)에 의해 유지하게 된다. 1 프레임 동안 홀드된 후 캐패시터(Cst)에 충전된 비디오 신호는 EL 셀(OLED)에 공급되어 표시패널 상에 영상을 표시하게 된다.

도 15는 본 발명의 제4 실시예에 따른 일렉트로 루미네센스 패널의 화소소자를 상세히 나타내는 도면으로서, 화소소자들(PE)은 공급전압원(VDD)에 접속된 EL 셀(OLED)과, 이 EL 셀(OLED)을 구동하기 위한 셀 구동회로(66)로 구성된다.

EL 셀 구동회로(66)는 EL 셀(OLED), 공급전압라인(VDD)에 전류 미러를 형성하게 접속되어진 제1 및 제2 NMOS T

FT(T1, T2)와; 제2 NMOS TFT(T2)의 소스전극과 공급전압라인(VDD) 사이에 접속되어 게이트 라인(GL) 상의 신호에 응답되는 제3 NMOS TFT(T3)와; 제1 NMOS TFT(T1) 및 제2 NMOS TFT(T2)의 게이트 전극, 데이터 라인(DL) 사이에 접속되어 게이트 라인(GL) 및 데이터 라인(DL) 상의 신호에 응답되는 제4 NMOS TFT(T4); 제1 NMOS TFT(T1) 및 제2 NMOS TFT(T2)의 게이트 전극과 공급전압라인(VDD) 사이에 접속되어진 캐패시터(Cst)를 구비한다.

이의 동작을 설명하면, 게이트 라인(GL)에 도 16에서와 같이 하이(HIGH) 입력신호가 입력되면 제3 NMOS TFT(T3)와 제4 NMOS TFT(T4)가 턴-온 된다. 제3 NMOS TFT(T3)와 제4 NMOS TFT(T4)가 턴-온 되면 데이터 라인(DL)으로부터 스캔신호와 동기되게 입력되는 일정한 크기를 가진 비디오 신호가 제4 NMOS TFT(T4)를 통하여 캐패시터(Cst)에 충전된다. 이 경우 제1 노드(N1)에서의 데이터 전압(Vdata), 드레인 전압(Vdrain), 화소전압(Vpixel)은 동일한 전압 레벨을 유지하게 된다. 또한 제2 NMOS TFT(T2)의 소스전압은 공급전압(VDD)과 동일한 전압을 유지하게 된다. 이로써 제3 NMOS TFT(T3)의 역할은 데이터 라인(DL)에서 화소로의 전류를 차단하는 스위칭 동작뿐만 아니라 공급전압라인(VDD)과 제2 NMOS TFT(T2)의 소스 사이의 스위칭 역할을 한다.

이후 게이트 라인(GL)의 입력신호를 턴오프시키게 되면 제3 NMOS TFT(T3)는 제2 NMOS TFT(T2)의 소스를 공급전압라인(VDD)으로부터의 공급전압을 차단하여 제2 NMOS TFT(T2)의 드레인 전압이 공급전압(VDD)로 풀-업(Pull-Up)되는 현상을 억제한다. 데이터 전압이 일정하게 유지된 상태에서 제4 NMOS TFT(T4)가 오프 되므로 제1 NMOS TFT(T1)의 게이트 전압이 안정적으로 샘플링되어 화질이 저하되는 것을 방지하게 된다. 또한 게이트 라인의 입력신호 턴오프시 제3 NMOS TFT(T3)와 제4 NMOS TFT(T4)는 하이 임피던스 상태가 되어 캐패시터(Cst)는 데이터라인(DL)으로부터 공급되어 충전된 비디오신호를 1 프레임 동안 홀딩(Holding) 시킨다. 이러한 홀딩시간으로 인해 데이터라인(DL)에서 공급되는 비디오신호가 EL 셀(OLED)에 공급되는 것을 캐패시터(Cst)에 의해 유지하게 된다. 1 프레임 동안 홀드된 후 캐패시터(Cst)에 충전된 비디오 신호는 EL 셀(OLED)에 공급되어 표시패널 상에 영상을 표시하게 된다.

도 17은 본 발명의 제5 실시예에 따른 일렉트로 루미네센스 패널의 화소소자를 상세히 나타내는 도면으로서, 화소소자들(PE)은 공급전압원(VDD)에 접속된 EL 셀(OLED)과, 이 EL 셀(OLED)을 구동하기 위한 셀 구동회로(76)로 구성된다.

EL 셀 구동회로(76)는 EL 셀(OLED), 공급전압라인(VDD)에 전류 미러를 형성하게 접속되어진 제1 및 제2 PMOS TFT(T1, T2)와; 제2 PMOS TFT(T2)의 소스전극과 공급전압라인(VDD) 사이에 접속되어 게이트 라인(GL) 상의 신호에 응답되는 제3 PMOS TFT(T3)와; 제1 PMOS TFT(T1)와 제2 PMOS TFT(T2) 사이에 접속되어 게이트 라인(GL) 및 데이터 라인(DL) 상의 신호에 응답되는 제4 PMOS TFT(T4); 제1 PMOS TFT(T1)의 게이트전극 및 제4 PMOS TFT(T4)의 드레인 전극과 공급전압라인(VDD) 사이에 접속되어진 캐패시터(Cst)를 구비한다. 또한 데이터라인(DL)은 제2 PMOS TFT(T2)의 드레인전극 및 제4 PMOS TFT(T4)의 소스 전극에 연결되어진다.

이의 동작을 설명하면, 게이트 라인(GL)에 도 18에서와 같이 로우(LOW) 입력신호가 입력되면 제3 PMOS TFT(T3)와 제4 PMOS TFT(T4)가 턴-온 된다. 제3 PMOS TFT(T3)와 제4 PMOS TFT(T4)가 턴-온 되면 데이터 라인(DL)으로부터 스캔신호와 동기되게 입력되는 일정한 크기를 가진 비디오 신호가 제4 PMOS TFT(T4)를 통하여 캐패시터(Cst)에 충전된다.

이 경우 제1 노드(N1)에서의 데이터 전압(Vdata), 화소전압(Vpixel)은 동일한 전압 레벨을 유지하게 된다. 또한 제2 PMOS TFT(T2)의 소스전압은 공급전압(VDD)과 동일한 전압을 유지하게 된다. 이로써 제3 PMOS TFT(T3)의 역할은 데이터 라인(DL)에서 화소전극으로의 전류를 차단하는 스위칭 동작뿐만 아니라 공급전압라인(VDD)과 제2 PMOS TFT(T2)의 소스 사이의 스위칭 역할을 한다.

이후 게이트 라인(GL)의 입력신호를 턴-오프 시키게 되면 제3 PMOS TFT(T3)는 제2 PMOS TFT(T2)의 소스를 공급전압라인(VDD)으로부터의 공급전압을 차단하여 제2 PMOS TFT(T2)에서 데이터 전압(Vdata)이 공급전압(VDD)로 풀-업(Pull-Up)되는 현상을 억제한다. 데이터 전압(Vdata)이 일정하게 유지된 상태에서 제4 PMOS TFT(T4)가 턴-오프 되므로 제1 PMOS TFT(T1)의 게이트 전압이 안정적으로 샘플링되어 화질이 저하되는 것을 방지하게 된다. 이후 1 프레임 동안 홀드된 후 캐패시터(Cst)에 충전된 비디오 신호는 EL 셀(OLED)에 공급되어 표시패널 상에 영상을 표시하게 된다.

도 19는 본 발명의 제6 실시예에 따른 일렉트로 루미네센스 패널의 화소소자를 상세히 나타내는 도면으로서, 화소소자들(PE)은 공급전압원(VDD)에 접속된 EL 셀(OLED)과, 이 EL 셀(OLED)을 구동하기 위한 셀 구동회로(86)로 구성된다.

EL 셀 구동회로(86)는 EL 셀(OLED), 공급전압라인(VDD)에 전류 미러를 형성하게 접속되어진 제1 및 제2 PMOS TFT(T1, T2)와; 제2 PMOS TFT(T2)의 소스전극과 공급전압라인(VDD) 사이에 접속되어 게이트 라인(GL) 상의 신

호에 응답되는 제1 NMOS TFT(T3)와; 제1 PMOS TFT(T1)와 제2 PMOS TFT(T2) 사이에 접속되어 게이트 라인(GL) 및 데이터 라인(DL) 상의 신호에 응답되는 제2 NMOS TFT(T4); 제1 PMOS TFT(T1)의 게이트전극 및 제4 NMOS TFT(T4)의 드레인 전극과 공급전압라인(VDD) 사이에 접속되어진 캐패시터(Cst)를 구비한다. 또한 데이터라인(DL)은 제2 PMOS TFT(T2)의 드레인전극 및 제2 NMOS TFT(T2)의 소스 전극에 연결되어진다.

이의 동작을 설명하면, 게이트 라인(GL)에 도 20에서와 같이 하이(HIGH) 입력신호가 입력되면 제1 NMOS TFT(T3)와 제2 NMOS TFT(T4)가 턴-온 된다. 제1 NMOS TFT(T3)와 제2 NMOS TFT(T4)가 턴-온 되면 데이터 라인(DL)으로부터 스캔신호와 동기되게 입력되는 일정한 크기를 가진 비디오 신호가 제4 PMOS TFT(T4)를 통하여 캐패시터(Cst)에 충전된다.

이 경우 제1 노드(N1)에서의 데이터 전압(Vdata), 화소전압(Vpixel)은 동일한 전압 레벨을 유지하게 된다. 또한 제2 PMOS TFT(T2)의 소스전압은 공급전압(VDD)과 동일한 전압을 유지하게 된다. 이로써 제1 NMOS TFT(T3)의 역할은 데이터 라인(DL)에서 화소전극으로의 전류를 차단하는 스위칭 동작뿐만 아니라 공급전압라인(VDD)과 제2 PMOS TFT(T2)의 소스 사이의 스위칭 역할을 한다.

이후 게이트 라인(GL)의 입력신호를 턴-오프 시키게 되면 제1 NMOS TFT(T3)는 제2 PMOS TFT(T2)의 소스를 공급전압라인(VDD)으로부터의 공급전압(VDD)을 차단하여 제2 PMOS TFT(T2)에서 데이터 전압(Vdata)이 공급전압(VDD)로 풀-업(Pull-Up)되는 현상을 억제한다. 데이터 전압(Vdata)이 일정하게 유지된 상태에서 제2 NMOS TFT(T4)가 턴-오프 되므로 제1 PMOS TFT(T1)의 게이트 전압이 안정적으로 샘플링되어 화질이 저하되는 것을 방지하게 된다. 또한 게이트 라인의 입력신호 턴오프시 제1 NMOS TFT(T3)와 제2 NMOS TFT(T4)는 하이 임피던스 상태가 되어 캐패시터(Cst)는 데이터라인(DL)으로부터 공급되어 충전된 비디오신호를 1 프레임 동안 홀딩(Holding)시킨다. 이러한 홀딩시간으로 인해 데이터라인(DL)에서 공급되는 비디오신호가 EL 셀(OLED)에 공급되는 것을 캐패시터(Cst)에 의해 유지하게 된다. 1 프레임 동안 홀드된 후 캐패시터(Cst)에 충전된 비디오 신호는 EL 셀(OLED)에 공급되어 표시패널 상에 영상을 표시하게 된다.

도 21은 본 발명의 제7 실시예에 따른 일렉트로 루미네센스 패널의 화소소자를 상세히 나타내는 도면으로서, 화소소자들(PE)은 공급전압원(VDD)에 접속된 EL 셀(OLED)과, 이 EL 셀(OLED)을 구동하기 위한 셀 구동회로(96)로 구성된다.

EL 셀 구동회로(96)는 EL 셀(OLED), 공급전압라인(VDD)에 전류 미러를 형성하게 접속되어진 제1 및 제2 NMOS TFT(T1, T2)와; 제2 NMOS TFT(T2)의 소스전극과 공급전압라인(VDD) 사이에 접속되어 게이트 라인(GL) 상의 신호에 응답되는 제1 PMOS TFT(T3)와; 제1 NMOS TFT(T1)와 제2 NMOS TFT(T2) 사이에 접속되어 게이트 라인(GL) 및 데이터 라인(DL) 상의 신호에 응답되는 제2 PMOS TFT(T4); 제1 NMOS TFT(T1)의 게이트전극 및 제2 PMOS TFT(T4)의 드레인 전극과 공급전압라인(VDD) 사이에 접속되어진 캐패시터(Cst)를 구비한다. 또한 데이터라인(DL)은 제2 NMOS TFT(T2)의 드레인전극 및 제2 PMOS TFT(T4)의 소스 전극에 연결되어진다.

이의 동작을 설명하면, 게이트 라인(GL)에 도 22에서와 같이 로우(LOW) 입력신호가 입력되면 제1 PMOS TFT(T3)와 제2 PMOS TFT(T4)가 턴-온 된다. 제1 PMOS TFT(T3)와 제2 PMOS TFT(T4)가 턴-온 되면 데이터 라인(DL)으로부터 스캔신호와 동기되게 입력되는 일정한 크기를 가진 비디오 신호가 제2 PMOS TFT(T4)를 통하여 캐패시터(Cst)에 충전된다.

이 경우 제1 노드(N1)에서의 데이터 전압(Vdata), 화소전압(Vpixel)은 동일한 전압 레벨을 유지하게 된다. 또한 제2 NMOS TFT(T2)의 소스전압은 공급전압(VDD)과 동일한 전압을 유지하게 된다. 이로써 제1 PMOS TFT(T3)의 역할은 데이터 라인(DL)에서 화소전극으로의 전류를 차단하는 스위칭 동작뿐만 아니라 공급전압라인(VDD)과 제2 NMOS TFT(T2)의 소스 사이의 스위칭 역할을 한다.

이후 게이트 라인(GL)의 입력신호를 턴-오프 시키게 되면 제1 PMOS TFT(T3)는 제2 NMOS TFT(T2)의 소스를 공급전압라인(VDD)으로부터의 공급전압을 차단하여 제2 NMOS TFT(T2)에서 데이터 전압(Vdata)이 공급전압(VDD)로 풀-업(Pull-Up)되는 현상을 억제한다. 데이터 전압(Vdata)이 일정하게 유지된 상태에서 제2 PMOS TFT(T4)가 턴-오프 되므로 제1 NMOS TFT(T1)의 게이트 전압이 안정적으로 샘플링되어 화질이 저하되는 것을 방지하게 된다. 또한 게이트 라인의 입력신호 턴오프시 제1 PMOS TFT(T3)와 제2 PMOS TFT(T4)는 하이 임피던스 상태가 되어 캐패시터(Cst)는 데이터라인(DL)으로부터 공급되어 충전된 비디오신호를 1 프레임 동안 홀딩(Holding)시킨다. 이러한 홀딩시간으로 인해 데이터라인(DL)에서 공급되는 비디오신호가 EL 셀(OLED)에 공급되는 것을 캐패시터(Cst)에 의해 유지하게 된다. 1 프레임 동안 홀드된 후 캐패시터(Cst)에 충전된 비디오 신호는 EL 셀(OLED)에 공급되어 표시패널 상에 영상을 표시하게 된다.

도 23은 본 발명의 제8 실시예에 따른 일렉트로 루미네센스 패널의 화소소자를 상세히 나타내는 도면으로서, 화소소자들(PE)은 공급전압원(VDD)에 접속된 EL 셀(OLED)과, 이 EL 셀(OLED)을 구동하기 위한 셀 구동회로(106)로 구

성된다.

EL 셀 구동회로(106)는 EL 셀(OLED), 공급전압라인(VDD)에 전류 미러를 형성하게 접속되어진 제1 및 제2 NMOS TFT(T1, T2)와; 제2 NMOS TFT(T2)의 소스전극과 공급전압라인(VDD) 사이에 접속되어 게이트 라인(GL) 상의 신호에 응답되는 제3 NMOS TFT(T3)와; 제1 NMOS TFT(T1)와 제2 NMOS TFT(T2) 사이에 접속되어 게이트 라인(GL) 및 데이터 라인(DL) 상의 신호에 응답되는 제4 NMOS TFT(T4); 제1 NMOS TFT(T1)의 게이트전극 및 제4 NMOS TFT(T4)의 드레인 전극과 공급전압라인(VDD) 사이에 접속되어진 캐패시터(Cst)를 구비한다. 또한 데이터라인(DL)은 제2 NMOS TFT(T2)의 드레인전극 및 제4 NMOS TFT(T4)의 소스 전극에 연결되어진다.

이의 동작을 설명하면, 게이트 라인(GL)에 도 24에서와 같이 하이(HIGH) 입력신호가 입력되면 제3 NMOS TFT(T3)와 제4 NMOS TFT(T4)가 턴-온 된다. 제3 NMOS TFT(T3)와 제4 NMOS TFT(T4)가 턴-온 되면 데이터 라인(DL)으로부터 스캔신호와 동 기되게 입력되는 일정한 크기를 가진 비디오 신호가 제4 NMOS TFT(T4)를 통하여 캐패시터(Cst)에 충전된다.

이 경우 제1 노드(N1)에서의 데이터 전압(Vdata), 화소전압(Vpixel)은 동일한 전압 레벨을 유지하게 된다. 또한 제2 NMOS TFT(T2)의 소스전압은 공급전압(VDD)과 동일한 전압을 유지하게 된다. 이로써 제3 NMOS TFT(T3)의 역할은 데이터 라인(DL)에서 화소전극으로의 전류를 차단하는 스위칭 동작뿐만 아니라 공급전압라인(VDD)과 제2 NMOS TFT(T2)의 소스 사이의 스위칭 역할을 한다.

이후 게이트 라인(GL)의 입력신호를 턴-오프 시키게 되면 제3 NMOS TFT(T3)는 제2 NMOS TFT(T2)의 소스를 공급전압라인(VDD)으로부터의 공급전압을 차단하여 제2 NMOS TFT(T2)에서 데이터 전압(Vdata)이 공급전압(VDD)로 풀-업(Pull-Up)되는 현상을 억제한다. 데이터 전압(Vdata)이 일정하게 유지된 상태에서 제4 NMOS TFT(T4)가 턴-오프 되므로 제1 NMOS TFT(T1)의 게이트 전압이 안정적으로 샘플링되어 화질이 저하되는 것을 방지하게 된다. 또한 게이트 라인의 입력신호 턴오프시 제3 NMOS TFT(T3)와 제4 NMOS TFT(T4)는 하이 임피던스 상태가 되어 캐패시터(Cst)는 데이터라인(DL)으로부터 공급되어 충전된 비디오신호를 1 프레임 동안 홀딩(Holding) 시킨다. 이러한 홀딩시간으로 인해 데이터라인(DL)에서 공급되는 비디오신호가 EL 셀(OLED)에 공급되는 것을 캐패시터(Cst)에 의해 유지하게 된다. 1 프레임 동안 홀드된 후 캐패시터(Cst)에 충전된 비디오 신호는 EL 셀(OLED)에 공급되어 표시 패널 상에 영상을 표시하게 된다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 일렉트로 루미네센스 패널의 구동장치 및 방법은 1 게이트라인 구조를 가지는 일렉트로 루미네센스 패널에서 2개의 스위칭 박막트랜지스터 중 1개의 구성 위치를 바꿈으로써 게이트라인의 입력신호 턴-오프시 기준전압 변화를 억제하고 구동전류 변화를 차단하여 패널의 화질 변화문제를 해결할 수 있게 된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

게이트 라인들과, 상기 게이트 라인과 교차되게 배열된 데이터 라인들과, 상기 게이트 라인들과 데이터 라인들의 교차부들에 설치되는 일렉트로 루미네센스 셀(OLED)들을 구비하는 일렉트로 루미네센스패널에 있어서,

상기 게이트 라인들과 데이터 라인들의 교차부에 설치되어 상기 일렉트로 루미네센스 셀(OLED)들을 구동시키기 위한 일렉트로 루미네센스 셀 구동회로를 구비하고;

상기 일렉트로 루미네센스 셀(OLED) 구동회로는 일렉트로 루미네센스 셀(OLED)들에 전원을 공급하는 공급전원(VDD)과,

상기 공급전원과 상기 데이터라인 사이에 접속된 제1 피모스(PMOS) 박막트랜지스터과,

상기 공급전원과 상기 일렉트로 루미네센스 셀(OLED)사이에 접속된 제2 피모스(PMOS) 박막트랜지스터와,

상기 공급전원과 제1 피모스(PMOS) 박막트랜지스터 사이에 접속되어 상기 게이트 라인의 신호에 의해 스위치 역할을 하는 제3 피모스(PMOS) 박막트랜지스터와,

상기 제1 및 제2 피모스(PMOS) 박막트랜지스터의 게이트 전극과 상기 데이터 라인 사이에 접속되어 게이트 라인의 신호에 의한 스위치 역할과 데이터 라인으로부터의 데이터 신호의 통로 역할을 하는 제4 피모스(PMOS) 박막트랜지스터와,

상기 제1 및 제2 피모스(PMOS) 박막트랜지스터의 게이트 전극과 상기 공급전원 사이에 접속되어진 캐패시터를 구비하는 것을 특징으로 하는 일렉트로 루미네센스 패널.

청구항 2.

게이트 라인들과, 상기 게이트 라인과 교차되게 배열된 데이터 라인들과, 상기 게이트 라인들과 데이터 라인들의 교차부들에 설치되는 일렉트로 루미네센스 셀(OLED)들을 구비하는 일렉트로 루미네센스패널에 있어서,

상기 게이트 라인들과 데이터 라인들의 교차부에 설치되어 상기 일렉트로 루미네센스 셀(OLED)들을 구동시키기 위한 일렉트로 루미네센스 셀 구동회로를 구비하고;

상기 일렉트로 루미네센스 셀(OLED) 구동회로는 일렉트로 루미네센스 셀(OLED)들에 전원을 공급하는 공급전원(V_{DD})과,

상기 공급전원과 상기 데이터라인 사이에 접속된 제1 피모스(PMOS) 박막트랜지스터과,

상기 공급전원과 상기 일렉트로 루미네센스 셀(OLED)사이에 접속된 제2 피모스(PMOS) 박막트랜지스터와,

상기 공급전원과 제1 피모스(PMOS) 박막트랜지스터 사이에 접속되어 상기 게이트 라인의 신호에 의해 스위치 역할을 하는 제1 엔모스(NMOS) 박막트랜지스터와,

상기 제1 및 제2 피모스(PMOS) 박막트랜지스터의 게이트 전극과 상기 데이터 라인 사이에 접속되어 게이트 라인의 신호에 의한 스위치 역할과 데이터 라인으로부터의 데이터 신호의 통로 역할을 하는 제2 엔모스(NMOS) 박막트랜지스터와,

상기 제1 및 제2 피모스(PMOS) 박막트랜지스터의 게이트 전극과 상기 공급전원사이에 접속되어진 캐패시터를 구비하는 것을 특징으로 하는 일렉트로 루미네센스 패널.

청구항 3.

게이트 라인들과, 상기 게이트 라인과 교차되게 배열된 데이터 라인들과, 상기 게이트 라인들과 데이터 라인들의 교차부들에 설치되는 일렉트로 루미네센스 셀(OLED)들을 구비하는 일렉트로 루미네센스패널에 있어서,

상기 게이트 라인들과 데이터 라인들의 교차부에 설치되어 상기 일렉트로 루미네센스 셀(OLED)들을 구동시키기 위한 일렉트로 루미네센스 셀 구동회로를 구비하고;

상기 일렉트로 루미네센스 셀(OLED) 구동회로는 일렉트로 루미네센스 셀(OLED)들에 전원을 공급하는 공급전원(V_{DD})과,

상기 공급전원과 상기 데이터라인 사이에 접속된 제1 엔모스(NMOS) 박막트랜지스터과,

상기 공급전원과 상기 일렉트로 루미네센스 셀(OLED)사이에 접속된 제2 엔모스(NMOS) 박막트랜지스터와,

상기 공급전원과 제1 엔모스(NMOS) 박막트랜지스터 사이에 접속되어 상기 게이트 라인의 신호에 의해 스위치 역할을 하는 제1 피모스(PMOS) 박막트랜지스터와,

상기 제1 및 제2 엔모스(NMOS) 박막트랜지스터의 게이트 전극과 상기 데이터 라인 사이에 접속되어 게이트 라인의 신호에 의한 스위치 역할과 데이터 라인으로부터의 데이터 신호 패스 역할을 하는 제2 피모스(PMOS) 박막트랜지스터와,

상기 제1 및 제2 엔모스(NMOS) 박막트랜지스터의 게이트 전극과 상기 공급전원사이에 접속되어진 캐패시터를 구비하는 것을 특징으로 하는 일렉트로 루미네센스 패널.

청구항 4.

게이트 라인들과, 상기 게이트 라인과 교차되게 배열된 데이터 라인들과, 상기 게이트 라인들과 데이터 라인들의 교차부들에 설치되는 일렉트로 루미네센스 셀(OLED)들을 구비하는 일렉트로 루미네센스패널에 있어서,

상기 게이트 라인들과 데이터 라인들의 교차부에 설치되어 상기 일렉트로 루미네센스 셀(OLED)들을 구동시키기 위한 일렉트로 루미네센스 셀 구동회로를 구비하고;

상기 일렉트로 루미네센스 셀(OLED) 구동회로는 일렉트로 루미네센스 셀(OLED)들에 전원을 공급하는 공급전원(VDD)과,

상기 공급전원과 상기 데이터라인 사이에 접속된 제1 엔모스(NMOS) 박막트랜지스터와,

상기 공급전원과 상기 일렉트로 루미네센스 셀(OLED)사이에 접속된 제2 엔모스(NMOS) 박막트랜지스터와,

상기 공급전원과 제1 엔모스(NMOS) 박막트랜지스터 사이에 접속되어 상기 게이트 라인의 신호에 의해 스위치 역할을 하는 제3 엔모스(NMOS) 박막트랜지스터와,

상기 제1 및 제2 피모스(PMOS) 박막트랜지스터의 게이트 전극과 상기 데이터 라인 사이에 접속되어 게이트 라인의 신호에 의한 스위치 역할과 데이터 라인으로부터의 데이터 신호의 통로 역할을 하는 제4 엔모스(NMOS) 박막트랜지스터와,

상기 제1 및 제2 엔모스(NMOS) 박막트랜지스터의 게이트 전극과 상기 공급전원사이에 접속되어진 캐패시터를 구비하는 것을 특징으로 하는 일렉트로 루미네센스 패널.

청구항 5.

게이트 라인들과, 상기 게이트 라인과 교차되게 배열된 데이터 라인들과, 상기 게이트 라인들과 데이터 라인들의 교차부들에 설치되는 일렉트로 루미네센스 셀(OLED)들을 구비하는 일렉트로 루미네센스패널에 있어서,

상기 게이트 라인들과 데이터 라인들의 교차부에 설치되어 상기 일렉트로 루미네센스 셀(OLED)들을 구동시키기 위한 일렉트로 루미네센스 셀 구동회로를 구비하고;

상기 일렉트로 루미네센스 셀(OLED) 구동회로는 일렉트로 루미네센스 셀(OLED)들에 전원을 공급하는 공급전원(VDD)과,

상기 공급전원과 상기 데이터라인 사이에 접속된 제1 피모스(PMOS) 박막트랜지스터와,

상기 공급전원과 상기 일렉트로 루미네센스 셀(OLED)사이에 접속된 제2 피모스(PMOS) 박막트랜지스터와,

제1 피모스(PMOS) 박막트랜지스터의 소스 전극과 공급전원 사이에 접속되어 게이트 라인 상의 신호에 의해 스위칭되는 제3 피모스(PMOS) 박막트랜지스터와,

상기 제1 및 제2 피모스(PMOS) 박막트랜지스터의 게이트 전극과 데이터라인 사이에 접속되어 스위칭 역할을 함과 동시에 데이터 라인으로부터의 데이터 신호 패스 역할을 하는 제4 피모스(PMOS) 박막트랜지스터와,

상기 제1 및 제2 피모스(PMOS) 박막트랜지스터의 게이트 전극과 상기 공급전원사이에 접속되어진 캐패시터를 구비하는 것을 특징으로 하는 일렉트로 루미네센스 패널.

청구항 6.

게이트 라인들과, 상기 게이트 라인과 교차되게 배열된 데이터 라인들과, 상기 게이트 라인들과 데이터 라인들의 교차부들에 설치되는 일렉트로 루미네센스 셀(OLED)들을 구비하는 일렉트로 루미네센스패널에 있어서,

상기 게이트 라인들과 데이터 라인들의 교차부에 설치되어 상기 일렉트로 루미네센스 셀(OLED)들을 구동시키기 위한 일렉트로 루미네센스 셀 구동회로를 구비하고;

상기 일렉트로 루미네센스 셀(OLED) 구동회로는 일렉트로 루미네센스 셀(OLED)들에 전원을 공급하는 공급전원(VDD)과,

상기 공급전원과 상기 데이터라인 사이에 접속된 제1 피모스(PMOS) 박막트랜지스터와,

상기 공급전원과 상기 일렉트로 루미네센스 셀(OLED)사이에서 접속된 제2 피모스(PMOS) 박막트랜지스터와,

제1 피모스(PMOS) 박막트랜지스터의 소스 전극과 공급전원 사이에서 접속되어 게이트 라인 상의 신호에 의해 스위칭되는 제1 엔모스(NMOS) 박막트랜지스터와,

상기 제1 및 제2 피모스(PMOS) 박막트랜지스터의 게이트 전극과 데이터라인 사이에서 접속되어 스위칭 역할을 함과 동시에 데이터 라인으로부터의 데이터 신호 패스 역할을 하는 제2 엔모스(NMOS) 박막트랜지스터와,

상기 제1 및 제2 피모스(PMOS) 박막트랜지스터의 게이트 전극과 상기 공급전원 사이에서 접속되어진 캐패시터를 구비하는 것을 특징으로 하는 일렉트로 루미네센스 패널.

청구항 7.

게이트 라인들과, 상기 게이트 라인과 교차되게 배열된 데이터 라인들과, 상기 게이트 라인들과 데이터 라인들의 교차부들에 설치되는 일렉트로 루미네센스 셀(OLED)들을 구비하는 일렉트로 루미네센스패널에 있어서,

상기 게이트 라인들과 데이터 라인들의 교차부에 설치되어 상기 일렉트로 루미네센스 셀(OLED)들을 구동시키기 위한 일렉트로 루미네센스 셀 구동회로를 구비하고;

상기 일렉트로 루미네센스 셀(OLED) 구동회로는 일렉트로 루미네센스 셀(OLED)들에 전원을 공급하는 공급전원(VDD)과,

상기 공급전원과 상기 데이터라인 사이에서 접속된 제1 엔모스(NMOS) 박막트랜지스터와,

상기 공급전원과 상기 일렉트로 루미네센스 셀(OLED)사이에서 접속된 제2 엔모스(NMOS) 박막트랜지스터와,

제1 엔모스(NMOS) 박막트랜지스터의 소스 전극과 공급전원 사이에서 접속되어 게이트 라인 상의 신호에 의해 스위칭되는 제1 피모스(PMOS) 박막트랜지스터와,

상기 제1 및 제2 엔모스(NMOS) 박막트랜지스터의 게이트 전극과 데이터라인 사이에서 접속되어 스위칭 역할을 함과 동시에 데이터 라인으로부터의 데이터 신호 패스 역할을 하는 제2 피모스(NMOS) 박막트랜지스터와,

상기 제1 및 제2 엔모스(NMOS) 박막트랜지스터의 게이트 전극과 상기 공급전원사이에서 접속되어진 캐패시터를 구비하는 것을 특징으로 하는 일렉트로 루미네센스 패널.

청구항 8.

게이트 라인들과, 상기 게이트 라인과 교차되게 배열된 데이터 라인들과, 상기 게이트 라인들과 데이터 라인들의 교차부들에 설치되는 일렉트로 루미네센스 셀(OLED)들을 구비하는 일렉트로 루미네센스패널에 있어서,

상기 게이트 라인들과 데이터 라인들의 교차부에 설치되어 상기 일렉트로 루미네센스 셀(OLED)들을 구동시키기 위한 일렉트로 루미네센스 셀 구동회로를 구비하고;

상기 일렉트로 루미네센스 셀(OLED) 구동회로는 일렉트로 루미네센스 셀(OLED)들에 전원을 공급하는 공급전원(VDD)과,

상기 공급전원과 상기 데이터라인 사이에서 접속된 제1 엔모스(NMOS) 박막트랜지스터와,

상기 공급전원과 상기 일렉트로 루미네센스 셀(OLED)사이에서 접속된 제2 엔모스(NMOS) 박막트랜지스터와,

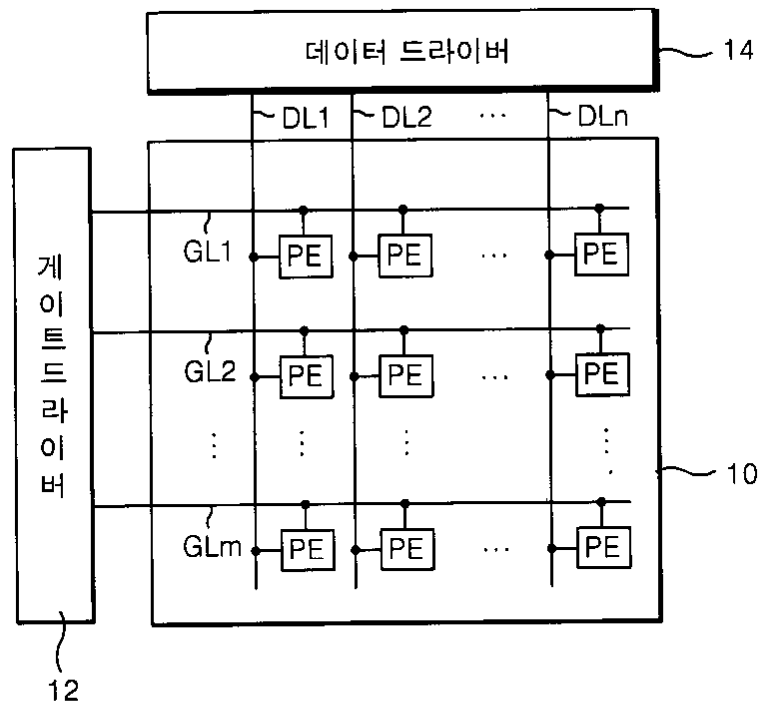
제1 피모스(PMOS) 박막트랜지스터의 소스 전극과 공급전원 사이에서 접속되어 게이트 라인 상의 신호에 의해 스위칭되는 제3 엔모스(NMOS) 박막트랜지스터와,

상기 제1 및 제2 엔모스(NMOS) 박막트랜지스터의 게이트 전극과 데이터라인 사이에서 접속되어 스위칭 역할을 함과 동시에 데이터 라인으로부터의 데이터 신호 패스 역할을 하는 제4 엔모스(NMOS) 박막트랜지스터와,

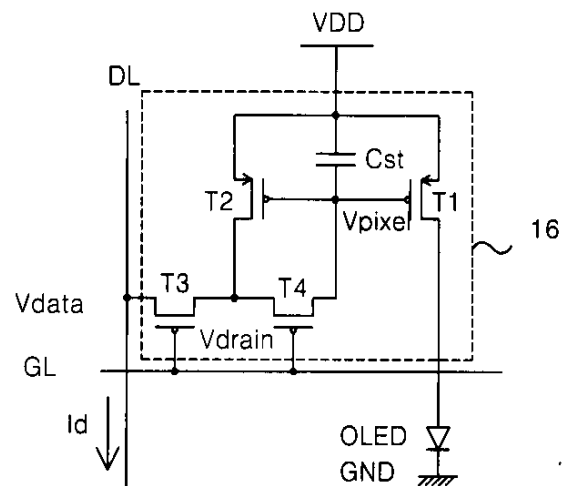
상기 제1 및 제2 엔모스(NMOS) 박막트랜지스터의 게이트 전극과 상기 공급전원사이에서 접속되어진 캐패시터를 구비하는 것을 특징으로 하는 일렉트로 루미네센스 패널.

도면

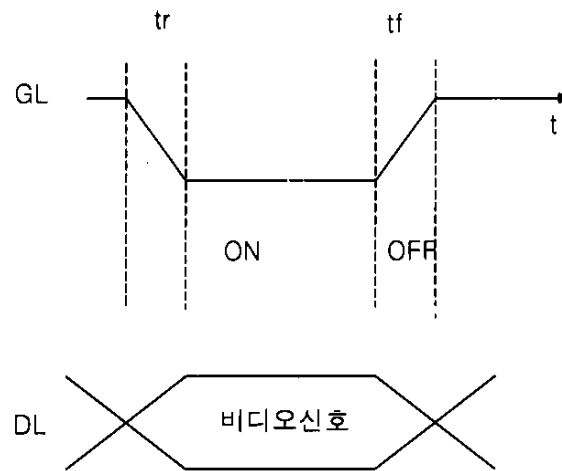
도면1



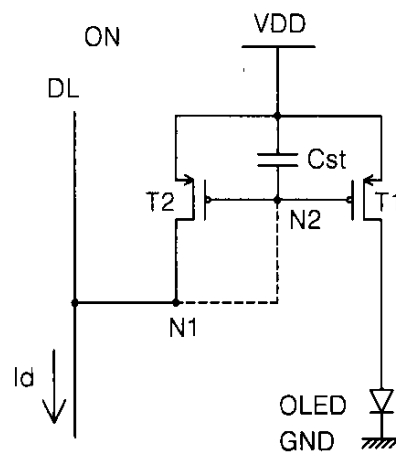
도면2



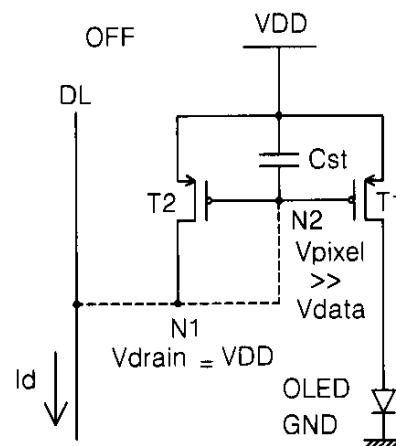
도면3



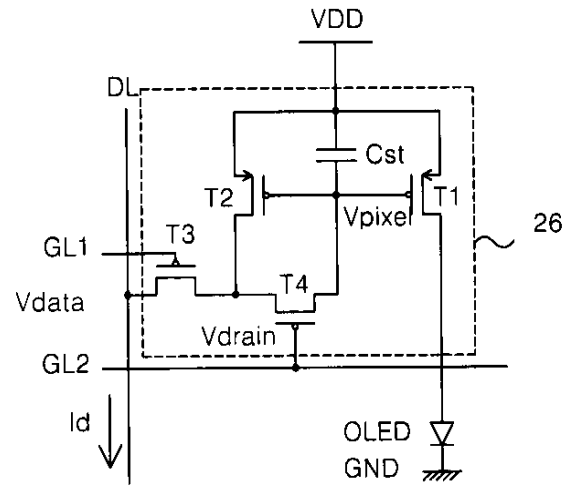
도면4a



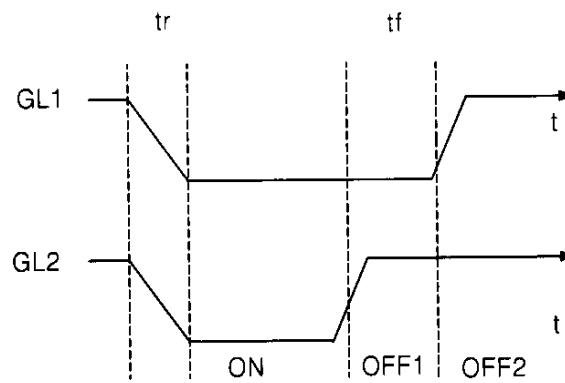
도면4b



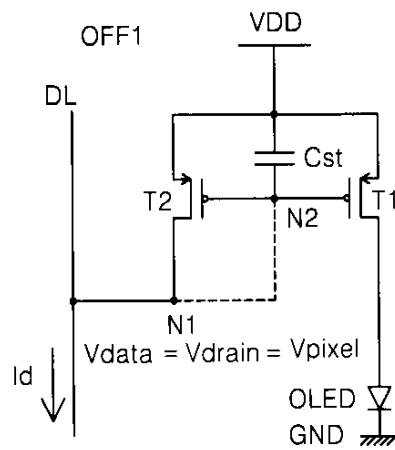
도면5



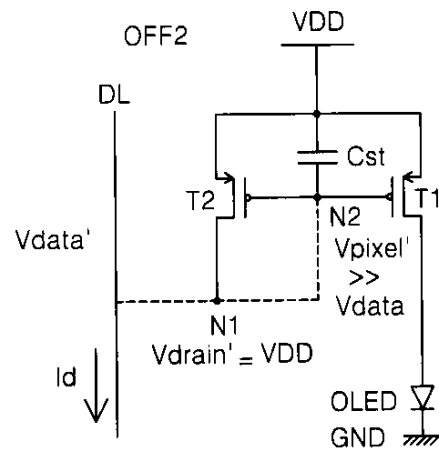
도면6



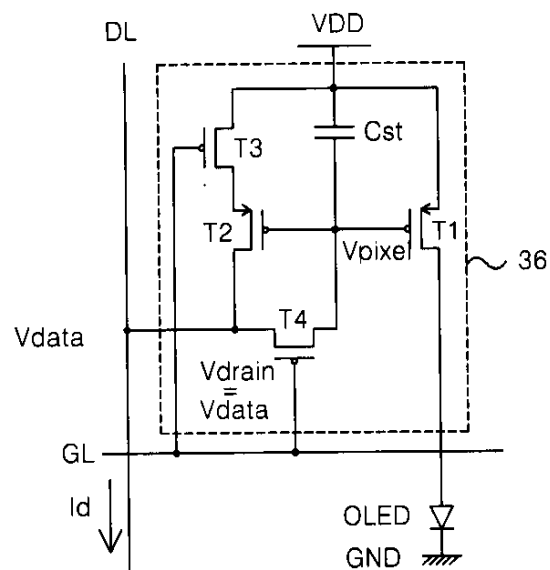
도면7a



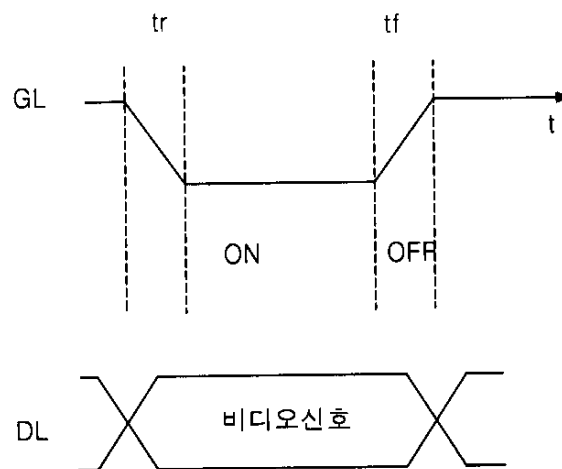
도면7b



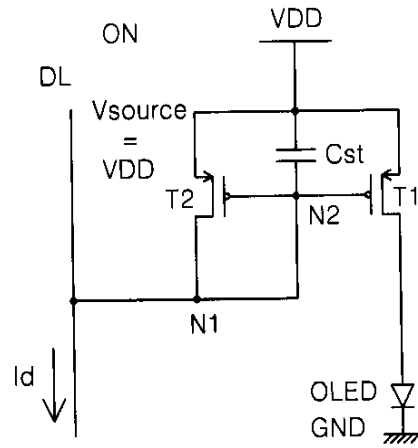
도면8



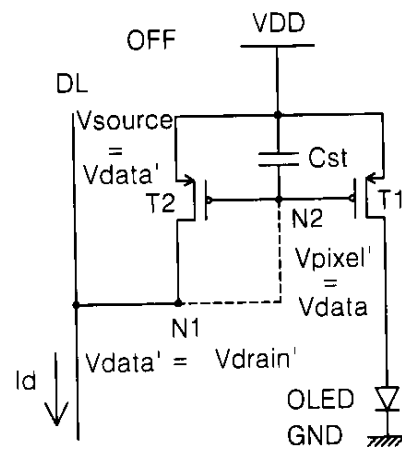
도면9



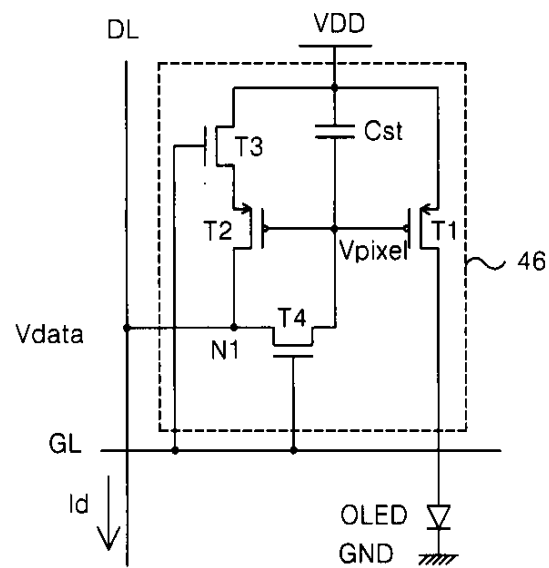
도면10a



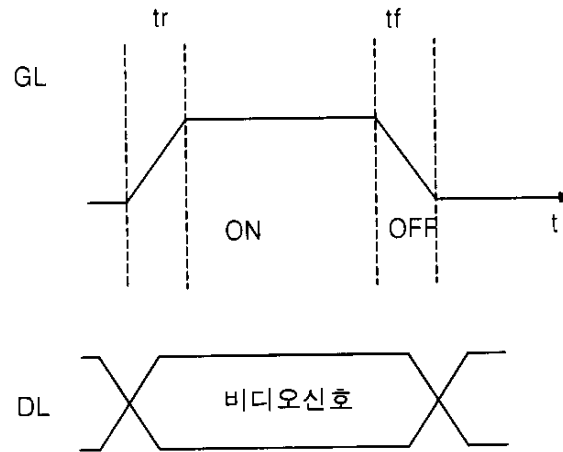
도면10b



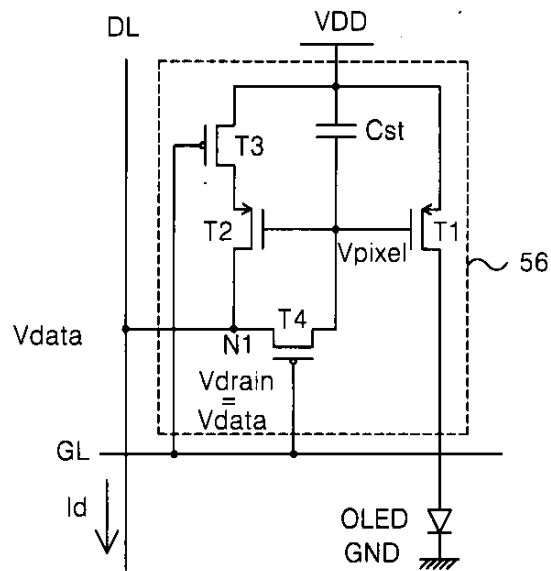
도면11



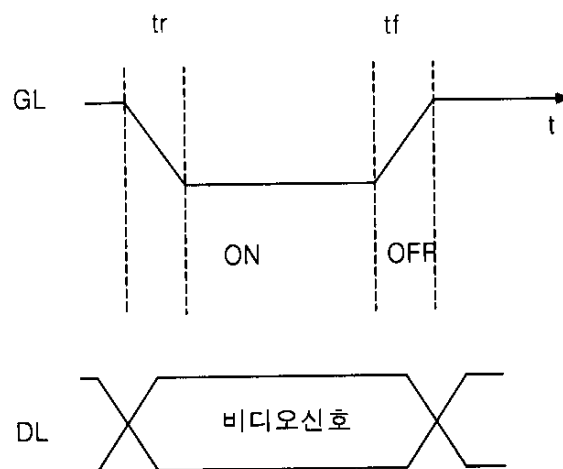
도면12



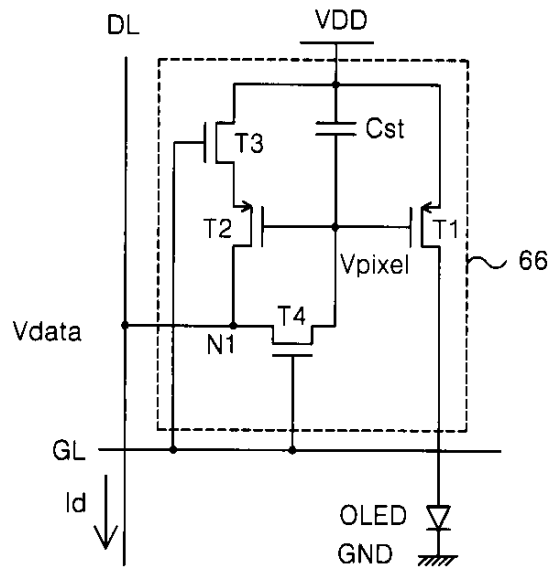
도면13



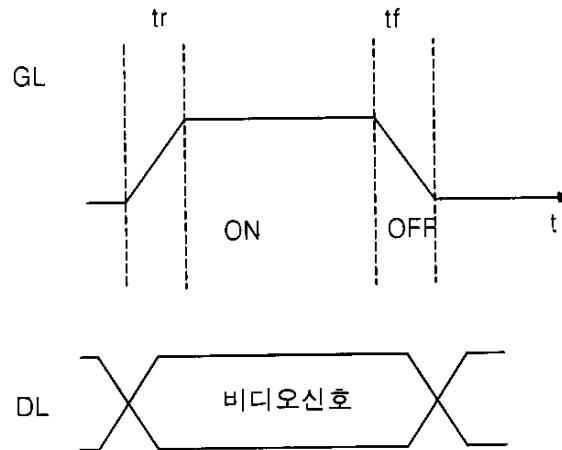
도면14



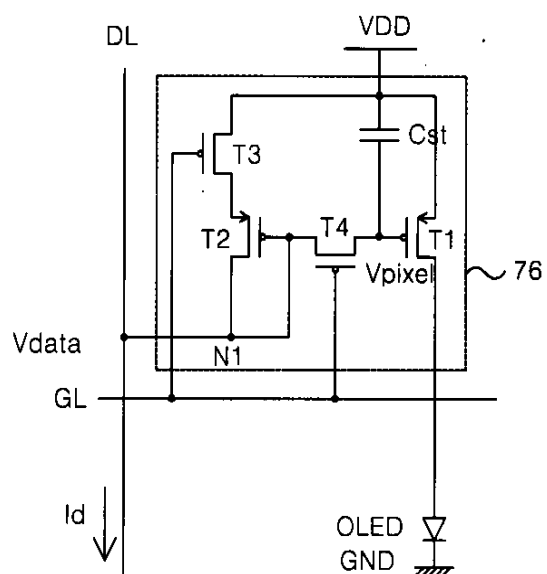
도면15



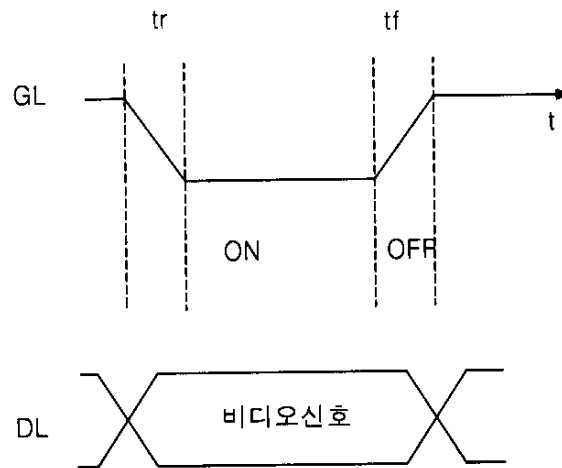
도면16



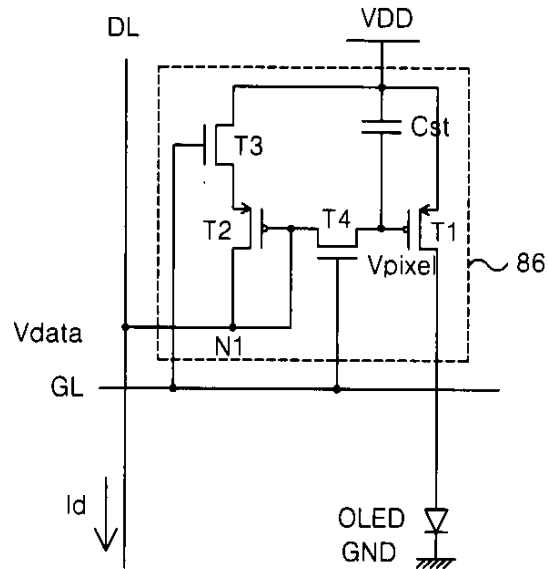
도면17



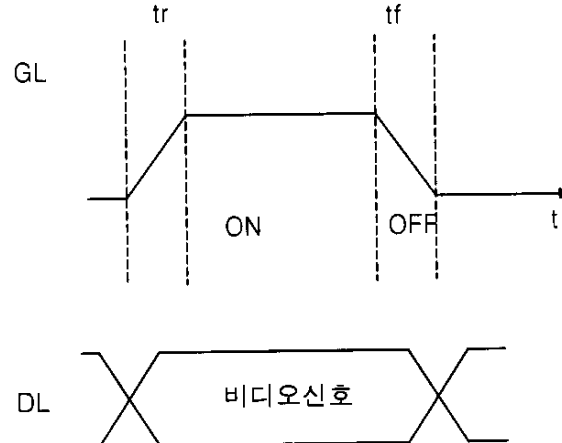
도면18



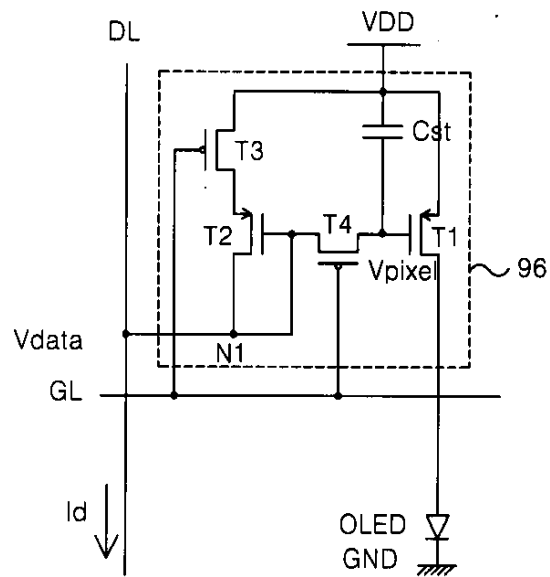
도면19



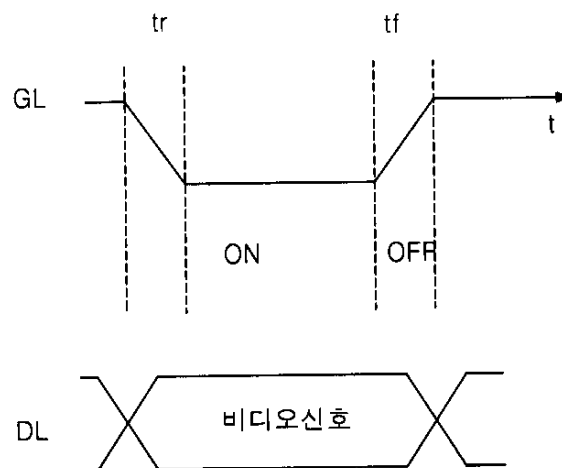
도면20



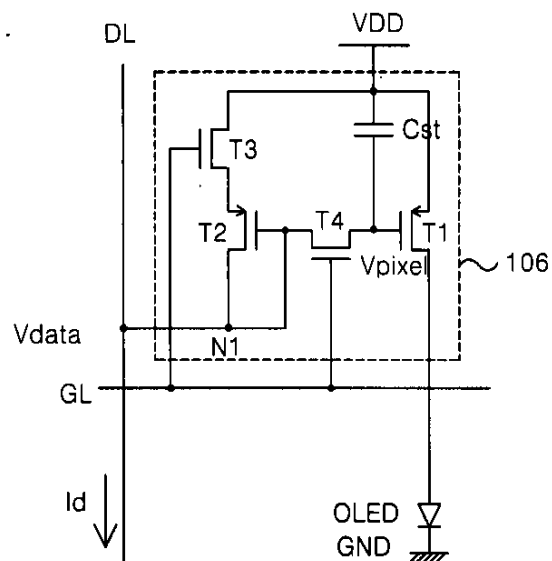
도면21



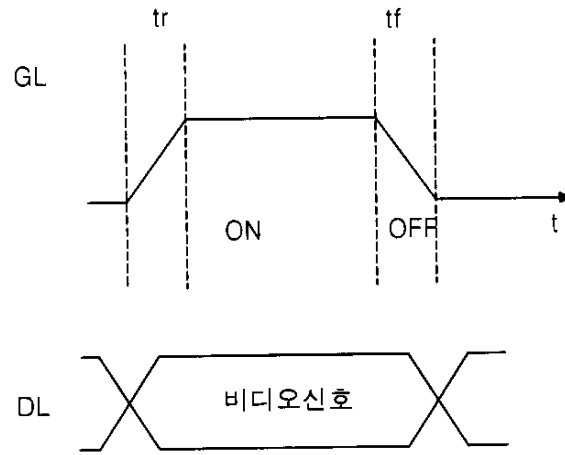
도면22



도면23



도면24



用途：提供一种驱动电致发光板的装置和方法，通过改变具有4TFT结构的电致发光板中第四PMOS TFT的位置来改善图像质量。组成：多个像素元件分别形成有与电源电压源（VDD）连接的EL单元（OLED）和用于驱动EL单元（OLED）的EL单元驱动电路（36）。单元驱动电路（36）驱动EL单元（OLED），第一和第二PMOS TFT（T1，T2）与电源电压源（VDD）连接，以形成电流镜，第三PMOS TFT（T3）连接在第二PMOS TFT（T2）的源极和电源电压源（VDD）之间，第四PMOS TFT（T4）连接在第一和第二PMOS TFT（T1，T2）的栅极和数据之间线（DL）和连接在第一和第二PMOS TFT（T1，T2）的栅极和电源电压源（VDD）之间的电容器（Cst）。

