(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년07월11일
(11) 등록번호 10-1756661
(24) 등록일자 2017년07월05일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01)
(21) 출원번호 10-2010-0126256
(22) 출원일자 2010년12월10일
심사청구일자 2015년11월12일
(65) 공개번호 10-2012-0064975
(43) 공개일자 2012년06월20일
(56) 선행기술조사문헌
JP201078922 A
JP201085675 A

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
타카스기 신지
경기도 파주시 월롱면 엘씨디로8번길 47-9, 203호
(74) 대리인
박영복

전체 청구항 수 : 총 11 항 심사관 : 김호진

(54) 발명의 명칭 **액티브 매트릭스 유기 발광 다이오드 표시 장치의 전압 보상 화소 회로**

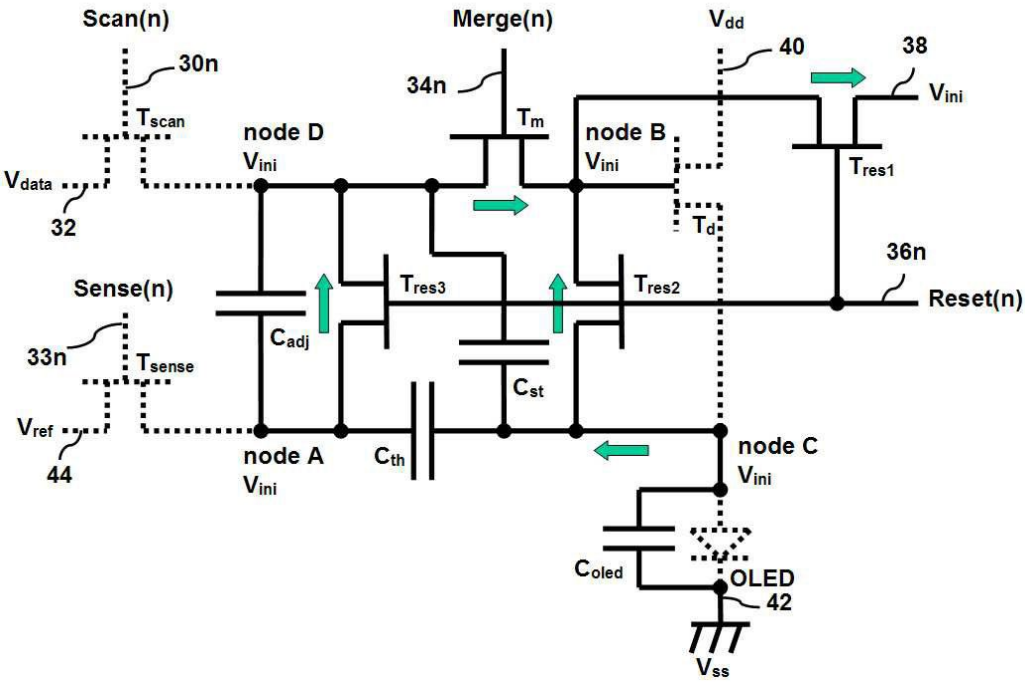
(57) 요 약

본 발명의 AMOLED 표시 장치의 전압 보형 화소 회로는, 고전위 전원 라인과 저전위 전원 라인 사이에 발광 소자와 직렬 접속되고, 제1 노드(B)에 공급된 전압에 응답하여 상기 발광 소자를 구동하는 구동 트랜지스터와; 센스 라인의 센스 신호에 응답하여 기준 전압 라인의 기준 전압을 제2 노드(A)로 공급하는 센스 트랜지스터와; 스캔

(뒷면에 계속)

대 표 도

<초기화>



라인의 스캔 신호에 응답하여 데이터 라인의 데이터 전압을 제3 노드(D)로 공급하는 스캔 트랜지스터와; 머지 라인의 머지 신호에 응답하여 상기 제1 노드(B)와 제3 노드(D)를 접속시키는 머지 트랜지스터와; 상기 구동 트랜지스터와 상기 발광 소자 사이에 접속된 제4 노드(C)와, 상기 제3 노드(D) 사이에 접속되고, 상기 구동 트랜지스터의 문턱 전압을 증폭하여 축적함과 아울러 상기 데이터 전압을 축적하는 스토리지 커패시터와; 상기 제2 노드(A) 및 제3 노드(D) 사이에 접속되어 상기 스토리지 커패시터와 함께 상기 문턱 전압의 증폭 계수를 조절하는 조절 커패시터와; 리셋 라인의 리셋 신호에 응답하여 상기 제1 내지 제4 노드(A, B, C, D)를 초기화 전압으로 초기화시키는 제1 내지 제3 리셋 트랜지스터를 구비한다.

명 세 서

청구범위

청구항 1

발광 소자를 구동하는 유기 발광 다이오드 표시 장치의 전압 보상 화소 회로에 있어서,

고전위 전원 라인과 저전위 전원 라인 사이에 상기 발광 소자와 직렬 접속되고, 제1 노드(B)에 공급된 전압에 응답하여 상기 발광 소자를 구동하는 구동 트랜지스터와;

센스 라인의 센스 신호에 응답하여 기준 전압 라인의 기준 전압을 제2 노드(A)로 공급하는 센스 트랜지스터와;

스캔 라인의 스캔 신호에 응답하여 데이터 라인의 데이터 전압을 제3 노드(D)로 공급하는 스캔 트랜지스터와;

머지 라인의 머지 신호에 응답하여 상기 제1 노드(B)와 제3 노드(D)를 접속시키는 머지 트랜지스터와;

상기 구동 트랜지스터와 상기 발광 소자 사이에 접속된 제4 노드(C)와, 상기 제3 노드(D) 사이에 접속되고, 상기 구동 트랜지스터의 문턱 전압을 증폭하여 축적함과 아울러 상기 데이터 전압을 축적하는 스토리지 커패시터와;

상기 제2 노드(A) 및 제3 노드(D) 사이에 접속되어 상기 스토리지 커패시터와 함께 상기 문턱 전압의 증폭 계수를 조절하는 조절 커패시터와;

리셋 라인의 리셋 신호에 응답하여 상기 제1 내지 제4 노드(A, B, C, D)를 초기화 전압으로 초기화시키는 제1 내지 제3 리셋 트랜지스터를 구비하는 유기 발광 다이오드 표시 장치의 전압 보상 화소 회로.

청구항 2

청구항 1에 있어서,

상기 화소 회로는 초기화 기간, 문턱 전압 검출 기간, 프로그램 기간 및 발광 기간의 순서로 구동되고;

상기 초기화 기간에서, 상기 제1 내지 제2 리셋 트랜지스터와, 상기 머지 트랜지스터가 구동하여 상기 제1 내지 제4 노드(A, B, C, D)가 상기 초기화 전압으로 초기화되고;

상기 문턱 전압 검출 기간에서, 상기 센스 트랜지스터 및 머지 트랜지스터와 상기 구동 트랜지스터가 구동하여, 상기 제1 및 제4 노드(B, C)의 전위가 가변하여 상기 제4 노드(C)에 상기 스토리지 커패시터 및 조절 커패시터와, 상기 제1 노드(B)에 접속된 기생 커패시터를 고려한 증폭 계수를 갖는 상기 구동 트랜지스터의 문턱 전압이 검출되고;

상기 프로그램 기간에서, 상기 스캔 트랜지스터 및 센스 트랜지스터가 구동하여, 상기 스토리지 커패시터가 상기 데이터 전압과 함께 상기 증폭 계수를 갖는 문턱 전압을 축적하고;

상기 발광 기간에서, 상기 머지 트랜지스터 및 구동 트랜지스터가 구동하고, 상기 스토리지 커패시터에 축적된 전압에 따라 상기 구동 트랜지스터가 상기 발광 소자로 공급되는 전류를 제어하는 유기 발광 다이오드 표시 장치의 전압 보상 화소 회로.

청구항 3

청구항 2에 있어서,

상기 초기화 기간에서 상기 리셋 신호에 응답하여, 상기 제1 리셋 트랜지스터는 상기 초기화 전압을 상기 제1 노드(B)로 공급하고, 상기 제2 리셋 트랜지스터는 상기 제1 및 제4 노드(B, C)를 접속시키고, 상기 제3 리셋 트랜지스터는 상기 제2 및 제3 노드(A, D)를 접속시키고, 상기 머지 트랜지스터는 상기 제1 및 제3 노드(B, D)를 접속시키고,

상기 문턱 전압 검출 기간에서, 상기 센스 신호에 응답하여 상기 센스 트랜지스터는 상기 기준 전압을 상기 제2 노드(A)로 공급하고, 상기 머지 신호에 응답하여 상기 머지 트랜지스터는 상기 제3 노드(D)를 상기 제1 노드(B)에 접속시키고;

상기 프로그램 기간에서, 상기 스캔 신호에 응답하여 상기 스캔 트랜지스터는 상기 데이터 전압을 상기 제3 노드(D)로 공급하고, 상기 센스 신호에 응답하여 상기 센스 트랜지스터는 상기 기준 전압을 상기 제2 노드(A)로 공급하고;

상기 발광 기간에서, 상기 머지 신호에 응답하여 상기 머지 트랜지스터가 상기 제1 노드(B) 및 제3 노드(D)를 접속시키는 유기 발광 다이오드 표시 장치의 전압 보상 화소 회로.

청구항 4

청구항 2에 있어서,

상기 제2 노드(A) 및 제4 노드(C) 사이에 접속된 다른 조절 커패시터를 추가로 구비하는 유기 발광 다이오드 표시 장치의 전압 보상 화소 회로.

청구항 5

청구항 2에 있어서,

상기 초기화 기간, 문턱 전압 검출 기간 및 프로그램 기간에서 상기 발광 소자에 네거티브 바이어스가 인가되어 상기 발광 소자는 커패시터 역할을 하는 유기 발광 다이오드 표시 장치의 전압 보상 화소 회로.

청구항 6

청구항 2에 있어서,

상기 스토리지 커패시터 및 조절 커패시터의 커패시턴스 비를 조절하여 상기 문턱 전압의 증폭 계수를 조절하는 유기 발광 다이오드 표시 장치의 전압 보상 화소 회로.

청구항 7

발광 소자를 구동하는 유기 발광 다이오드 표시 장치의 전압 보상 화소 회로에 있어서,

고전위 전원 라인과 저전위 전원 라인 사이에 상기 발광 소자와 직렬 접속되고, 제1 노드(B)에 공급된 전압에 응답하여 상기 발광 소자를 구동하는 구동 트랜지스터와;

스캔 라인의 스캔 신호에 응답하여 데이터 라인의 데이터 전압을 제2 노드(A)로 공급하는 스캔 트랜지스터와;

센스 라인의 센스 신호에 응답하여 상기 제2 노드(A)를 제3 노드(D)와 접속시키는 센스 트랜지스터와;

머지 라인의 머지 신호에 응답하여 상기 제1 노드(B)와 제2 노드(A)를 접속시키는 머지 트랜지스터와;

상기 제2 노드(A)와, 상기 구동 트랜지스터와 상기 발광 소자 사이에 접속된 제4 노드(C) 사이에 접속되고, 상기 머지 트랜지스터를 통해 상기 제1 노드(B)와 접속되어, 상기 구동 트랜지스터의 문턱 전압을 증폭하여 축적함과 아울러 상기 데이터 전압을 축적하는 스토리지 커패시터와;

상기 제3 노드(D)와 고정 전위 라인 사이에 접속되고, 상기 센스 트랜지스터를 통해 상기 제2 노드(A)와 접속되어, 상기 스토리지 커패시터와 함께 상기 문턱 전압의 증폭 계수를 조절하는 조절 커패시터와;

리셋 라인의 리셋 신호에 응답하여 상기 제1 및 제4 노드(B, C)를 초기화 전압으로 초기화시키는 제1 및 제2 리셋 트랜지스터와;

상기 리셋 라인의 리셋 신호에 응답하여 상기 제2 노드(A)를 기준 전압으로 초기화시키는 제3 리셋 트랜지스터를 구비하는 유기 발광 다이오드 표시 장치의 전압 보상 화소 회로.

청구항 8

청구항 7에 있어서,

상기 화소 회로는 제1 및 제2 초기화 기간을 포함하는 초기화 기간과, 문턱 전압 검출 기간과, 프로그램 기간 및 발광 기간의 순서로 구동되고;

상기 제1 초기화 기간에서, 상기 제1 내지 제3 리셋 트랜지스터가 구동하여, 제1 및 제3 노드(A, C)는 상기 초기화 전압으로, 상기 제2 노드(A)는 상기 기준 전압으로 초기화되고;

상기 제2 초기화 기간에서, 상기 제1 내지 제3 리셋 트랜지스터가 구동된 상태에서 상기 센스 트랜지스터가 더 구동하여 상기 제3 노드(D)가 상기 제2 노드(A)에 공급된 기준 전압으로 더 초기화되고;

상기 문턱 전압 검출 기간에서, 상기 센스 트랜지스터 및 머지 트랜지스터가 구동하고, 상기 머지 트랜지스터를 통해 상기 제2 노드(A)로부터 상기 제1 노드(B)에 공급된 상기 기준 전압에 의해 상기 구동 트랜지스터가 구동하여, 상기 제4 노드(C)에 상기 스토리지 커패시터 및 조절 커패시터와, 상기 제1 노드(B)에 접속된 기생 커패시터를 고려한 증폭 계수를 갖는 상기 구동 트랜지스터의 문턱 전압이 검출되고;

상기 프로그램 기간에서, 상기 스캔 트랜지스터가 구동하여, 상기 스토리지 커패시터가 상기 데이터 전압과 함께 상기 증폭 계수를 갖는 문턱 전압을 축적하고;

상기 발광 기간에서, 상기 머지 트랜지스터 및 구동 트랜지스터가 구동하고, 상기 스토리지 커패시터에 축적된 전압에 따라 상기 구동 트랜지스터가 상기 발광 소자로 공급되는 전류를 제어하는 유기 발광 다이오드 표시 장치의 전압 보상 화소 회로.

청구항 9

청구항 8에 있어서,

상기 제1 및 제2 초기화 기간, 문턱 전압 검출 기간 및 프로그램 기간에서 상기 발광 소자에 네거티브 바이어스가 인가되어 상기 발광 소자는 커패시터 역할을 하는 유기 발광 다이오드 표시 장치의 전압 보상 화소 회로.

청구항 10

청구항 8에 있어서,

상기 스토리지 커패시터 및 조절 커패시터의 커패시턴스 비를 조절하여 상기 문턱 전압의 증폭 계수를 조절하는 유기 발광 다이오드 표시 장치의 전압 보상 화소 회로.

청구항 11

다수의 로우 라인 및 다수의 컬럼 라인을 포함하는 화소 매트릭스의 각 화소가 청구항 2 내지 청구항 6과, 청구항 8 내지 청구항 10 중 어느 한 청구항에 기재된 상기 화소 회로를 구비하고;

상기 초기화 기간, 문턱 전압 검출 기간 및 프로그램 기간을 포함하는 라이팅 기간에서 상기 다수의 로우 라인이 순차적으로 구동되고, 상기 발광 기간에서 상기 다수의 로우 라인이 동시에 구동된 다음, 발광 종료 기간에서 상기 다수의 로우 라인의 발광이 동시에 종료하는 유기 발광 다이오드 표시 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 액티브 매트릭스 유기 발광 다이오드(Active Matrix Organic Light Emitting Diode; 이하 AMOLED) 표시 장치에 관한 것으로, 특히 포지티브 및 네거티브 문턱 전압을 증폭하여 검출 및 보상할 수 있는 AMOLED 표시 장치의 전압 보상형 화소 회로에 관한 것이다.

배 경 기 술

[0002] AMOLED 표시 장치는 전자와 정공의 재결합으로 유기 발광층을 발광시키는 자발광 소자로 휘도가 높고 구동 전압이 낮으며 초박막화가 가능하여 차세대 표시 장치로 기대되고 있다.

[0003] AMOLED 표시 장치를 구성하는 다수의 화소들 각각은 애노드 및 캐소드 사이의 유기 발광층으로 구성된 유기 발광 다이오드(Organic Light Emitting Diode; 이하 OLED)와, OLED를 독립적으로 구동하는 화소 회로를 구비한다. 화소 회로는 전압형과 전류형으로 분류할 수 있다. 전압형 화소 회로는 전류형 화소 회로 보다 외부 구동 회로가 간단하고 고속 동작에 적합하여 AMOLED TV용 화소 회로 적용 가능성이 높다.

[0004] 전압형 화소 회로는 주로 스위칭 박막 트랜지스터(Thin Film Transistor; 이하 TFT) 및 커패시터와 구동 TFT를 포함한다. 스위칭 TFT는 스캔 펄스에 응답하여 데이터 신호에 대응하는 전압을 커패시터에 충전하고, 구동 TFT는 커패시터에 충전된 전압의 크기에 따라 OLED로 공급되는 전류의 크기를 제어하여 OLED의 광도를 조절한다.

OLED의 광도는 구동 TFT로부터 공급되는 전류에 비례한다.

[0005] 그러나, 종래의 전압형 화소 회로는 공정 편차 등의 이유로 위치별로 구동 TFT의 문턱 전압(Vth)이 불균일하여 휘도가 불균일해지거나, 시간에 따라 문턱 전압이 가변하여 휘도 감소로 수명이 저하되는 문제점이 있다. 이를 해결하기 위하여, 전압형 화소 회로는 구동 TFT의 문턱 전압을 검출하여 보상하는 방법을 이용하고 있다.

[0006] 예를 들면, 한국특허 제10-0636483호(미국특허 US 7,649,202)에 개시된 종래의 전압 보상형 화소 회로는 구동 TFT의 게이트와 드레인을 접속시켜서 드레인-소스간 전류가 충분이 작게 되는 소스-게이트간 전압을 문턱 전압으로 검출하고, 검출된 문턱 전압만큼 데이터 전압을 보상하여 이용한다. 또한, 종래의 전압 보상형 화소 회로는 상기 문턱 전압을 검출할 때 OLED의 발광을 오프시키기 위하여 구동 TFT와 OLED 사이에 직렬 접속된 발광 제어 TFT를 사용한다. 그러나, 상기 종래의 전압 보상형 화소 회로는 다음과 같은 문제점이 있다.

[0007] 첫째, n형 TFT를 적용한 화소 회로에서 구동 TFT를 다이오드 구조로 접속시켜 문턱 전압을 검출할 때 구동 TFT의 문턱 전압이 네거티브인 경우를 검출할 수 없다. 또한, p형 TFT를 적용한 화소 회로에서는 구동 TFT의 문턱 전압이 포지티브인 경우를 검출할 수 없다. 이는 구동 TFT가 게이트와 드레인이 접속된 다이오드 구조가 되면 게이트-드레인간 전압이 '0V'가 됨으로써 검출 가능한 최소 또는 최대 문턱 전압이 '0V'로 제한되기 때문이다.

[0008] 둘째, 구동 TFT와 배선에 있는 기생 커패시턴스의 영향으로 문턱 전압(Vth)을 정확하게 검출 및 보상할 수 없는 문제점이 있다.

[0009] 셋째, 구동 TFT와 OLED 사이에 직렬 접속된 발광 제어 TFT가, OLED 발광시 항상 선형 영역에서 동작하기 때문에 바이어스 스트레스 영향이 크고 열화 또한 크다는 문제점이 있다. 일반적으로, TFT에서 게이트-소스간 전압(Vgs)에서 문턱 전압(Vth)을 차감한 값이 드레인-소스간 전압(Vds) 보다 작거나 같은 경우, 즉 Vgs-Vth=Vds인 상태를 포화 영역이라고 하고, 게이트-소스간 전압(Vgs)에서 문턱 전압(Vth)을 차감한 값이 드레인-소스간 전압(Vds) 보다 크거나 같은 경우, 즉 Vgs-Vth=Vds인 상태를 선형 영역이라고 하는데, 선형 영역에서는 TFT의 열화가 빠른 것으로 알려져 있다. 그런데, 종래의 전압 보상형 화소 회로에서는 발광 기간 중에 발광 제어 TFT가 선형 영역에서 동작하고 구동 TFT는 포화 영역에서 동작하기 때문에 발광 제어 TFT는 바이어스 스트레스 영향으로 인하여 구동 TFT 보다 빨리 열화되는 문제점이 있다.

[0010] 한편, 발광 제어 TFT의 문제점을 해결하기 위하여 발광 제어 TFT를 생략하는 경우, 발광 기간 이외에도 OLED가 발광함으로써 블랙 휘도가 상승하여 콘트라스트가 낮아지는 문제점이 있다.

선행기술문헌

특허문헌

[0011] (특허문헌 0001) 한국특허 제10-0636483호(미국특허 US 7,649,202)

발명의 내용

해결하려는 과제

[0012] 본 발명은 전술한 종래의 문제점을 해결하기 위하여 안출된 것으로, 본 발명이 해결하려는 과제는 구동 TFT의 극성과 상관없이 포지티브 문턱 전압 뿐만 아니라 네거티브 문턱 전압을 증폭하여 검출 및 보상할 수 있는 AMOLED 표시 장치의 전압 보상 화소 회로를 제공하는 것이다.

[0013] 또한, 본 발명이 해결하려는 다른 과제는 구동 TFT와 OLED 사이에 직렬 접속되는 발광 TFT를 제거하면서도 OLED의 불필요한 발광을 방지할 수 있는 AMOLED 표시 장치의 전압 보상형 화소 회로를 제공하는 것이다.

과제의 해결 수단

[0014] 상기 과제를 해결하기 위하여, 본 발명의 실시 예에 따른 AMOLED 표시 장치의 전압 보형 화소 회로는, 고전위 전원 라인과 저전위 전원 라인 사이에 발광 소자와 직렬 접속되고, 제1 노드(B)에 공급된 전압에 응답하여 발광 소자를 구동하는 구동 트랜지스터와; 센스 라인의 센스 신호에 응답하여 기준 전압 라인의 기준 전압을 제2 노드(A)로 공급하는 센스 트랜지스터와; 스캔 라인의 스캔 신호에 응답하여 데이터 라인의 데이터 전압을 제3 노드(D)로 공급하는 스캔 트랜지스터와; 머지 라인의 머지 신호에 응답하여 제1 노드(B)와 제3 노드(D)를 접속시

키는 머지 트랜지스터와; 구동 트랜지스터와 발광 소자 사이에 접속된 제4 노드(C)와, 제3 노드(D) 사이에 접속되고, 구동 트랜지스터의 문턱 전압을 증폭하여 축적함과 아울러 데이터 전압을 축적하는 스토리지 커패시터와; 제2 노드(A) 및 제3 노드(D) 사이에 접속되어 스토리지 커패시터와 함께 문턱 전압의 증폭 계수를 조절하는 조절 커패시터와; 리셋 라인의 리셋 신호에 응답하여 제1 내지 제4 노드(A, B, C, D)를 초기화 전압으로 초기화시키는 제1 내지 제3 리셋 트랜지스터를 구비한다.

[0015] 화소 회로는 초기화 기간, 문턱 전압 검출 기간, 프로그램 기간 및 발광 기간의 순서로 구동된다. 초기화 기간에서, 제1 내지 제2 리셋 트랜지스터와, 머지 트랜지스터가 구동하여 제1 내지 제4 노드(A, B, C, D)가 초기화 전압으로 초기화된다. 문턱 전압 검출 기간에서, 센스 트랜지스터 및 머지 트랜지스터와 구동 트랜지스터가 구동하여, 제1 및 제4 노드(B, C)의 전위가 가변하여 제4 노드(C)에 스토리지 커패시터 및 조절 커패시터와, 제1 노드(B)에 접속된 기생 커패시터를 고려한 증폭 계수를 갖는 구동 트랜지스터의 문턱 전압이 검출된다. 프로그램 기간에서, 스캔 트랜지스터 및 센스 트랜지스터가 구동하여, 스토리지 커패시터가 데이터 전압과 함께 증폭 계수를 갖는 문턱 전압을 축적한다. 발광 기간에서, 머지 트랜지스터 및 구동 트랜지스터가 구동하고, 스토리지 커패시터에 축적된 전압에 따라 구동 트랜지스터가 발광 소자로 공급되는 전류를 제어한다.

[0016] 초기화 기간에서 리셋 신호에 응답하여, 제1 리셋 트랜지스터는 초기화 전압을 제1 노드(B)로 공급하고, 제2 리셋 트랜지스터는 제1 및 제4 노드(B, C)를 접속시키고, 제3 리셋 트랜지스터는 제2 및 제3 노드(A, D)를 접속시키고, 머지 트랜지스터는 제1 및 제3 노드(B, D)를 접속시킨다. 문턱 전압 검출 기간에서, 센스 신호에 응답하여 센스 트랜지스터는 기준 전압을 제2 노드(A)로 공급하고, 머지 신호에 응답하여 머지 트랜지스터는 제3 노드(D)를 제1 노드(B)에 접속시킨다. 프로그램 기간에서, 스캔 신호에 응답하여 스캔 트랜지스터는 데이터 전압을 제3 노드(D)로 공급하고, 센스 신호에 응답하여 센스 트랜지스터는 기준 전압을 상기 제2 노드(A)로 공급한다. 발광 기간에서, 머지 신호에 응답하여 머지 트랜지스터가 제1 노드(B) 및 제3 노드(D)를 접속시킨다.

[0017] 본 발명의 다른 실시예에 따른 화소 회로는 제2 노드(A) 및 제4 노드(C) 사이에 접속된 다른 조절 커패시터를 추가로 구비한다.

[0018] 초기화 기간, 문턱 전압 검출 기간 및 프로그램 기간에서 발광 소자에 네거티브 바이어스가 인가되어 발광 소자는 커패시터 역할을 한다.

[0019] 본 발명의 다른 실시예에 따른 AMOLED 표시 장치의 전압 보상 화소 회로는, 고전위 전원 라인과 저전위 전원 라인 사이에 발광 소자와 직렬 접속되고, 제1 노드(B)에 공급된 전압에 응답하여 발광 소자를 구동하는 구동 트랜지스터와; 스캔 라인의 스캔 신호에 응답하여 데이터 라인의 데이터 전압을 제2 노드(A)로 공급하는 스캔 트랜지스터와; 센스 라인의 센스 신호에 응답하여 제2 노드(A)를 제3 노드(D)와 접속시키는 센스 트랜지스터와; 머지 라인의 머지 신호에 응답하여 상기 제1 노드(B)와 제2 노드(A)를 접속시키는 머지 트랜지스터와; 제2 노드(A)와, 구동 트랜지스터와 발광 소자 사이에 접속된 제4 노드(C) 사이에 접속되고, 머지 트랜지스터를 통해 제1 노드(B)와 접속되어, 구동 트랜지스터의 문턱 전압을 증폭하여 축적함과 아울러 데이터 전압을 축적하는 스토리지 커패시터와; 제3 노드(D)와 고정 전위 라인 사이에 접속되고, 센스 트랜지스터를 통해 제2 노드(A)와 접속되어, 스토리지 커패시터와 함께 문턱 전압의 증폭 계수를 조절하는 조절 커패시터와; 리셋 라인의 리셋 신호에 응답하여 제1 및 제4 노드(B, C)를 초기화 전압으로 초기화시키는 제1 및 제2 리셋 트랜지스터와; 리셋 라인의 리셋 신호에 응답하여 제2 노드(A)를 기준 전압으로 초기화시키는 제3 리셋 트랜지스터를 구비한다.

[0020] 화소 회로는 제1 및 제2 초기화 기간, 문턱 전압 검출 기간, 프로그램 기간 및 발광 기간의 순서로 구동된다. 제1 초기화 기간에서, 제1 내지 제3 리셋 트랜지스터가 구동하여 제1 및 제3 노드(A, C)는 초기화 전압으로, 제2 노드(A)는 기준 전압으로 초기화된다. 제2 초기화 기간에서, 제1 내지 제3 리셋 트랜지스터가 구동된 상태에서 센스 트랜지스터가 더 구동하여 제3 노드(D)가 제2 노드(A)에 공급된 기준 전압으로 더 초기화된다. 문턱 전압 검출 기간에서, 센스 트랜지스터 및 머지 트랜지스터가 구동하고, 머지 트랜지스터를 통해 제2 노드(A)로부터 제1 노드(B)에 공급된 기준 전압에 의해 구동 트랜지스터가 구동하여 제4 노드(C)에 스토리지 커패시터 및 조절 커패시터와, 제1 노드(B)에 접속된 기생 커패시터를 고려한 증폭 계수를 갖는 구동 트랜지스터의 문턱 전압이 검출된다. 프로그램 기간에서, 스캔 트랜지스터가 구동하여, 스토리지 커패시터가 데이터 전압과 함께 상기 증폭 계수를 갖는 문턱 전압을 축적하고; 발광 기간에서, 머지 트랜지스터 및 구동 트랜지스터가 구동하고, 스토리지 커패시터에 축적된 전압에 따라 구동 트랜지스터가 발광 소자로 공급되는 전류를 제어한다.

[0021] 제1 및 제2 초기화 기간, 문턱 전압 검출 기간 및 프로그램 기간에서 발광 소자에 네거티브 바이어스가 인가되어 발광 소자는 커패시터 역할을 한다.

[0022] 스토리지 커패시터 및 조절 커패시터의 커패시턴스 비를 조절하여 문턱 전압의 증폭 계수를 조절한다.

[0023] 본 발명의 실시예에 따른 AMOLED 표시 장치는 다수의 로우 라인 및 다수의 컬럼 라인을 포함하는 화소 매트릭스의 각 화소가 화소 회로를 구비하고; 초기화 기간, 문턱 전압 검출 기간 및 프로그램 기간을 포함하는 라이팅 기간에서 다수의 로우 라인이 순차적으로 구동되고, 발광 기간에서 다수의 로우 라인이 동시에 구동된 다음, 발광 종료 기간에서 다수의 로우 라인의 발광이 동시에 종료된다.

발명의 효과

[0024] 이와 같이, 본 발명에 따른 AMOLED 표시 장치의 전압 보상 화소 회로는 구동 TFT의 문턱 전압을 검출할 때 그 구동 TFT의 게이트와 드레인을 전기적으로 접속시키지 않음으로써, n형 TFT와 p형 TFT와 상관없이 포지티브뿐만 아니라 네거티브 문턱 전압(Vth)을 검출할 수 있으므로 광범위한 전압 영역에서 문턱 전압(Vth)을 정확하게 검출할 수 있다.

[0025] 또한, 본 발명에 따른 AMOLED 표시 장치의 전압 보상 화소 회로는 구동 TFT의 문턱 전압을 검출할 때 그 구동 TFT의 게이트에 고정 전위를 인가하지 않고, 그 구동 TFT의 게이트와 소스 사이에 접속된 스토리지 커패시터에 의해 검출한 문턱 전압을 따라 상기 게이트 전위를 가변시킴으로써, 문턱 전압을 증폭하여 검출 및 보상할 수 있다.

[0026] 또한, 본 발명에 따른 AMOLED 표시 장치의 전압 보상 화소 회로는 고전위 전원 라인과 저전위 전원 라인 사이에 구동 TFT와 OLED만 직렬 접속된 구조를 이용하면서도, 초기화 기간, 문턱 전압 검출 기간 및 프로그램 기간에서 OLED에 네거티브 바이어스를 인가하여 OLED를 커패시터(Coled)로 이용하고, 발광 기간에서만 OLED를 발광시킴으로써 불필요한 발광을 방지하여 컨트라스트를 높일 수 있다.

[0027] 또한, 본 발명에 따른 AMOLED 표시 장치의 전압 보상형 화소 회로는 발광 기간에서 구동 TFT가 항상 포화 영역에서 동작하므로 바이어스 스트레스로 인한 TFT 열화가 작은 장점이 있다.

도면의 간단한 설명

[0028] 도 1 및 도 2는 본 발명과 관련된 선원 발명의 AMOLED 표시 장치의 화소 회로에서 필요한 최소한의 TFT 및 커패시터의 구동 과정을 순차적으로 나타내는 등가 회로도이다.

도 3 내지 도 6은 본 발명에 따른 AMOLED 표시 장치의 화소 회로에서 필요한 최소한의 TFT 및 커패시터를 이용하여 문턱 전압을 검출하는 과정을 순차적으로 나타내는 등가 회로도이다.

도 7 내지 도 11은 본 발명의 제1 실시예에 따른 AMOLED 표시 장치의 전압 보상 화소 회로 및 그 동작 과정을 순차적으로 나타내는 등가 회로도이다.

도 12는 도 7 내지 도 11에 나타낸 화소 회로의 구동 파형도이다.

도 13 내지 도 17은 본 발명의 제2 실시예에 따른 AMOLED 표시 장치의 전압 보상 화소 회로 및 그 동작 과정을 순차적으로 나타내는 등가 회로도이다.

도 18 내지 도 23은 본 발명의 제3 실시예에 따른 AMOLED 표시 장치의 전압 보상 화소 회로 및 그 동작 과정을 순차적으로 등가 회로도이다.

도 24는 도 18 내지 도 23에 나타낸 화소 회로의 구동 파형도이다.

도 25는 도 18 내지 도 23에 나타낸 화소 회로의 다른 구동 파형도이다.

도 26은 도 21에 나타낸 문턱 전압 검출 기간에서 문턱 전압에 따른 노드 A, B, C의 전위를 나타낸 그래프이다.

도 27a 및 도 27b는 종래와 본 발명의 데이터 전압에 대한 OLED 전류를 비교하여 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0029] 본 발명의 실시예에 대한 설명에 앞서서, 동일 출원인에 의해 지난 2010년 5월 18일자로 선출원된 특허 출원 10-2010-0046610호(이하, 선원 발명)의 AMOLED의 전압 보상형 화소 회로에 대하여 간단히 살펴보기로 한다.

[0030] 선원 발명의 화소 회로는 프로그램 기간에서 구동 TFT를 다이오드 구조로 접속시키기 않고도 OLED를 커패시터(Coled)로 이용하여 문턱 전압(Vth)을 검출함으로써, n형 TFT와 p형 TFT와 상관없이 포지티브 뿐만 아니라 네거

티브 문턱 전압(Vth)을 검출할 수 있다. 또한, 선원 발명의 화소 회로는 고전위 및 저전위 전원 라인 사이에 구동 TFT와 OLED만 직렬 접속된 구조를 이용하면서도, 초기화 기간 및 프로그램 기간에서 OLED에 네거티브 바이어스를 인가하여 OLED를 커패시터(Coled)로 이용하고, 발광 기간에서만 OLED를 발광시킬 수 있고, 발광 기간에서 구동 TFT가 항상 포화 영역에서 동작하므로 바이어스 스트레스로 인한 TFT 열화가 작은 장점이 있다.

[0031] 그러나, 선원 발명의 화소 회로는 문턱 전압(Vth)을 정확히 검출하더라도 TFT 및 배선에 있는 기생 커패시터로 인하여 문턱 전압(Vth)을 완전하게 보상하기 어려운 단점이 있다. 이는 구동 TFT의 문턱 전압(Vth)이 스토리지 커패시터(Cst)에 축적되지만 TFT의 기생 커패시터(Cpara)에는 축적되지 않아서, 구동 TFT의 게이트에 인가되는 문턱 전압(Vth)의 성분은 "Cst×Vth/(Cst+Cpara)"이 되고, 여기서 "Cst/(Cst+Cpara)"는 1보다 작기 때문이다.

[0032] 도 1 및 도 2는 선원 발명의 화소 회로에서 문턱 전압 검출 단계(도 1) 및 OLED의 발광 단계(도 2)에 필요한 최소한의 TFT 및 커패시터를 나타내는 등가 회로도이다.

[0033] 도 1 및 도 2를 참조하면, 선원 발명의 화소 회로는 OLED를 발광시키는 구동 TFT(Td)와, 구동 TFT(Td)의 게이트에 기준 전압(Vref)를 공급하는 센스 TFT(Tsense)(선원 발명에서는 기준 TFT(Tref)로 정의함)와, 구동 TFT의 게이트 및 소스 사이에 접속되어 문턱 전압(Vth)을 축적하는 스토리지 커패시터(Cst)를 포함한다. 구동 TFT의 게이트 및 소스 사이와, 게이트 및 드레인 사이에는 제1 및 제2 기생 커패시터(CgsTd, CgdTd)가 각각 존재하고, 기준 TFT의 게이트 및 드레인 사이에 제3 기생 커패시터(CgdTref)가 존재한다.

[0034] 도 1에 나타낸 프로그램 기간에서, 턴-온된 센스 TFT(Tsense)를 통해 게이트에 공급된 기준 전압(Vref)에 의해, 구동 TFT(Td)는 소스-드레인 전류가 충분히 작게 될 때까지 턴-온되고 OLED가 구동 TFT(Td)를 통해 전하를 축적한다. 이에 따라, 구동 TFT(Td)의 소스의 전위가 기준 전압(Vref)과 문턱 전압(Vth)과의 차전압(Vref-Vth)이 되면서 스토리지 커패시터(Cst)는 문턱 전압(Vth)을 축적하고, 제1 기생 커패시터(Cgs_Td)도 문턱 전압(Vth)을 축적한다. 제2 기생 커패시터(Cgd_Td)는 기준 전압(Vref)과 고전위 전원(Vdd)과의 차전압(Vref-Vdd)을 축적하고, 제3 기생 커패시터(Cgd_Tref)는 기준 전압(Vref)과 게이트 하이 전압(Vgh)과의 차전압(Vref-Vgh)을 축적한다. 이 프로그램 기간에서, 미도시된 스캔 TFT(Tscan)를 통해 데이터 전압(Vdata)이 구동 TFT(Td)의 게이트에 공급되므로, 스토리지 커패시터(Cst)는 구동 TFT(Td)의 문턱 전압(Vth)과 함께 데이터 전압(Vdata)을 축적한다.

[0035] 도 2에 나타낸 발광 기간에서, 센스 TFT(Tsense)가 턴-오프되고 구동 TFT(Td)가 커패시터(Cst)에 축적된 전압에 의해 구동되어 OLED를 발광시킨다. 이때, 구동 TFT(Td)의 소스 전위를 "Voled"라고 하면, 게이트 전위(Vg)는 다음 수학식 1과 같다.

수학식 1

[0036]
$$Vg = a \times Vth + b \times Vdata + c \times Voled + d$$

[0037] 상기 수학식 1에서 a, b, c, d 성분은 TFT와 배선에 있는 기생 커패시터의 영향을 받는 상수로, 이상적인 화소 회로에서는 상기 a, b, c 성분이 모두 "1"이지만, 기생 커패시터로 인하여 실제로는 1 미만의 값을 갖는다. 상기 수학식 1에서 b, c, d는 본 발명과는 상관이 없으므로 생략하기로 한다. 도 2에 나타낸 스토리지 커패시터(Cst)와, 제1 내지 제3 기생 커패시터(CgsTd, CgdTd, CgdTref)만을 고려하는 경우, 문턱 전압(Vth)이 스토리지 커패시터(Cst) 및 제1 기생 커패시터(CgsTd)에 축적되므로, 상기 a 성분은 다음 수학식 2와 같다.

수학식 2

[0038]
$$a = \frac{Cst + CgsTd}{Cst + CgsTd + CgdTd + CgdTref} = 1 - \frac{CgdTd + CgdTref}{Cst + CgsTd + CgdTd + CgdTref}$$

[0039] 상기 수학식 2와 같은 a성분의 값은 항상 1 미만의 값을 갖는다. OLED 발광시 구동 TFT(Td)를 통해 OLED로 공급

되는 전류(Ids)는 다음 수학식 3과 같다

수학식 3

[0040]

$$I_{ds} = \frac{\beta}{2} \times (Vgs - Vth)^2$$
$$= \frac{\beta}{2} \times [(a \times Vth + Vdata + Voled) - Voled - Vth]^2$$
$$= \frac{\beta}{2} \times [(a-1)Vth + Vdata]^2$$

[0041] 여기서, β는 구동 TFT(Td)의 구조(채널 폭 및 길이)와 물리 특성으로 결정되는 비례 계수이고, 상기 수학식 1과 같은 게이트 전위(Vg)에서 본 발명과 상관이 없는 b, c, b 성분은 생략하였다. 상기 수학식 3을 참조하면, 선원 발명의 화소 회로에서는 구동 TFT(Td)의 출력 전류(Ids)를 결정하는 전압에서 1보다 작은 a성분으로 인하여 문턱 전압(Vth)의 항목이 상쇄되지 않음을 알 수 있다. 다시 말하여, 선원 발명의 화소 회로에서는 문턱 전압(Vth)을 정확히 검출하더라도 기생 커패시터의 영향으로 그 문턱 전압(Vth)을 완전하게 보상할 수 없음을 알 수 있다. 선원 발명의 화소 회로에서는 문턱 전압(Vth)이 구동 TFT(Td)의 게이트가 아닌 소스에 축적되고 구동 TFT(Td)의 게이트 전위를 고정하여 문턱 전압(Vth)을 검출하므로 가변 커패시터로 그 문턱 전압(Vth)을 증폭시키더라도 게이트 전위를 변화시킬 수 없으므로, 상기 수학식 3에서 게이트 전위(Vg)의 a성분을 "1"로 조절할 수 없는 문제점이 있다.

[0042] 이러한 단점을 해결하기 위하여, 본 발명에서는 구동 TFT(Td)의 게이트에 고정 전위를 인가하지 않고 스토리지 커패시터(Cst)로 게이트 전위를 유지시키고, 조절 커패시터를 추가로 이용하여 구동 TFT(Td)의 문턱 전압(Vth)을 증폭시켜 검출 및 보상한다. 이하, 본 발명의 바람직한 실시예들을 첨부 도면을 참조하여 상세히 설명하기로 한다.

[0043] 도 3 내지 도 6은 본 발명에 따른 AMOLED 표시 장치의 전압 보상 화소 회로에서 필요한 최소한의 TFT 및 커패시터를 이용하여 구동 TFT의 문턱 전압(Vth)을 검출하는 과정을 순차적으로 나타내는 등가 회로도이다.

[0044] 도 3 내지 도 6에 나타낸 화소 회로는 도 2에 나타낸 선원 발명의 화소 회로와 대비하여, 구동 TFT(Td)의 게이트와 고정 전위 라인 사이에 접속된 조절 커패시터(Cadj)를 추가로 구비한다. 다시 말하여, 도 3 내지 도 6에 나타낸 본 발명의 화소 회로는 OLED를 발광시키는 구동 TFT(Td)와, 구동 TFT(Td)의 게이트에 기준 전압(Vref)를 공급하는 센스 TFT(Tsense)와, 구동 TFT의 게이트 및 소스 사이에 접속된 스토리지 커패시터(Cst)와, 구동 TFT(Td)의 게이트와 고정 전위 라인 사이에 접속된 조절 커패시터(Cadj)를 포함한다. 구동 TFT의 게이트 및 소스 사이와, 게이트 및 드레인 사이에는 제1 및 제2 기생 커패시터(CgsTd, CgdTd)가 각각 존재하고, 기준 TFT의 게이트 및 드레인 사이에 제3 기생 커패시터(CgdTref)가 존재한다. 도 3 내지 도 6에서 조절 커패시터(Cadj)와 접속된 고정 전위 라인으로는 고전위 전원(Vdd) 라인 이용될 수 있으나, 이것으로 한정하지 않는다.

[0045] 도 3은 문턱 전압 검출을 준비하는 단계를, 도 4는 문턱 전압을 검출 중인 단계를, 도 5는 문턱 전압 검출을 완료한 단계를, 도 6은 문턱 전압의 검출값을 증폭하는 단계를 나타낸다. 도 3의 문턱 전압 검출 준비 단계는 선원 발명과 동일하지만, 도 4의 문턱 전압 검출 단계부터 도 6의 문턱 전압 증폭 단계까지는 선원 발명과 다르다.

[0046] 도 3을 참조하면, 처음의 초기화 기간(미도시)에서 별도의 리셋 TFT(미도시)를 통해 구동 TFT(Td)의 게이트와 소스가 초기화 전압(Vini)으로 초기화된다. 이어서, 센스 TFT(Tsense)를 턴-온하여 구동 TFT(Td)의 게이트로 기준 전압(Vref)을 인가함으로써 문턱 전압(Vth) 검출을 준비한다. 기준 전압(Vref)는 0V 전후이며 초기화 전압(Vini)은 그 기준 전압(Vref) 보다 충분히 낮게 설정된다.

[0047] 도 4를 참조하면, 센스 TFT(Tsense)가 턴-오프되어 구동 TFT(Td)의 게이트로는 전위가 인가되지 않고 그 게이트 전위는 스토리지 커패시터(Cst)에 의해 유지된다. 이 상태에서 턴-온된 구동 TFT(Td)의 드레인에서 소스로 전류가 흘러서 소스 전위가 초기화 전압(Vini)으로부터 상승하기 시작하며, 이를 따라 게이트 전위도 상승한다. 구동 TFT(Td)의 소스 전위가 "ΔV" 만큼 상승하면, 스토리지 커패시터(Cst) 및 제1 기생 커패시터(CgsTd)에 의해

구동 TFT(Td)의 게이트 전위는 "eΔV" 만큼 상승한다. 여기서, e는 구동 TFT(Td)의 게이트와 접속된 모든 커패시터(Cst, Cadj, CgsTd, CgdTd, CgdTref)에 의해 결정되는 비례 계수로, 도 4의 화소 회로에서는 다음 수학식 4와 같이 결정된다.

수학식 4

[0048]
$$e=\frac{Cst+CgsTd}{Cst+CgsTd+Cadj+CgdTd+CgdTref}$$

[0049] 이에 따라, 도 4에서 스토리지 커패시터(Cst) 및 제1 기생 커패시터(CgsTd)에 축적되는 전압은 "Vref-Vini-(1-e)×ΔV"가 된다.

[0050] 그리고, 도 5와 같이 스토리지 커패시터(Cst) 및 제1 기생 커패시터(CgsTd)에 축적되는 전압(Vref-Vini-(1-e)×ΔV)이 구동 TFT(Td)의 문턱 전압(Vth)에 도달하면 구동 TFT(Td)가 턴-오프되고 문턱 전압(Vth) 검출이 완료된다. 이때, 스토리지 커패시터(Cst) 및 제1 기생 커패시터(CgsTd)에 축적되는 전압(Vref-Vini-(1-e)×ΔV)이 문턱 전압(Vth)와 같은 경우 ΔV는 다음 수학식 5와 같다.

수학식 5

[0051]
$$Vref-Vini-(1-e)\Delta V=Vth$$
$$\Delta V=\frac{(Vref-Vth-Vini)}{(1-e)}$$

[0052] 그리고, 상기 수학식 5의 ΔV를 소스 전위(Vs=Vini+ΔV)에 대입하면 다음 수학식 6과 같고, 아래 수학식 6에서 k는 다음 수학식 7과 같다.

수학식 6

[0053]
$$Vs=Vini+\Delta V$$
$$Vs=(1+k)\times(Vref-Vth)-k\times Vini$$

수학식 7

[0054]
$$k=\frac{Cst+CgsTd}{Cadj+CgdTd+CgdTref}$$

[0055] 상기 수학식 6에서 "Vref-Vth"의 계수인 "1+k"가 증폭 계수로 분명히 1보다 크므로, 문턱 전압(Vth)이 증폭됨을 알 수 있다. 상기 증폭 계수(1+k)는 스토리지 커패시터(Cst) 및 조절 커패시터(Cadj)의 커패시턴스를 조절함으로써 최적의 증폭 계수로 결정될 수 있다. 도 5에서 증폭된 문턱 전압(Vth)의 검출값은 스토리지 커패시터(Cst)가 아니라 OLED 커패시터(Coled)에 축적된다.

[0056] 도 6을 참조하면, 센스 TFT(Tsense)를 턴-온하여 구동 TFT(Td)의 게이트로 일정 전위(Vref)를 인가하여 증폭된 문턱 전압(Vth)의 검출값을 스토리지 커패시터(Cst)로부터 검출할 수 있다. 다시 말하여, 도 6에서 턴-온된 센스 TFT(Tsense)를 통해 기준 전압(Vref)이 구동 TFT(Td)의 게이트에 인가되면, 스토리지 커패시터(Cst) 및 제1

기생 커패시터(CgsTd)에 축적되는 전압(Vgs)은 다음 수학식 8과 같고, 아래 수학식 8에서 k는 전술한 수학식 7과 같다.

수학식 8

[0057] $$Vgs=(1+k)Vth+k(Vini-Vref)$$

[0058] 이때, OLED 커패시터(Coled)의 커패시턴스가 스토리지 커패시터(Cst)의 커패시턴스 보다 많이 크기 때문에(Coled>>Cst) 상기 수학식 6과 같은 구동 TFT(Td)의 소스 전위는 거의 변화되지 않는다. 상기 수학식 8에서 문턱 전압(Vth)의 계수인 "1+k"가 증폭 계수로 분명히 1보다 크므로, 문턱 전압(Vth)이 1 보다 크게 증폭됨을 알 수 있다. 상기 증폭 계수(1+k)는 스토리지 커패시터(Cst) 및 조절 커패시터(Cadj)의 커패시턴스를 조절함으로써 최적의 증폭 계수로 결정될 수 있다.

[0059] 도 3 내지 도 6에서 기준 전압(Vref)를 "-3V"로 설정하고, 초기화 전압(Vini)을 "0V"로 설정하면 상기 문턱 전압(Vth)가 전혀 검출되지 않는다. 이를 이용하여, 화소 회로의 문턱 전압(Vth) 검출 성능을 간단하게 확인할 수 있다.

[0060] 도 3 내지 도 6에서 n형 TFT 대신 p형 TFT를 적용할 수 있으며, 이 경우 전술한 전위의 부호를 반전하고, OLED 방향을 반전하면 같은 동작을 얻을 수 있다.

[0061] 도 7 내지 도 11은 본 발명의 제1 실시예에 따른 AMOLED 표시 장치의 화소 회로의 동작 과정을 순차적으로 나타낸 등가 회로도이고, 도 12는 도 7 내지 도 11에 나타낸 화소 회로의 구동 파형도이다.

[0062] 도 7 내지 도 11에 나타낸 화소 회로는 도 12에 나타낸 바와 같이 초기화 기간, 문턱 전압 검출 기간, 프로그램 기간, 발광 기간으로 순차 구동된다. 다시 말하여, 도 7은 도 12에 나타낸 초기화 기간에서 화소 회로의 동작 상태를, 도 8 및 도 9는 문턱 전압 검출 기간에서 화소 회로의 동작 상태를, 도 10은 프로그램 기간에서 화소 회로의 동작 상태를, 도 11은 발광 기간에서 화소 회로의 동작 상태를 나타낸다.

[0063] 도 7 내지 도 11에 나타낸 화소 회로에서, OLED는 고전위 전원(Vdd) 라인과, 저전위 전원(Vss) 라인 사이에 구동 TFT(Td)와 직렬로 접속된다. OLED는 구동 TFT(Td)와 접속된 애노드와, 저전위 전원(Vss) 라인과 접속된 캐소드와, 애노드 및 캐소드 사이의 발광층을 구비한다. 발광층은 캐소드와 애노드 사이에 순차 적층된 전자 주입층, 전자 수송층, 유기 발광층, 정공 수송층, 정공 주입층을 구비한다. OLED는 애노드와 캐소드 사이에 포지티브 바이어스가 인가되면 캐소드로부터의 전자가 전자 주입층 및 전자 수송층을 경유하여 유기 발광층으로 공급되고, 애노드로부터의 정공이 정공 주입층 및 정공 수송층을 경유하여 유기 발광층으로 공급된다. 이에 따라, 유기 발광층에서는 공급된 전자 및 정공의 재결합으로 형광 또는 인광 물질을 발광시킴으로써 전류에 비례하는 광을 발생한다. OLED는 발광 기간에서만 포지티브 바이어스가 인가되어 발광하고, 나머지 기간에서는 네거티브 바이어스가 인가되어 전하를 축적하는 커패시터(Coled) 역할을 한다.

[0064] 도 7 내지 도 11에 나타낸 화소 회로는 1개의 구동 TFT(Td)와, 3개의 리셋 TFT(Tres1, Tres2, Tres3)와, 1개의 스캔 TFT(Tscan)와, 1개의 센스 TFT(Tsense)와, 1개의 머지 TFT(Tm)를 포함하는 7개의 TFT와, 1개의 스토리지 커패시터(Cs) 및 2개의 조절 커패시터(Cadj, Cth)를 구비한다. 또한, 화소 회로는 n번째(여기서, n은 양의 정수) 스캔 신호(Scan(n))를 공급하는 n번째 스캔 라인(30n), n번째 센스 신호(Sence(n))를 공급하는 n번째 센스 라인(33n), n번째 머지 신호(Merge Signal)(Merge(n))를 공급하는 n번째 머지 라인(34n), n번째 리셋 신호(Reset(n))를 공급하는 n번째 리셋 라인(36n)을 포함하는 4개의 제어 라인과, 데이터 전압(Vdata)를 공급하는 데이터 라인(32n)을 구비한다. 또한, 화소 회로는 고전위 전원(Vdd)을 공급하는 고전위 전원 라인(40), 고전위 전원(Vdd) 보다 낮은 저전위 전원(Vss)을 공급하는 저전위 전원 라인(42), 고전위 전원(Vdd) 보다 낮고 저전위 전원(Vss) 보다 높은 기준 전압(Vref)을 공급하는 기준 전압 라인(44), 초기화 전압(Vini)을 공급하는 초기화 전압 라인(38)을 포함하는 4개의 고정 전위 라인을 구비한다. 초기화 전압(Vini)은 저전위 전원(Vss) 보다 낮은 전압, 예를 들면 게이트 로우 전압(Vgl)이 이용될 수 있다. 도 12와 같이 초기화 기간과, 문턱 전압 검출 및 프로그램 기간이 각각 3 수평 동기 기간(3H)으로 설정되는 경우 n번째 센스 라인(33n)은 n+3번째 리셋 라인으로 대체될 수 있다.

[0065] 제1 리셋 TFT(Tres1)는 n번째 리셋 라인(36n)에 게이트 전극이 접속되고, 초기화 전압 라인(38)에 제1 전극이

접속되며, 구동 TFT(Td)의 게이트와 접속된 노드 B에 제2 전극이 접속된다. 제2 리셋 TFT(Tres2)는 n번째 리셋 라인(36n)에 게이트 전극이 접속되고, 구동 TFT(Td)의 소스 및 OLED의 애노드가 접속된 노드 C에 제1 전극이 접속되며, 상기 노드 B에 제2 전극이 접속된다. 제3 리셋 TFT(Tres3)는 n번째 리셋 라인(36n)에 게이트 전극이 접속되고, 노드 A에 제1 전극이 접속되며, 노드 D에 제2 전극이 접속된다. 제1 전극과 제2 전극은 전류 방향에 따라서 소스 전극과 드레인 전극이 된다. 제1 내지 제2 리셋 TFT(Tres1, Tres2, Tres3)는 n번째 리셋 라인(36n)의 리셋 신호(Reset(n))에 응답하여 초기화 기간에서 상기 노드 A, B, C, D를 초기화 전압(Vini)으로 초기화시킨다.

[0066] 센스 TFT(Tsense)는 n번째 센스 라인(33n)에 게이트 전극이 접속되고, 기준 전압 라인(44)에 제1 전극이 접속되며, 노드 A에 제2 전극이 접속된다. 제1 전극과 제2 전극은 전류 방향에 따라서 소스 전극과 드레인 전극이 된다. 센스 TFT(Tsense)는 n번째 센스 라인(33n)으로부터의 센스 신호(Sense(n))에 응답하여 문턱 전압 검출 기간 및 프로그램 기간에서 노드 A에 기준 전압(Vref)을 공급한다.

[0067] 스캔 TFT(Tscan)는 n번째 스캔 라인(30n)에 게이트 전극이 접속되고, 데이터 라인(32)에 제1 전극이 접속되며, 노드 D에 제2 전극이 접속된다. 제1 전극과 제2 전극은 전류 방향에 따라서 소스 전극과 드레인 전극이 된다. 스캔 TFT(Tscan)는 n번째 스캔 라인(30n)으로부터의 스캔 신호(Scan(n))에 응답하여 프로그램 기간에서 노드 D에 데이터 전압(Vdata)을 공급한다.

[0068] 머지 TFT(Tm)는 n번째 머지 라인(34n)에 게이트 전극이 접속되고, 상기 노드 D에 제1 전극이 접속되며, 상기 노드 B에 제2 전극이 접속된다. 제1 전극과 제2 전극은 전류 방향에 따라서 소스 전극과 드레인 전극이 된다. 머지 TFT(Tm)는 n번째 머지 라인(34n)으로부터의 머지 신호(Merge(n))에 응답하여 프로그램 기간에서만 노드 D와 노드 B를 전기적으로 분리시키고, 나머지 기간에서는 노드 D와 노드 B를 전기적으로 접속시킨다.

[0069] 구동 TFT(Td)는 상기 노드 B에 게이트 전극이 접속되고, 상기 노드 C에 제1 전극이 접속되며, 고전위 전원 라인(40)에 제2 전극이 접속된다. 제1 전극과 제2 전극은 전류 방향에 따라서 소스 전극과 드레인 전극이 된다. 구동 TFT(Td)는 노드 B, 즉 게이트 전위에 따라 고전위 전원 라인(40)으로부터 OLED로 공급되는 전류를 제어하여 OLED를 구동한다.

[0070] 스토리지 커패시터(Cst)는 노드 C 및 D 사이에 접속되고, 제1 조절 커패시터(Cadj)는 노드 A 및 D 사이에 접속되며, 제2 조절 커패시터(Cth)는 노드 A 및 C 사이에 접속된다. 이러한 3개의 커패시터(Cst, Cadj, Cth)는 구동 TFT(Td)의 문턱 전압(Vth)을 증폭하여 검출 및 보상하기 위하여 이용된다.

[0071] 도 7의 초기화 기간은 제1 내지 제3 리셋 TFT(Tres1, Tres2, Tres3) 및 머지 TFT(Tm)가 턴-온되어 노드 A, B, C, D 각각이 초기화 전압(Vini)으로 초기화되는 기간으로, 예를 들어 도 12와 같이 3H 기간으로 설정될 수 있다. 도 8 및 9의 문턱 전압(Vth) 검출 기간은 머지 TFT(Tm), 센스 TFT(Tsense), 구동 TFT(Td)가 턴-온되어 스토리지 커패시터(Cst)가 구동 TFT(Td)의 문턱 전압(Vth)을 검출하는 기간으로, 예를 들어 도 12와 같이 2H 기간으로 설정될 수 있다. 도 10의 프로그램 기간은 센스 TFT(Tsense), 스캔 TFT(Tscan)가 턴-온되어 구동 TFT(Td)의 문턱 전압(Vth)의 검출값을 증폭 및 보상함과 아울러 스토리지 커패시터(Cst)가 문턱 전압(Vth)이 보상된 데이터 전압(Vdata)을 저장하는 기간으로, 예를 들어 도 12와 같이 1H 기간으로 설정될 수 있다. 도 11의 발광 기간은 머지 TFT(Tm) 및 구동 TFT(Td)가 턴-온되어 스토리지 커패시터(Cs)로부터 공급되는 전압에 응답하여 구동 TFT(Td)가 OLED를 발광시키는 기간이다.

[0072] 도 7의 초기화 기간부터 도 10의 프로그램 기간까지 노드 C에 저전위 전원(Vss) 보다 낮은 전압이 공급되어 OLED에는 네거티브 바이어스가 인가되므로 OLED는 발광되지 않고, 전하를 축적하는 커패시터(Coled) 역할을 한다.

[0073] 도 7 내지 도 11에 나타낸 화소 회로가 n형 TFT로 구성되므로, 도 12에 나타낸 하이 상태의 게이트 하이 전압(Vgh), 즉 게이트 온 전압에 의해 턴-온되고, 로우 상태의 게이트 로우 전압(Vgl), 즉 게이트 오프 전압에 의해 턴-오프된다.

[0074] 도 7 및 도 12의 초기화 기간에서, n번째 리셋 라인(36n)에 리셋 신호(Reset(n))의 게이트 하이 전압(Vgh)가 공급되어 제1 내지 제3 리셋 TFT(Tres1, Tres2, Tres3)이 턴-온되고, n번째 머지 라인(34n)에 머지 신호(Merge(n))의 게이트 하이 전압(Vgh)이 공급되어 머지 TFT(Tm)가 턴-온된다. 이에 따라, 도 7과 같이 턴-온된 제1 내지 제3 리셋 TFT(Tres1, Tres2, Tres3)와 머지 TFT(Tm)에 의해 노드 A, B, C, D가 모두 초기화 전압 라인(38)에 공급된 초기화 전압(Vini)으로 초기화된다. 초기화 전압(Vini)은 저전위 전원(Vss) 보다 낮은 전압, 예를 들면 약 "-9V"의 낮은 전압으로 설정된다.

[0075] 도 8 및 도 9와 도 12의 문턱 전압 검출 기간에서, n번째 리셋 라인(RLn)에는 리셋 신호(RSn)의 게이트 로우 전압(Vgl)이 공급되어 제1 내지 제3 리셋 TFT(Tres1, Tres2, Tres3)가 턴-오프되고, n번째 센스 라인(33n)에는 센스 신호(Sense(n))의 게이트 하이 전압(Vgh)이 공급되어 센스 TFT(Tsense)가 턴-온되고, n번째 머지 라인(34n)에는 머지 신호(Merge(n))의 게이트 하이 전압(Vgh)이 공급되어 머지 TFT(Tm)가 턴-온 상태를 유지한다.

[0076] 이에 따라, 도 8과 같이 턴-온된 센스 TFT(Tsense)를 통해 노드 A로 기준 전압(Vref)가 공급되고, 그 기준 전압(Vref)에 의해 조절 커패시터(Cadj)를 통해 노드 D 및 노드 B의 전위가 Vg로 상승함으로써 구동 TFT(Td)의 문턱 전압(Vth) 검출을 시작한다. 예를 들면, 기준 전압(Vref)으로는 약 "11V"의 전압이 설정된다. 도 8에서 노드 D 및 노드 B의 전위 Vg는 다음 수학식 9와 같고, 그 전위 Vg가 "0V"가 되도록 기준 전압(Vref)가 설정된다.

수학식 9

[0077]
$$Vg=\frac{[Cadj\times Vref+(Cst+Cpara)\times Vini]}{Cadj+Cst+Cpara}$$

[0078] 상기 수학식 9에서 Cpara는 구동 TFT(Td)의 게이트와 접속된 모든 기생 커패시턴스의 합계를 나타낸다. 도 8에서 편의상 각 TFT의 아래쪽 또는 왼쪽에 존재하는 기생 커패시턴스를 Cgs로, 위쪽 또는 오른쪽에 존재하는 기생 커패시턴스를 Cgd로 가정하는 경우 구동 TFT(Td)의 게이트와 접속된 모든 기생 커패시턴스의 합계(Cpara)는 다음 수학식 10과 같다.

수학식 10

[0079]
$$Cpara=CgdTd+CgsTd+CgsTres1+CgdTres2+CgdTres3+CgsTm+CgdTm+CgdTscan$$

[0080] 상기 수학식 10에서 CgdTd는 구동 TFT(Td)의 게이트-드레인 사이의 기생 커패시턴스를, CgsTd는 구동 TFT(Td)의 게이트-소스 사이의 기생 커패시턴스를, CgsTres1는 제1 리셋 TFT(Tres1)의 게이트-소스 사이의 기생 커패시턴스를, CgdTres2는 제2 리셋 TFT(Tres2)의 게이트-드레인 사이의 기생 커패시턴스를, CgdTres3는 제3 리셋 TFT(Tres3)의 게이트-드레인 사이의 기생 커패시턴스를, CgsTm은 머지 TFT(Tm)의 게이트-소스 사이의 기생 커패시턴스를, CgdTm은 머지 TFT(Tm)의 게이트-드레인 사이의 기생 커패시턴스를, CgdTscan은 스캔 TFT(Tscan)의 게이트-드레인 사이의 기생 커패시턴스를 나타낸다.

[0081] 도 8에서 상승된 노드 D 및 B의 전위(Vg)에 의해 구동 TFT(Td)가 턴-온되어 전류가 흐르기 시작하여 노드 C의 전위가 상승하면서 구동 TFT(Td)의 문턱 전압(Vth) 검출이 시작되고, 도 9에서 구동 TFT(Td)로부터의 전류에 의해 노드 C의 전위가 상승하는 만큼 노드 D 및 B의 전위(Vg)는 Vg'로 상승한다. 이에 따라, 도 9와 같이 스토리지 커패시터(Cst)에 축적되는 전압이 구동 TFT(Td)의 문턱 전압(Vth)에 도달하게 되면 문턱 전압(Vth) 검출이 완료된다. 이때, 노드 D 및 B의 전위(Vg')와 노드 C의 전위(Vg'-Vth)는 다음 수학식 11과 같다.

수학식 11

[0082]
$$k=\frac{(Cst+CgsTd)}{(Cadj+Cpara-CgsTd)}$$
$$Vg'=Vg+k\times(Vg-Vth-Vini)$$
$$Vg'-Vth=(1+k)\times(Vg-Vth)-k\times Vini$$

[0083] 상기 수학식 11에 의해 노드 C에서 "(1+k)×(Vg-Vth)-k×Vini"가 검출되고, 여기서 k는 상기 수학식 11과 같으므로 "(Vg-Vth)"의 비례 계수인 "(1+k)"는 분명이 1보다 커서 문턱 전압(Vth)을 증폭하여 검출됨을 알 수 있다.

[0084] 도 10 및 도 12의 프로그램 기간에서, n번째 머지 라인(34n)에 머지 신호(Merge(n))의 게이트 로우 전압(Vgl)이

공급되어 머지 TFT(Tm)가 턴-오프되고, n번째 스캔 라인(30n)에는 스캔 신호(Scan(n))의 게이트 하이 전압(Vgh)이 공급되어 스캔TFT(Tscan)가 턴-온되며, n번째 센스 라인(33n)에는 센스 신호(Sense(n))의 게이트 하이 전압(Vgh)이 공급되어 센스 TFT(Tsense)가 턴-온 상태를 유지한다. 이에 따라, 턴-오프된 머지 TFT(Tm)에 의해 노드 D 및 B가 분리되어 구동 TFT(Td)는 턴-오프되고, 턴-온 상태를 유지하는 센스 TFT(Tsense)을 통해 기준 전압(Vref)이 노드 A에 공급되며, 턴-온된 스캔 TFT(Tscan)을 통해 데이터 라인(32)으로부터의 데이터 전압(Vdata)를 노드 D에 공급된다. 따라서, 스토리지 커패시터(Cst)는 데이터 전압(Vdata)과 함께, 이전의 문턱 전압(Vth) 검출 기간에서 노드 C에서 검출된 증폭 문턱 전압을 축적한다.

[0085] 이때, 제1 조절 커패시터(Cadj)는 도 10과 같이 "Vdata-Vref"의 전압을 축적하고, 스토리지 커패시터(Cst)는 "Vdata+(1+k)×Vth+C"의 전압을 축적하며, 제2 조절 커패시터(Cth)는 "Vref+(1+k)×Vth+C"의 전압을 축적한다. 이에 따라, 스토리지 커패시터(Cst)가 데이터 전압(Vdata)과 함께 증폭된 문턱 전압 "(1+k)×Vth"을 축적함으로써 증폭된 문턱 전압((1+k)×Vth)을 스토리지 커패시터(Cst)로부터 검출할 수 있다. 도 9에서 OLED 커패시터(Coled)의 커패시턴스가 스토리지 커패시터(Cst)의 커패시턴스 보다 많이 크기 때문에(Coled>>Cst) 노드 C의 전위(Vg'-Vth)는 거의 변화하지 않는다. 스토리지 커패시터(Cst)에 축적되는 문턱 전압(Vth)의 계수인 "1+k"는 증폭 계수로 분명히 1보다 크므로, 문턱 전압(Vth)이 1 보다 크게 증폭됨을 알 수 있다. 상기 증폭 계수(1+k)는 스토리지 커패시터(Cst) 및 조절 커패시터(Cadj, Cth)의 커패시턴스를 조절함으로써 최적의 증폭 계수로 결정될 수 있다.

[0086] 도 11 및 도 12의 발광 기간에서, n번째 머지 라인(34n)에 머지 신호(Merge(n))의 게이트 하이 전압(Vgh)이 공급되어 머지 TFT(Tm)가 턴-온되고, n번째 스캔 라인(30n)에 스캔 신호(Scan(n))의 게이트 로우 전압(Vgl)이 공급되어 스캔TFT(Tscan)가 턴-오프되며, n번째 센스 라인(33n)에 센스 신호(Sense(n))의 게이트 로우 전압(Vgl)이 공급되어 센스 TFT(Tsense)가 턴-오프된다. 이에 따라, 턴-온된 머지 TFT(Tm)에 의해 노드 D 및 B가 접속되어 노드 D의 전위가 구동 TFT(Td)의 게이트 전위로 인가됨으로써 구동 TFT(Td)가 턴-온되어 고전위 전원(Vdd) 라인(40)으로부터 OLED로 공급되는 전류(Ids)를 제어함으로써 OLED를 발광시킨다. 이때, 구동 TFT(Td)의 게이트 전위는 전술한 수학식 1과 같고, 상기 수학식 1에서 본 발명과 관련이 있는 "a" 성분만 계산하면 아래의 수학식 12와 같다.

수학식 12

[0087]

$$a=\frac{[(k+1)\times Cst+m\times(k+1)\times Cth+CgsTd-k(CgdTm+CgdTd+CgsTres1+CgdTres2)]}{[Cpara+(1-m)\times Cadj+Cst]}$$

$$m=\frac{Cadj}{(Cadj+Cth+CgdTsense+CgsTres3)}$$

$$k=\frac{(Cst+CgsTd)}{(Cadj+Cpara-CgsTd)}$$

[0088] 상기 수학식 12에서 k 성분을 조절하여 a 성분을 정확하게 1로 설정할 수 있고, 이에 따라 문턱 전압(Vth)을 완전하게 보상할 수 있음을 알 수 있다. 다시 말하여, a 성분을 정확하게 1로 설정하면, 상기 수학식 3과 같이 구동 TFT(Td)의 출력 전류(Ids)를 결정하는 전압에서 문턱 전압(Vth)의 항목이 완전하게 상쇄되므로 출력 전류(Ids)는 구동 TFT(Td)의 문턱 전압(Vth) 편차의 영향을 받지 않음을 알 수 있다.

[0089] 도 13 내지 도 17은 본 발명의 제2 실시예에 따른 AMOLED 표시 장치의 화소 회로를 나타낸 등가 회로도이다.

[0090] 도 13 내지 도 17에 나타낸 제2 실시예의 화소 회로는, 도 7 내지 도 11에 나타낸 제1 실시예의 화소 회로와 대비하여, 제1 실시예에서 노드 A 및 C 사이에 접속된 제2 조절 커패시터(Cth)가 제거된 것을 제외하고 나머지 구성 요소들은 동일하므로, 도 12에 나타낸 제1 실시예의 구동 파형을 동일하게 이용한다. 제1 실시예에서 전술한 바와 같이 노드 A 및 C 사이의 제2 조절 커패시터(Cth)는 OLED 발광시 상기 수학식 12에서의 a 성분을 결정할 때 기생 커패시턴스의 영향을 줄이기 위한 것이므로 제2 실시예와 같이 생략 가능하다.

[0091] 도 13의 초기화 기간에서, 도 12의 초기와 기간의 구동 파형에 따라 턴-온된 제1 내지 제3 리셋 TFT(Tres1, Tres2, Tres3)와 머지 TFT(Tm)에 의해 노드 A, B, C, D가 모두 초기화 전압(Vini)으로 초기화된다.

[0092] 도 14의 문턱 전압 검출이 시작되는 단계에서, 도 12의 문턱 전압 검출 기간의 구동 파형에 따라 턴-온된 센스 TFT(Tsense)를 통해 노드 A로 기준 전압(Vref)가 공급되어 노드 D 및 노드 B의 전위가 Vg로 상승하고, 구동

TFT(Td)가 턴-온되어 노드 C의 전위가 상승하면서 구동 TFT(Td)의 문턱 전압(Vth) 검출이 시작된다. 이때, 노드 D 및 노드 B의 전위가 Vg는 전술한 수학식 9와 같다.

[0093] 도 15의 문턱 전압 검출이 완료되는 단계에서, 도 12의 문턱 전압 검출 기간의 구동 파형에 따라 구동 TFT(Td)로부터의 전류에 의해 노드 C의 전위가 상승하는 만큼 노드 D 및 B의 전위(Vg)는 Vg'로 상승하고, 스토리지 커패시터(Cst)에 축적되는 전압이 구동 TFT(Td)의 문턱 전압(Vth)에 도달하게 되면 문턱 전압(Vth) 검출이 완료된다. 이때, 전술한 수학식 11에 의해 노드 C에서 "(1+k)×(Vg-Vth)-k×Vini"가 검출됨으로써 문턱 전압(Vth)이 증폭되어 검출된다.

[0094] 도 16의 프로그램 기간에서, 도 12의 프로그램 기간의 구동 파형에 따라 턴-오프된 머지 TFT(Tm)에 의해 노드 D 및 B가 분리되어 구동 TFT(Td)는 턴-오프되고, 턴-온 상태를 유지하는 센스 TFT(Tsense)을 통해 기준 전압(Vref)이 노드 A에 공급되며, 턴-온된 스캔 TFT(Tscan)을 통해 데이터 라인(32)으로부터의 데이터 전압(Vdata)를 노드 D에 공급된다. 이에 따라, 스토리지 커패시터(Cst)가 데이터 전압(Vdata)과 함께 증폭된 문턱 전압 "(1+k)×Vth"을 축적함으로써 증폭된 문턱 전압((1+k)×Vth)을 스토리지 커패시터(Cst)로부터 검출할 수 있다.

[0095] 도 17의 발광 기간에서, 도 12의 발광 기간의 구동 파형에 따라 턴-온된 머지 TFT(Tm)에 의해 노드 D 및 B가 접속되어 구동 TFT(Td)가 턴-온됨으로써 OLED가 발광한다. 이때, 구동 TFT(Td)의 게이트 전위는 전술한 수학식 1과 같고, 상기 수학식 1에서 본 발명과 관련이 있는 "a" 성분만 계산하면 아래의 수학식 13과 같다.

수학식 13

[0096]

$$a=\frac{[(k+1)\times Cst+CgsTd-k(CgdTm+CgdTd+CgsTres1+CgdTres2)]}{[Cpara+n\times Cadj+Cst]}$$

$$n=\frac{CgdTsense+CgsTres3}{(Cadj+Cth+CgdTsense+CgsTres3)}$$

$$k=\frac{(Cst+CgsTd)}{(Cadj+Cpara-CgsTd)}$$

[0097] 상기 수학식 13에서 k 성분을 조절하여 a 성분을 정확하게 1로 설정할 수 있고, 이에 따라 문턱 전압(Vth)을 완전하게 보상할 수 있음을 알 수 있다. 다시 말하여, a 성분을 정확하게 1로 설정하면, 상기 수학식 3과 같이 구동 TFT(Td)의 출력 전류(Ids)를 결정하는 전압에서 문턱 전압(Vth)의 항목이 완전하게 상쇄되므로 출력 전류(Ids)는 구동 TFT(Td)의 문턱 전압(Vth) 편차의 영향을 받지 않음을 알 수 있다.

[0098] 도 18 내지 도 23은 본 발명의 제3 실시예에 따른 AMOLED 표시 장치의 화소 회로를 나타낸 등가 회로도이고, 도 24는 도 18 내지 도 23에 나타낸 제3 실시예에 따른 화소 회로의 구동 파형도이다.

[0099] 도 18 내지 도 23의 화소 회로는 1개의 구동 TFT(Td)와, 3개의 리셋 TFT(Tres1, Tres2, Tres3)와, 1개의 스캔 TFT(Tscan)와, 1개의 센스 TFT(Tsense)와, 1개의 머지 TFT(Tm)를 포함하는 7개의 n형 TFT와, 1개의 스토리지 커패시터(Cs) 및 1개의 조절 커패시터(Cadj)를 구비한다. 또한, 화소 회로는 n번째(여기서, n은 양의 정수) 스캔 신호(Scan(n))를 공급하는 n번째 스캔 라인(30n), n번째 센스 신호(Sence(n))를 공급하는 n번째 센스 라인(33n), n번째 머지 신호(Merge(n))를 공급하는 n번째 머지 라인(34n), n번째 리셋 신호(Reset(n))를 공급하는 n번째 리셋 라인(36n)을 포함하는 4개의 제어 라인과, 데이터 전압(Vdata)를 공급하는 데이터 라인(32n)을 구비한다. 또한, 화소 회로는 고전위 전원(Vdd)을 공급하는 고전위 전원 라인(40), 저전위 전원(Vss)을 공급하는 저전위 전원 라인(42), 기준 전압(Vref)을 공급하는 기준 전압 라인(44), 초기화 전압(Vini)을 공급하는 초기화 전압 라인(38)을 포함하는 4개의 고정 전위 라인을 구비한다. 도 24와 같이 n번째 센스 라인(33n)은 n+2번째 리셋 라인으로 대체될 수 있다.

[0100] 제1 리셋 TFT(Tres1)는 n번째 리셋 라인(36n)에 게이트 전극이 접속되고, 초기화 전압 라인(38)에 제1 전극이 접속되며, 노드 B에 제2 전극이 접속된다. 제2 리셋 TFT(Tres2)는 n번째 리셋 라인(36n)에 게이트 전극이 접속되고, 노드 C에 제1 전극이 접속되며, 상기 노드 B에 제2 전극이 접속된다. 제3 리셋 TFT(Tres3)는 n번째 리셋 라인(36n)에 게이트 전극이 접속되고, 기준 전압(Vref) 공급 라인(44)에 제1 전극이 접속되며, 노드 A에 제2 전극이 접속된다. 제1 전극과 제2 전극은 전류 방향에 따라서 소스 전극과 드레인 전극이 된다. 초기화 기간에

서 n번째 리셋 라인(36n)의 리셋 신호(Reset(n))에 응답하여 제1 및 제2 리셋 TFT(Tres1, Tres2)는 노드 B 및 C를 초기화 전압(Vini)으로, 제3 리셋 TFT(Tres3)은 기준 전압(Vref)으로 초기화시킨다.

[0101] 센스 TFT(Tsense)는 n번째 센스 라인(33n)에 게이트 전극이 접속되고, 노드 A에 제1 전극이 접속되며, 조절 커패시터(Cadj)와 접속된 노드 D에 제2 전극이 접속된다. 제1 전극과 제2 전극은 전류 방향에 따라서 소스 전극과 드레인 전극이 된다. 센스 TFT(Tsense)는 n번째 센스 라인(33n)으로부터의 센스 신호(Sense(n))에 응답하여 초기화 기간 중 제2 초기화 기간과, 문턱 전압 검출 기간 및 프로그램 기간에서 노드 D에 기준 전압(Vref)을 공급한다.

[0102] 스캔 TFT(Tscan)는 n번째 스캔 라인(30n)에 게이트 전극이 접속되고, 데이터 라인(32)에 제1 전극이 접속되며, 노드 A에 제2 전극이 접속된다. 제1 전극과 제2 전극은 전류 방향에 따라서 소스 전극과 드레인 전극이 된다. 스캔 TFT(Tscan)는 n번째 스캔 라인(30n)으로부터의 스캔 신호(Scan(n))에 응답하여 프로그램 기간에서 노드 A에 데이터 전압(Vdata)을 공급한다.

[0103] 머지 TFT(Tm)는 n번째 머지 라인(34n)에 게이트 전극이 접속되고, 상기 노드 A에 제1 전극이 접속되며, 노드 B에 제2 전극이 접속된다. 제1 전극과 제2 전극은 전류 방향에 따라서 소스 전극과 드레인 전극이 된다. 머지 TFT(Tm)는 n번째 머지 라인(34n)으로부터의 머지 신호(Merge(n))에 응답하여 초기화 기간 및 프로그램 기간에서 노드 A와 노드 B를 전기적으로 분리시키고, 나머지 기간에서는 노드 A와 노드 B를 전기적으로 접속시킨다.

[0104] 구동 TFT(Td)는 상기 노드 B에 게이트 전극이 접속되고, 상기 노드 C에 제1 전극이 접속되며, 고전위 전원 라인(40)에 제2 전극이 접속된다. 제1 전극과 제2 전극은 전류 방향에 따라서 소스 전극과 드레인 전극이 된다. 구동 TFT(Td)는 노드 B에 공급된 전압에 따라 고전위 전원 라인(40)으로부터 OLED로 공급되는 전류를 제어하여 OLED를 구동한다.

[0105] 스토리지 커패시터(Cst)는 노드 A 및 C 사이에 접속되고, 조절 커패시터(Cadj)는 노드 D와 고전위 전원 라인(40) 사이에 접속된다. 이러한 2개의 커패시터(Cst, Cadj, Cth)는 구동 TFT(Td)의 문턱 전압(Vth)을 증폭하여 검출 및 보상하기 위하여 이용된다.

[0106] 도 18 내지 도 23에 나타낸 화소 회로는 도 24에 나타낸 바와 같이 초기화 기간, 문턱 전압 검출 기간, 프로그램 기간, 발광 기간으로 순차 구동된다. 다시 말하여, 도 18은 도 24에 나타낸 초기화 기간 중 제1 초기화 기간에서 화소 회로의 동작 상태를, 도 19는 상기 초기화 기간 중 제2 초기화 기간에서 화소 회로의 동작 상태를, 도 20 및 도 21은 문턱 전압 검출 기간에서 화소 회로의 동작 상태를, 도 22는 프로그램 기간에서 화소 회로의 동작 상태를, 도 23은 발광 기간에서 화소 회로의 동작 상태를 나타낸다. 예를 들어, 도 24에서 초기화 기간은 12H 기간으로 설정될 수 있고, 이 초기화 기간에서 제1 초기화 기간은 2H 기간으로, 나머지 제2 초기화 기간은 10H 기간으로 설정될 수 있다. 도 24에서 문턱 전압 검출 기간은 2H 기간으로 설정될 수 있고, 프로그램 기간은 1H로 설정될 수 있다.

[0107] 도 18의 초기화 기간부터 도 22의 프로그램 기간까지 노드 C에 저전위 전원(Vss) 보다 낮은 전압이 공급되어 OLED에는 네거티브 바이어스가 인가되므로 OLED는 발광되지 않고, 전하를 축적하는 커패시터(Coled) 역할을 한다.

[0108] 도 18 및 도 24의 제1 초기화 기간에서, n번째 리셋 라인(36n)에 리셋 신호(Reset(n))의 게이트 하이 전압(Vgh)가 공급되어 제1 내지 제3 리셋 TFT(Tres1, Tres2, Tres3)이 턴-온된다. 이에 따라, 턴-온된 제1 및 제2 리셋 TFT(Tres1, Tres2)에 의해 노드 B 및 C는 초기화 전압(Vini)으로, 턴-온된 제3 리셋 TFT(Tres3)에 의해 노드 A는 기준 전압(Vref)으로 초기화된다. 초기화 전압(Vini) 및 기준 전압(Vref)으로 저전위 전원(Vss) 보다 낮은 로우 상태의 전압, 예를 들면 약 "-9V"의 초기화 전압(Vini)과 약 "-2V"의 기준 전압(Vref)을 공급할 수 있다.

[0109] 도 19 및 도 24의 제2 초기화 기간에서, n번째 리셋 라인(36n)의 리셋 신호(Reset(n))가 게이트 하이 전압(Vgh)을 유지하여 제1 내지 제3 리셋 TFT(Tres1, Tres2, Tres3)가 턴-온 상태를 유지하고, n번째 센스 라인(33n)에는 센스 신호(Sense(n))의 게이트 하이 전압(Vgh)을 공급하여 센스 TFT(Tsense)가 턴-온된다. 이에 따라, 턴-온된 제3 리셋 TFT(Tres3) 및 센스 TFT(Tsense)를 통해 노드 D는 기준 전압(Vref)으로 초기화된다.

[0110] 도 20 및 도 21과 도 24의 문턱 전압 검출 기간에서, n번째 리셋 라인(RLn)에는 리셋 신호(RSn)의 게이트 로우 전압(Vgl)이 공급되어 제1 내지 제3 리셋 TFT(Tres1, Tres2, Tres3)가 턴-오프되고, n번째 센스 라인(33n)에는 센스 신호(Sense(n))의 게이트 하이 전압(Vgh)이 유지되어 센스 TFT(Tsense)가 턴-온 상태를 유지하고, n번째

머지 라인(34n)에는 머지 신호(Merge(n))의 게이트 하이 전압(Vgh)이 공급되어 머지 TFT(Tm)가 턴-온된다.

[0111] 이에 따라, 도 20과 같이 턴-온된 머지 TFT(Tm)를 통해 노드 A 및 B가 접속되어서 노드 A 및 B의 전위(Vg)는 기준 전압(Vref)과 거의 같게 되고, 이 전위가 노드 C의 초기화 전압(Vini) 보다 높으므로 구동 TFT(Td)가 턴-온되어 전류가 흐르기 시작하여 노드 C의 전위가 상승하면서 문턱 전압(Vth) 검출이 시작된다. 이때, 도 8에 나타낸 제1 실시예에서는 전술한 수학식 9와 같이 변수가 많아서 노드 B의 전위(Vg)를 조절하기 어려운 반면에, 제3 실시예에서는 기준 전압(Vref)의 조절을 통해 노드 B의 전위(Vg)를 간단하게 조절할 수 있는 장점이 있다.

[0112] 그리고, 도 21에 나타낸 바와 같이, 턴-온된 구동 TFT(Td)의 전류에 의해 노드 C의 전위가 상승하는 만큼 노드 A 및 B의 전위(Vg)는 Vg'로 상승한다. 이에 따라, 도 21과 같이 스토리지 커패시터(Cst)에 축적되는 전압이 구동 TFT(Td)의 문턱 전압(Vth)에 도달하게 되면 문턱 전압(Vth) 검출이 완료된다. 이때, 노드 A 및 B의 전위(Vg')와 노드 C의 전위(Vg'-Vth)는 전술한 수학식 11과 같고, 그 수학식 11에 의해 노드 C에서 "(1+k)×(Vg-Vth)-k×Vini"가 검출되고, 여기서 k는 상기 수학식 11과 같으므로 "(Vg-Vth)"의 비례 계수인 "(1+k)"에 의해 노드 C에서 문턱 전압(Vth)이 증폭되어 검출됨을 알 수 있다. 조절 커패시터(Cadj)는 노드 A의 전위(Vg')와 고전위 전원(Vdd)과의 차전압(Vg'-Vdd)을 축적한다.

[0113] 도 22 및 도 24의 프로그램 기간에서, n번째 머지 라인(34n)에 머지 신호(Merge(n))의 게이트 로우 전압(Vgl)이 공급되어 머지 TFT(Tm)가 턴-오프되고, n번째 스캔 라인(30n)에는 스캔 신호(Scan(n))의 게이트 하이 전압(Vgh)이 공급되어 스캔TFT(Tscan)가 턴-온되며, n번째 센스 라인(33n)에는 센스 신호(Sense(n))의 게이트 로우 전압(Vgl)이 공급되어 센스 TFT(Tsense)가 턴-오프된다. 이에 따라, 턴-오프된 머지 TFT(Tm)에 의해 노드 A 및 B가 분리되어 구동 TFT(Td)는 턴-오프되고, 턴-온된 스캔 TFT(Tscan)을 통해 데이터 라인(32)으로부터의 데이터 전압(Vdata)이 노드 A에 공급된다. 이에 따라, 스토리지 커패시터(Cst)는 데이터 전압(Vdata)과 함께, 이전의 문턱 전압(Vth) 검출 기간에서 노드 C에서 검출된 증폭 문턱 전압을 축적한다. 다시 말하여, 스토리지 커패시터(Cst)는 "Vdata+(1+k)×Vth+C"의 전압을 축적한다. 따라서, 스토리지 커패시터(Cst)가 데이터 전압(Vdata)과 함께 증폭된 문턱 전압 "(1+k)×Vth"을 축적함으로써 증폭된 문턱 전압((1+k)×Vth)을 스토리지 커패시터(Cst)에서 검출할 수 있다. 이때, OLED 커패시터(Coled)의 커패시턴스가 스토리지 커패시터(Cst)의 커패시턴스 보다 많이 크기 때문에(Coled>>Cst) 노드 C의 전위(Vg'-Vth)는 거의 변화하지 않는다. 스토리지 커패시터(Cst)에 축적되는 문턱 전압(Vth)의 계수인 "1+k"는 증폭 계수로 분명히 1보다 크므로, 문턱 전압(Vth)이 1 보다 크게 증폭됨을 알 수 있다. 상기 증폭 계수(1+k)는 스토리지 커패시터(Cst) 및 조절 커패시터(Cadj, Cth)의 커패시턴스를 조절함으로써 최적의 증폭 계수로 결정될 수 있다.

[0114] 도 23 및 도 24의 발광 기간에서, n번째 머지 라인(34n)에 머지 신호(Merge(n))의 게이트 하이 전압(Vgh)이 공급되어 머지 TFT(Tm)가 턴-온되고, n번째 스캔 라인(30n)에 스캔 신호(Scan(n))의 게이트 로우 전압(Vgl)이 공급되어 스캔 TFT(Tscan)가 턴-오프된다. 이에 따라, 턴-온된 머지 TFT(Tm)에 의해 노드 A 및 B가 접속되어 노드 A의 전위가 구동 TFT(Td)의 게이트 전위로 인가됨으로써 구동 TFT(Td)가 턴-온되어 고전위 전원(Vdd) 라인(40)으로부터 OLED로 공급되는 전류(Ids)를 제어함으로써 OLED를 발광시킨다. 이때, 구동 TFT(Td)의 게이트 전위는 전술한 수학식 1과 같고, 상기 수학식 1에서 본 발명과 관련이 있는 "a" 성분만 계산하면 아래의 수학식 14와 같다.

수학식 14

[0115]
$$a=\frac{[(k+1)\times Cst+CgsTd-k(CgdTm+CgdTd+CgsTres1+CgdTres2)]}{[Cpara+Cpara-CgdTsense]}$$

$$k=\frac{(Cst+CgsTd)}{(Cadj+Cpara-CgsTd)}$$

[0116] 상기 수학식 14에서 k 성분을 조절하여 a 성분을 정확하게 1로 설정할 수 있고, 이에 따라 문턱 전압(Vth)을 완전하게 보상할 수 있음을 알 수 있다. 다시 말하여, a 성분을 정확하게 1로 설정하면, 상기 수학식 3과 같이 구동 TFT(Td)의 출력 전류(Ids)를 결정하는 전압에서 문턱 전압(Vth)의 항목이 완전하게 상쇄되므로 출력 전류(Ids)는 구동 TFT(Td)의 문턱 전압(Vth) 편차의 영향을 받지 않음을 알 수 있다.

[0117] 도 25는 도 18 내지 도 23에 나타낸 제3 실시예의 화소 회로를 구동하는 다른 구동 파형도를 나타낸 것이다.

[0118] AMOLED 표시 장치의 화소 매트릭스에서 각 화소에 제3 실시예의 화소 회로를 적용한 경우, 도 24에 나타낸 구동 파형은 다수의 로우 라인(Row Line)에 순차적으로 공급되므로, 다수의 로우 라인은 순차적인 라이팅 기간(= 초기화 기간+ 문턱 전압 검출 기간 + 프로그램 기간)에 의해 문턱 전압(Vth)이 보상된 데이터 전압(Vdata)을 순차적으로 라이팅하면서 순차적인 발광 기간에 의해 순차적으로 발광한다.

[0119] 반면에, 도 25에 나타낸 구동 파형을 이용하면 다수의 로우 라인은 순차적인 라이팅 기간(= 초기화 기간+ 문턱 전압 검출 기간 + 프로그램 기간)에 의해 문턱 전압(Vth)이 보상된 데이터 전압(Vdata)을 순차적으로 라이팅하지만 동시 발광 기간에 의해 동시에 발광할 수 있다. 그리고, 도 25와 같이 다수 로우 라인의 각 리셋 라인에 게이트 하이 전압(Vgh)의 리셋 신호(Reset(n))을 인가함으로써 다수 로우 라인이 동시에 발광을 종료할 수 있다.

[0120] 도 25와 같은 동시 발광 및 동시 발광 종료 단계는 도 12에 나타낸 제1 및 제2 실시예의 구동 파형에도 동일하게 적용할 수 있다. 이러한 동시 발광 및 동시 발광 종료는 AMOLED 표시 장치에 3D 영상을 표시하는 경우 시간적으로 분리되어야 하는 좌안 영상과 우안 영상을 라이팅 기간과 발광 기간의 중첩없이 독립적으로 표시할 수 있는 장점이 있다.

[0121] 도 26은 도 21의 문턱 전압 검출 기간에서, 구동 TFT(Td)의 문턱 전압(Vth)이 0V, 1V, 2V, 3V, 4V로 다양한 경우 노드 A, B, C의 전위를 나타낸 것이다. 도 26에서 문턱 전압(Vth)가 0V인 경우 각 노드 전위가 가장 높고, 문턱 전압(Vth)이 클수록 각 노드 전위가 낮다. 도 26을 참조하면, 노드 A 및 B의 전위가 노드 C의 전위 보다 높으므로 스토리지 커패시터(Cst)를 통해 문턱 전압(Vth)을 검출할 수 있음을 알 수 있다.

[0122] 도 27a 및 도 27b는 종래와 본 발명의 데이터 전압(Vdata)에 대한 OLED의 전류(Ids)를 비교하여 나타낸 그래프이다. 도 27a를 참조하면, 문턱 전압(Vth)을 보상하지 않은 종래 화소 회로에서의 데이터 전압(Vdata)에 대한 OLED 전류(Ids)를 나타낸 것으로, 문턱 전압(Vth)의 편차에 따라 동일 데이터 전압(Vdata)대비 OLED의 전류(Ids)가 서로 다른 문제점이 있음을 알 수 있다. 반면에, 도 27b를 참조하면, 문턱 전압(Vth)을 보상한 본 발명의 화소 회로에서의 데이터 전압(Vdata)에 대한 OLED 전류(Ids)를 나타낸 것으로, OLED의 전류(Ids)는 문턱 전압(Vth) 편차의 영향을 거의 받지 않음을 알 수 있다.

[0123] 이와 같이, 본 발명에 따른 AMOLED 표시 장치의 전압 보상 화소 회로는 구동 TFT의 문턱 전압을 검출할 때 그 구동 TFT의 게이트와 드레인을 전기적으로 접속시키지 않음으로써, n형 TFT와 p형 TFT와 상관없이 포지티브뿐만 아니라 네거티브 문턱 전압(Vth)을 검출할 수 있으므로 광범위한 전압 영역에서 문턱 전압(Vth)을 정확하게 검출할 수 있다.

[0124] 또한, 본 발명에 따른 AMOLED 표시 장치의 전압 보상 화소 회로는 구동 TFT의 문턱 전압을 검출할 때 그 구동 TFT의 게이트에 고정 전위를 인가하지 않고, 그 구동 TFT의 게이트와 소스 사이에 접속된 스토리지 커패시터에 의해 검출한 문턱 전압을 따라 상기 게이트 전위를 가변시킴으로써, 문턱 전압을 증폭하여 검출 및 보상할 수 있다.

[0125] 또한, 본 발명에 따른 AMOLED 표시 장치의 전압 보상 화소 회로는 고전위 전원 라인과 저전위 전원 라인 사이에 구동 TFT와 OLED만 직렬 접속된 구조를 이용하면서도, 초기화 기간, 문턱 전압 검출 기간 및 프로그램 기간에서 OLED에 네거티브 바이어스를 인가하여 OLED를 커패시터(Coled)로 이용하고, 발광 기간에서만 OLED를 발광시킴으로써 불필요한 발광을 방지하여 컨트라스트를 높일 수 있다.

[0126] 또한, 본 발명에 따른 AMOLED 표시 장치의 전압 보상형 화소 회로는 발광 기간에서 구동 TFT가 항상 포화 영역에서 동작하므로 바이어스 스트레스로 인한 TFT 열화가 작은 장점이 있다.

[0127] 이상에서 설명한 본 발명은 상술한 실시 예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 종래의 지식을 가진 자에게 있어 명백할 것이다.

부호의 설명

[0128] 30n: 스캔 라인 32: 데이터 라인

34n: 머지 라인 36n: 리셋 라인

38: 초기화 전압 라인 40: 고전위 전원 라인

42: 저전위 전원 라인

44: 기준 전압 라인

Tsense: 센스 TFT

Tscan: 스캔 TFT

Tm: 머지 TFT

Td: 구동 TFT

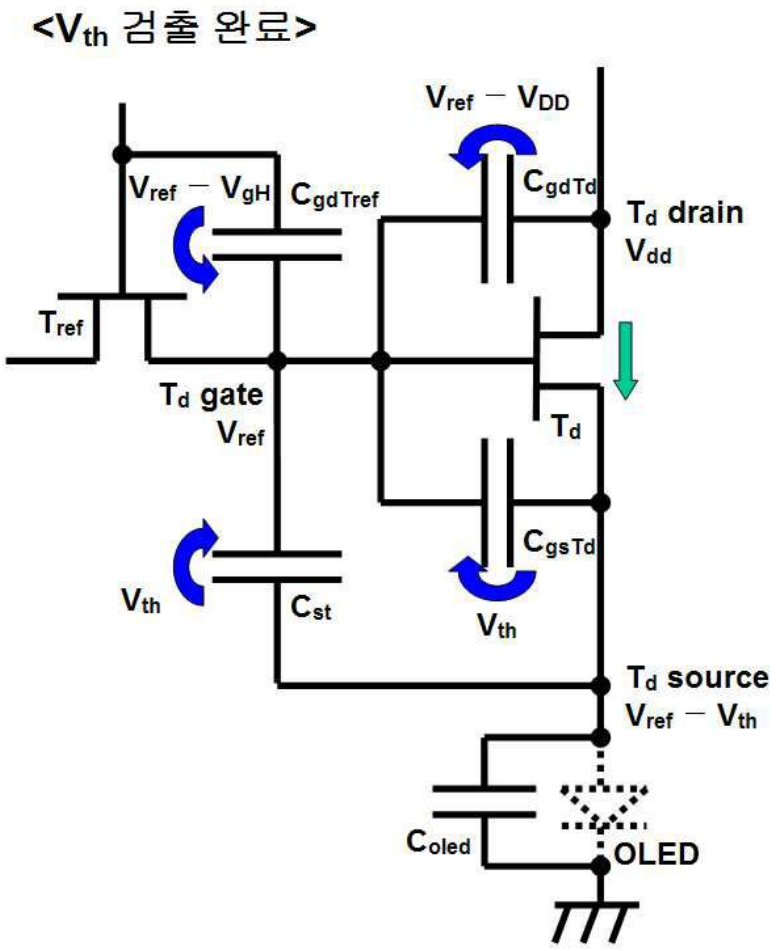
Tres1, Tres2, Tres3: 리셋 TFT

OLED: 발광 소자

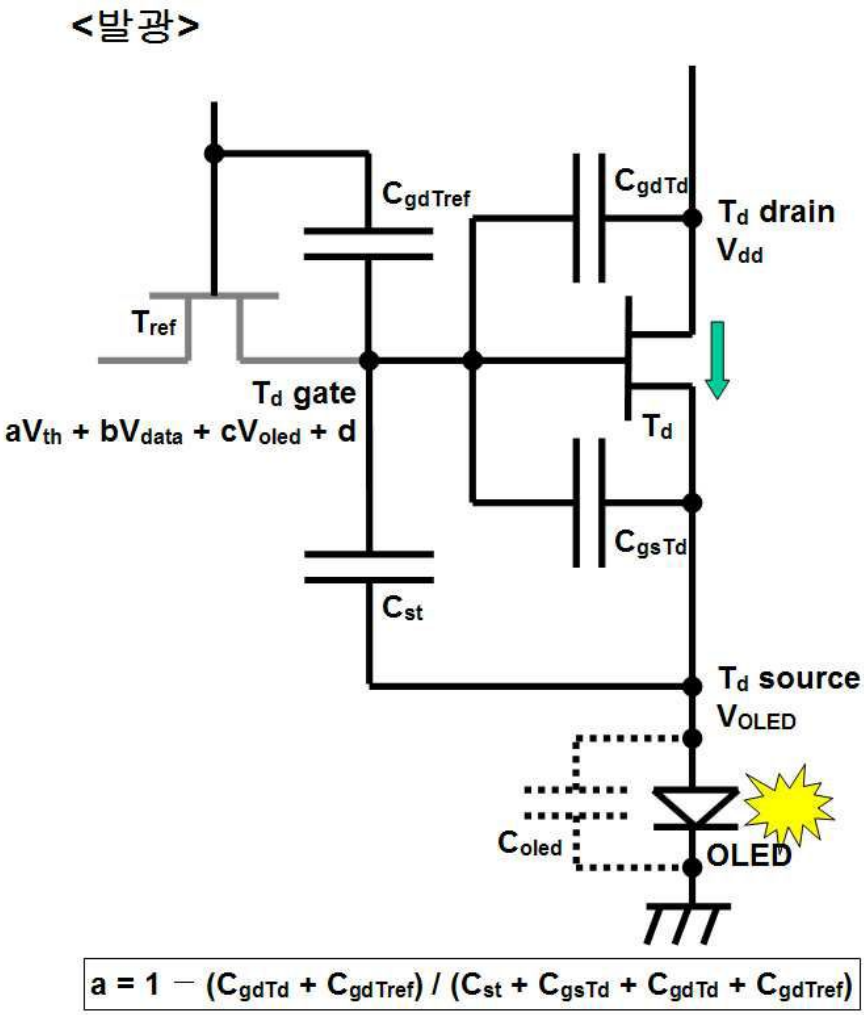
33n: 센스 라인

도면

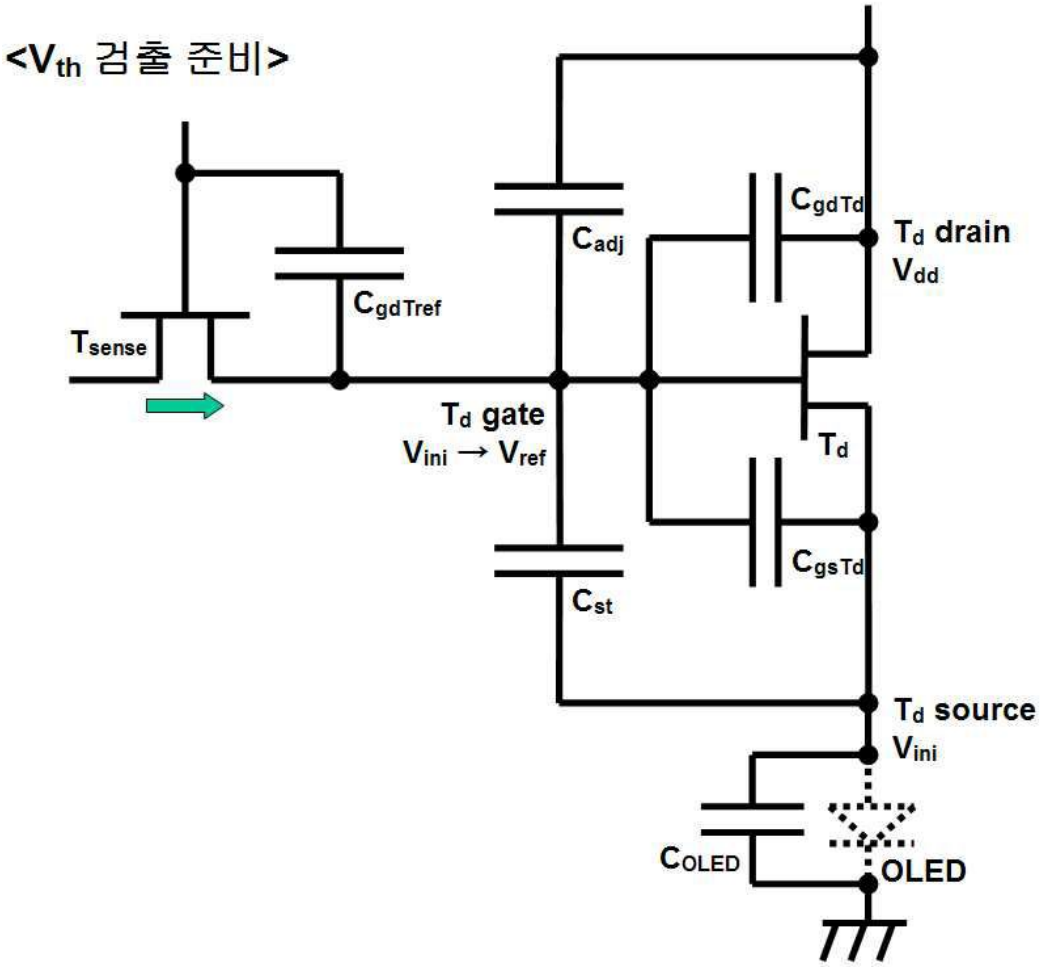
도면1



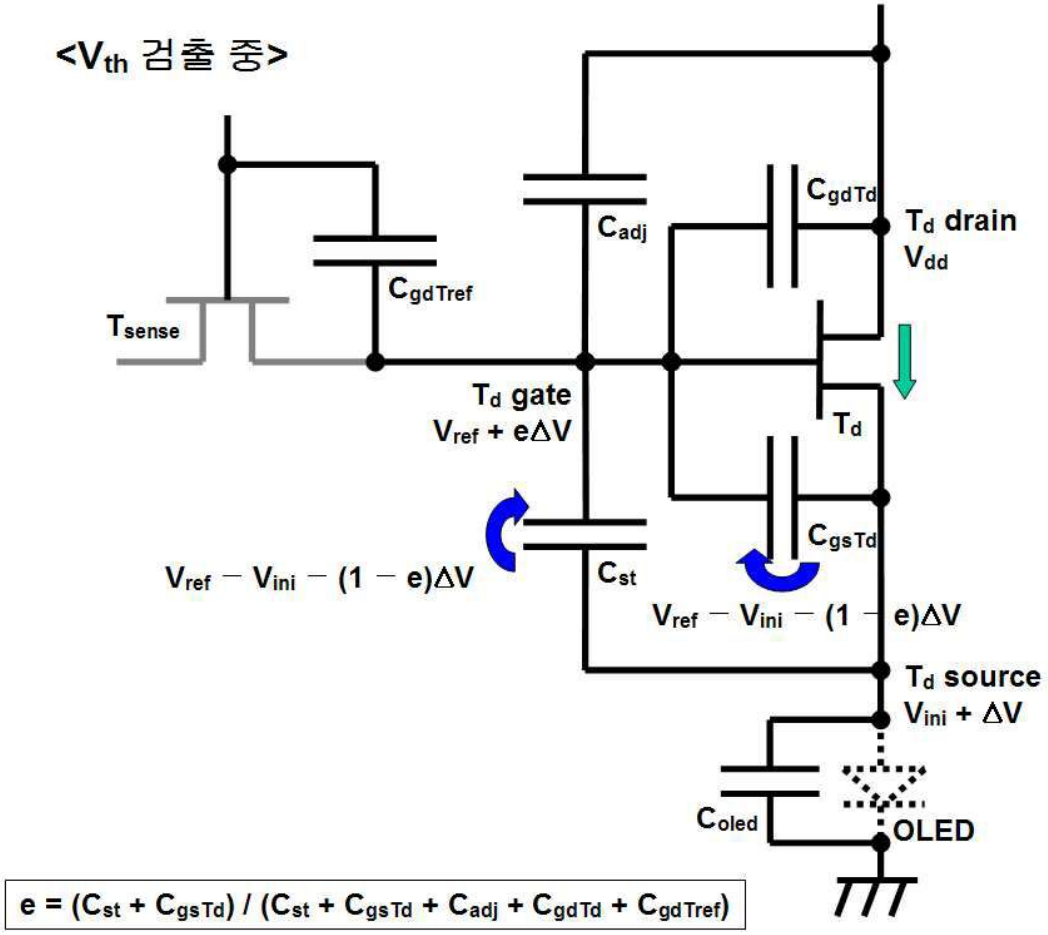
도면2


<발광>
CgdTref
CgdTd
Td drain
Vdd
Tref
Td gate
aVth + bVdata + cVoled + d
Td
CgsTd
Cst
Td source
VOLED
Coled
OLED
a = 1 − (CgdTd + CgdTref) / (Cst + CgsTd + CgdTd + CgdTref)

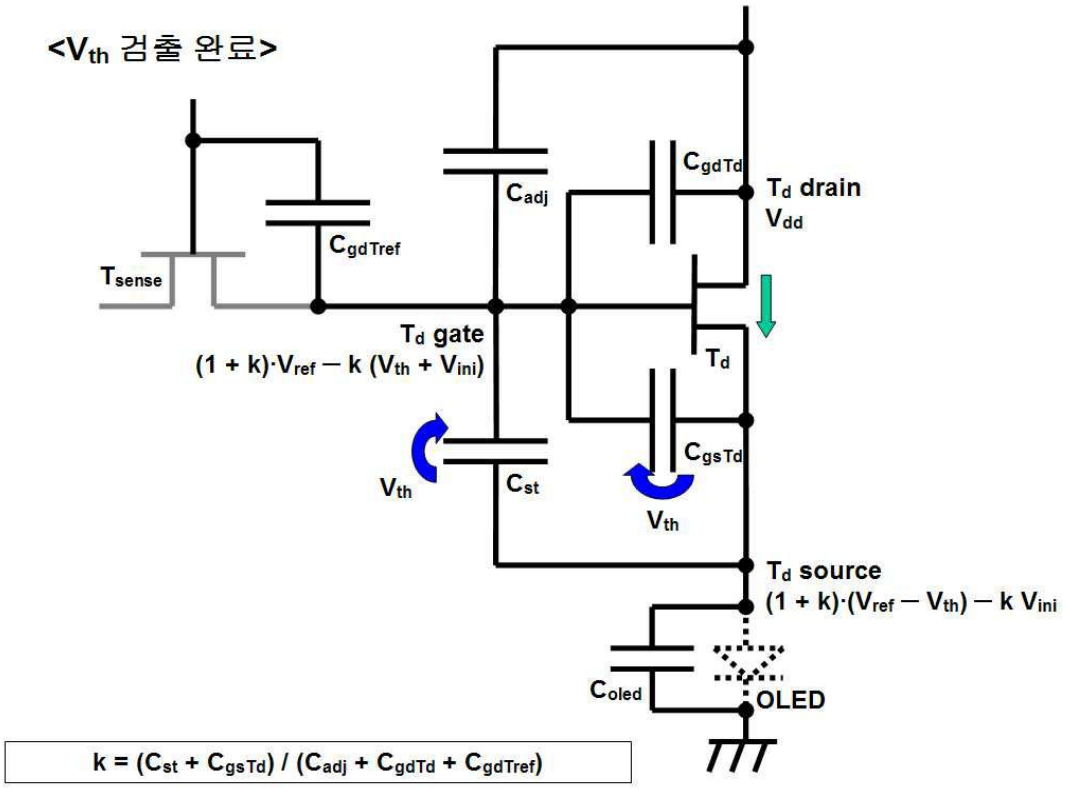
도면3


<Vth 검출 준비>
Tsense
CgdTref
Cadj
CgdTd
Td drain
Vdd
Td gate
Vini → Vref
Td
CgsTd
Cst
Td source
Vini
COLED
OLED

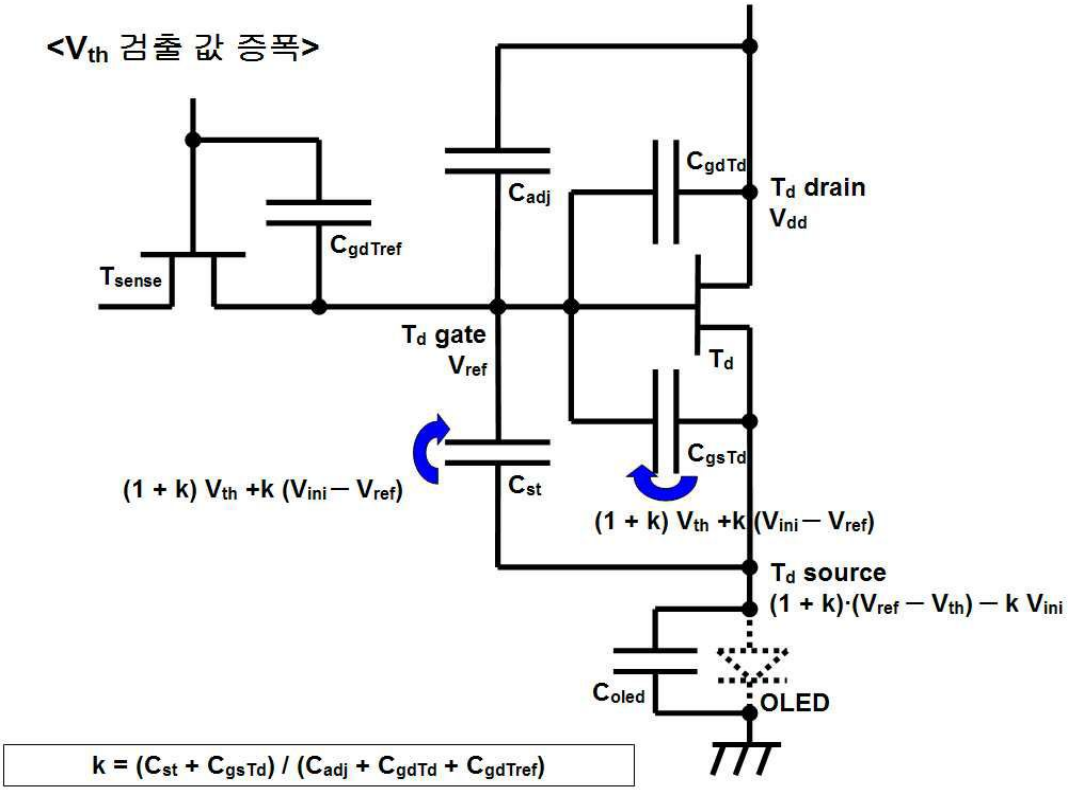
도면4


<Vth 검출 중>
Tsense
CgdTref
Cadj
CgdTd
Td drain
Vdd
Td gate
Vref + eΔV
Td
CgsTd
Vref − Vini − (1 − e)ΔV
Cst
Vref − Vini − (1 − e)ΔV
Td source
Vini + ΔV
Coled
OLED
e = (Cst + CgsTd) / (Cst + CgsTd + Cadj + CgdTd + CgdTref)

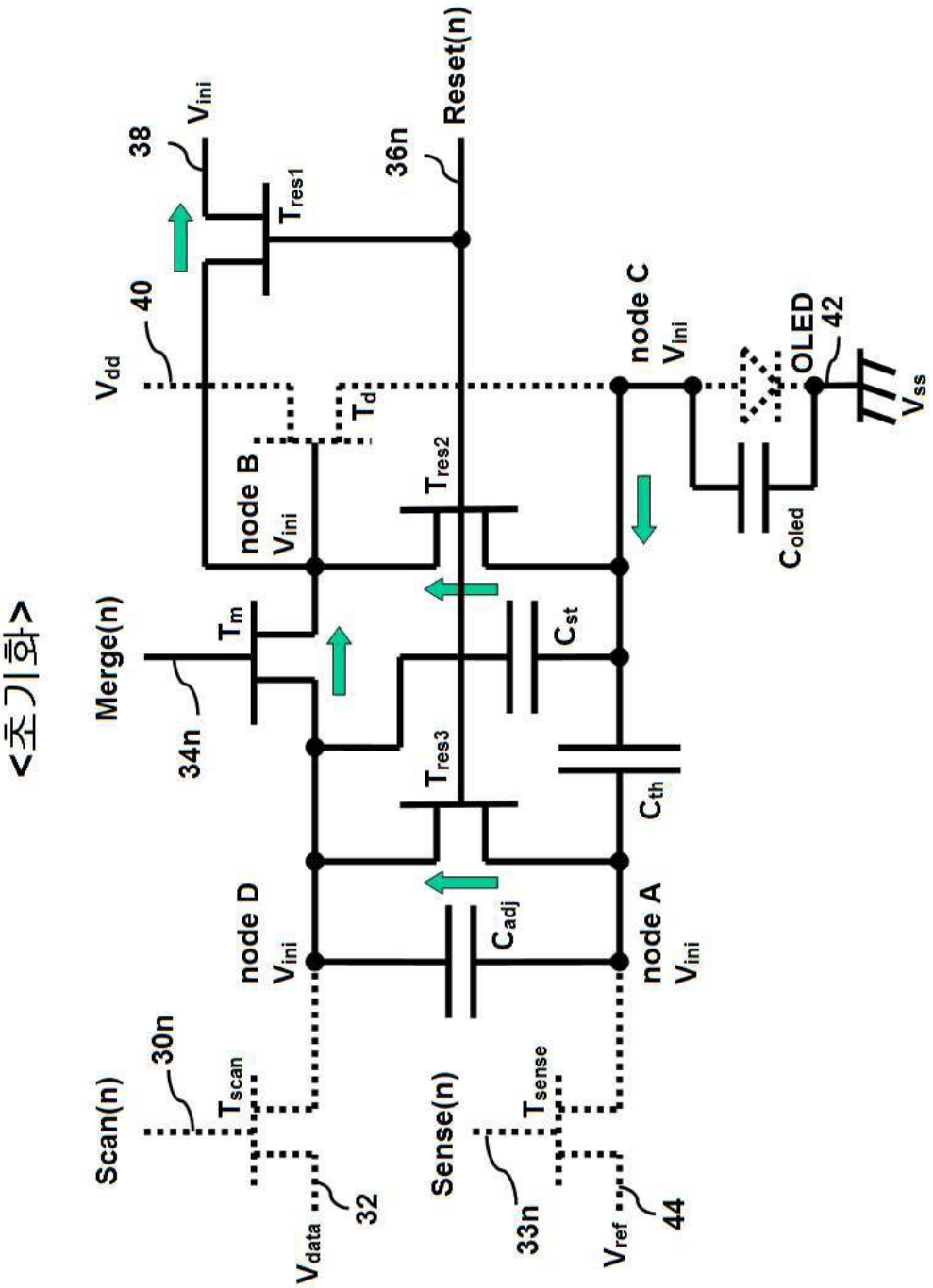
도면5


<Vth 검출 완료>
Cadj
CgdTd
Td drain
Vdd
CgdTref
Tsense
Td gate
(1 + k)·Vref − k (Vth + Vini)
Td
CgsTd
Vth
Cst
Vth
Td source
(1 + k)·(Vref − Vth) − k Vini
Coled
OLED
k = (Cst + CgsTd) / (Cadj + CgdTd + CgdTref)

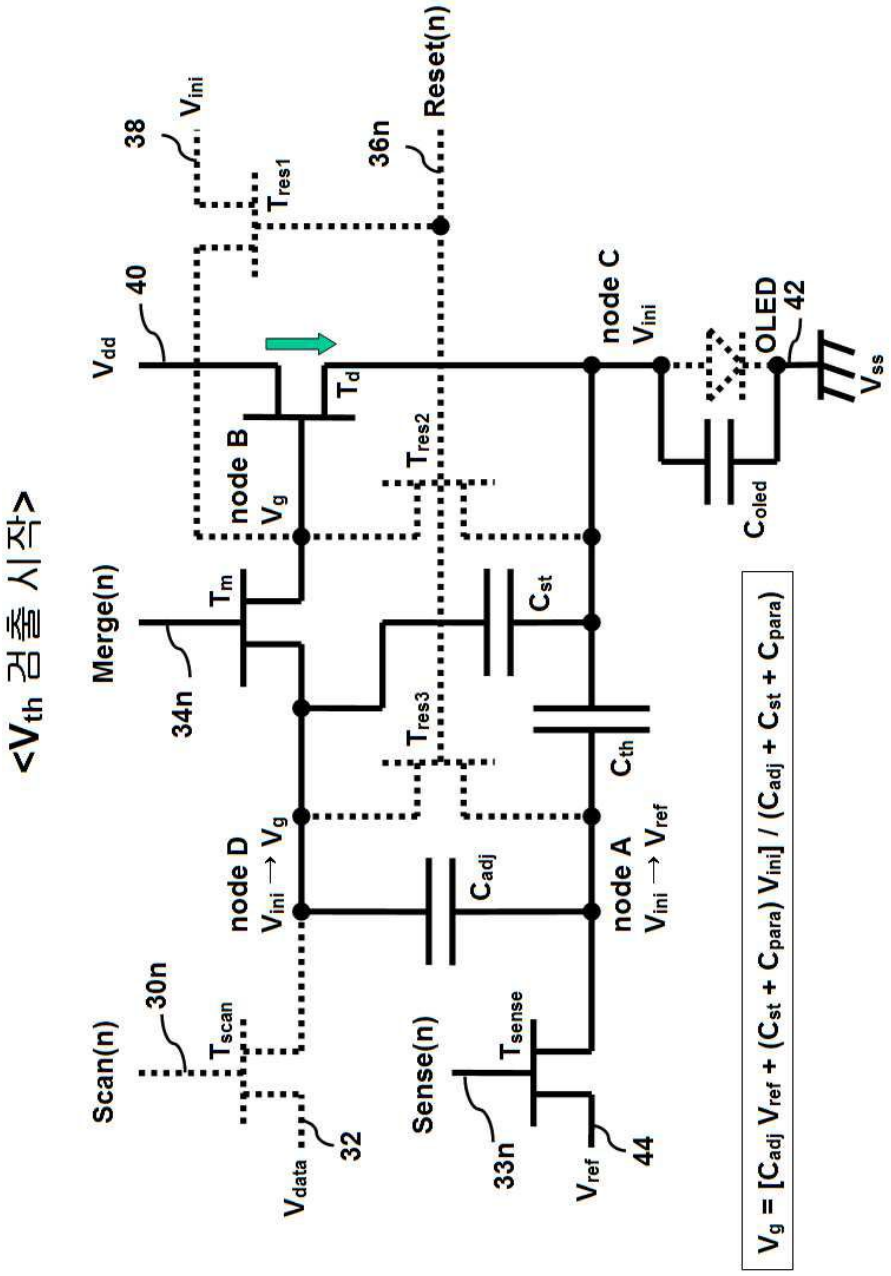
도면6


<Vth 검출 값 증폭>
Cadj
CgdTd
Td drain
Vdd
CgdTref
Tsense
Td gate
Vref
Td
CgsTd
(1 + k) Vth +k (Vini − Vref)
Cst
(1 + k) Vth +k (Vini − Vref)
Td source
(1 + k)·(Vref − Vth) − k Vini
Coled
OLED
k = (Cst + CgsTd) / (Cadj + CgdTd + CgdTref)

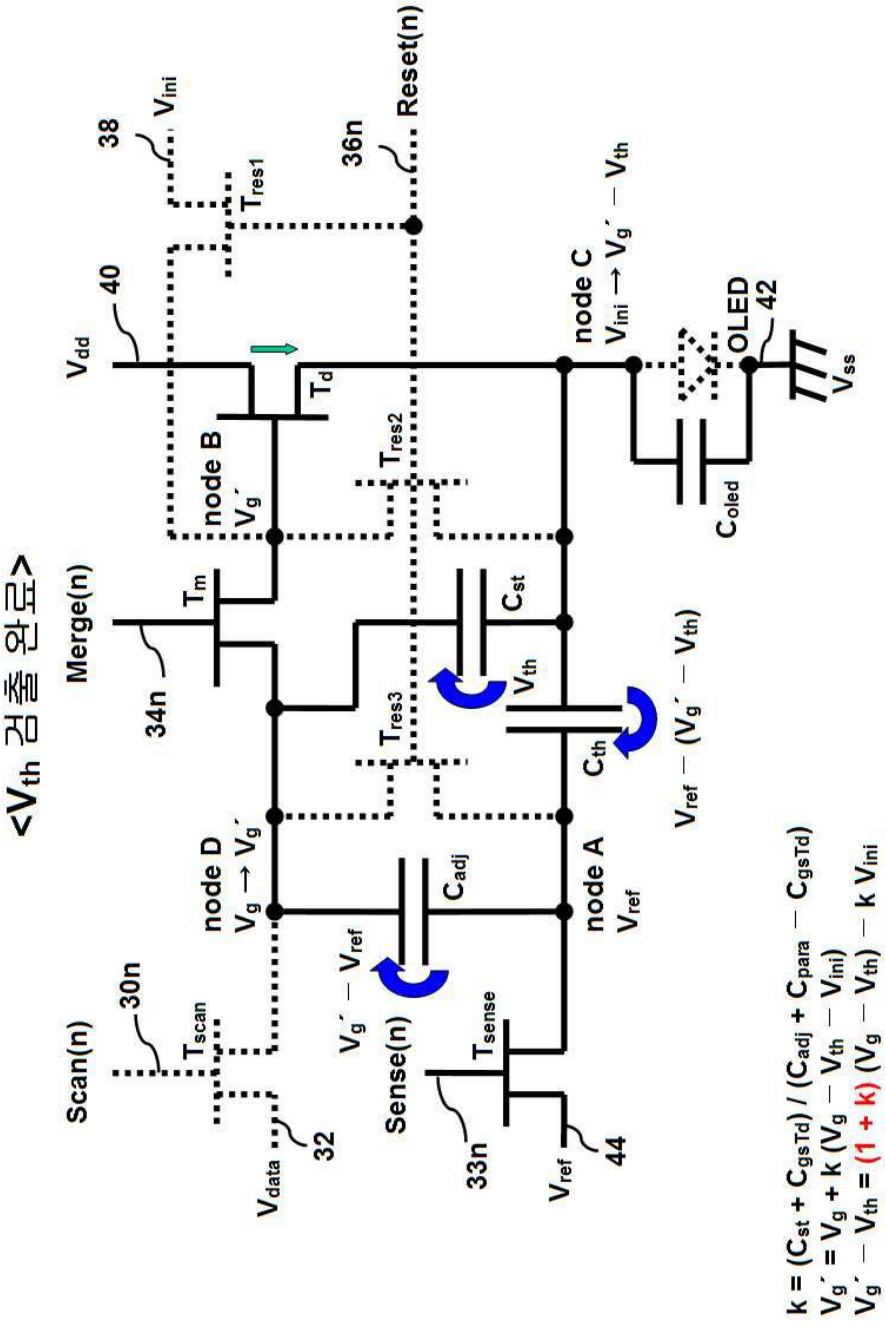
도면7


<초기화>
Scan(n)
30n
Merge(n)
34n
Sense(n)
33n
Reset(n)
36n
38
40
42
32
44
Vdd
Vini
Vdata
Vref
Vss
Tscan
Tm
Tsense
Tres1
Tres2
Tres3
Td
Cadj
Cst
Cth
Coled
OLED
node A
node B
node C
node D

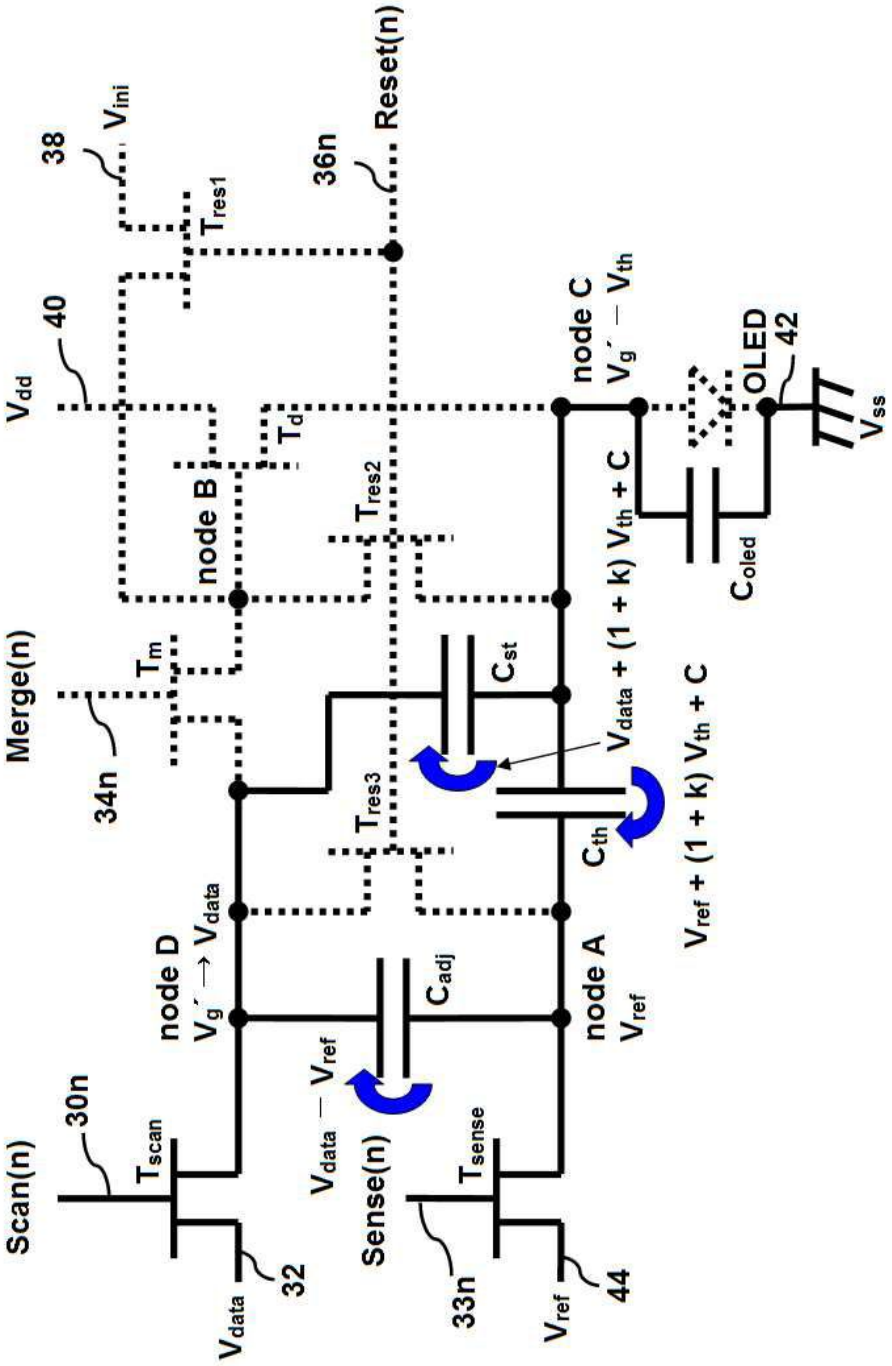
도면8


<Vth 검출 시작>
Vdd
40
38
Vini
Tres1
36n
Reset(n)
Td
node B
Vg
Tres2
node C
Vini
OLED
42
Vss
Coled
Merge(n)
Tm
34n
Cst
Tres3
Cth
node D
Vini → Vg
Cadj
node A
Vini → Vref
Scan(n)
30n
Tscan
Vdata
32
Sense(n)
Tsense
33n
Vref
44
Vg = [Cadj Vref + (Cst + Cpara) Vini] / (Cadj + Cst + Cpara)

도면9

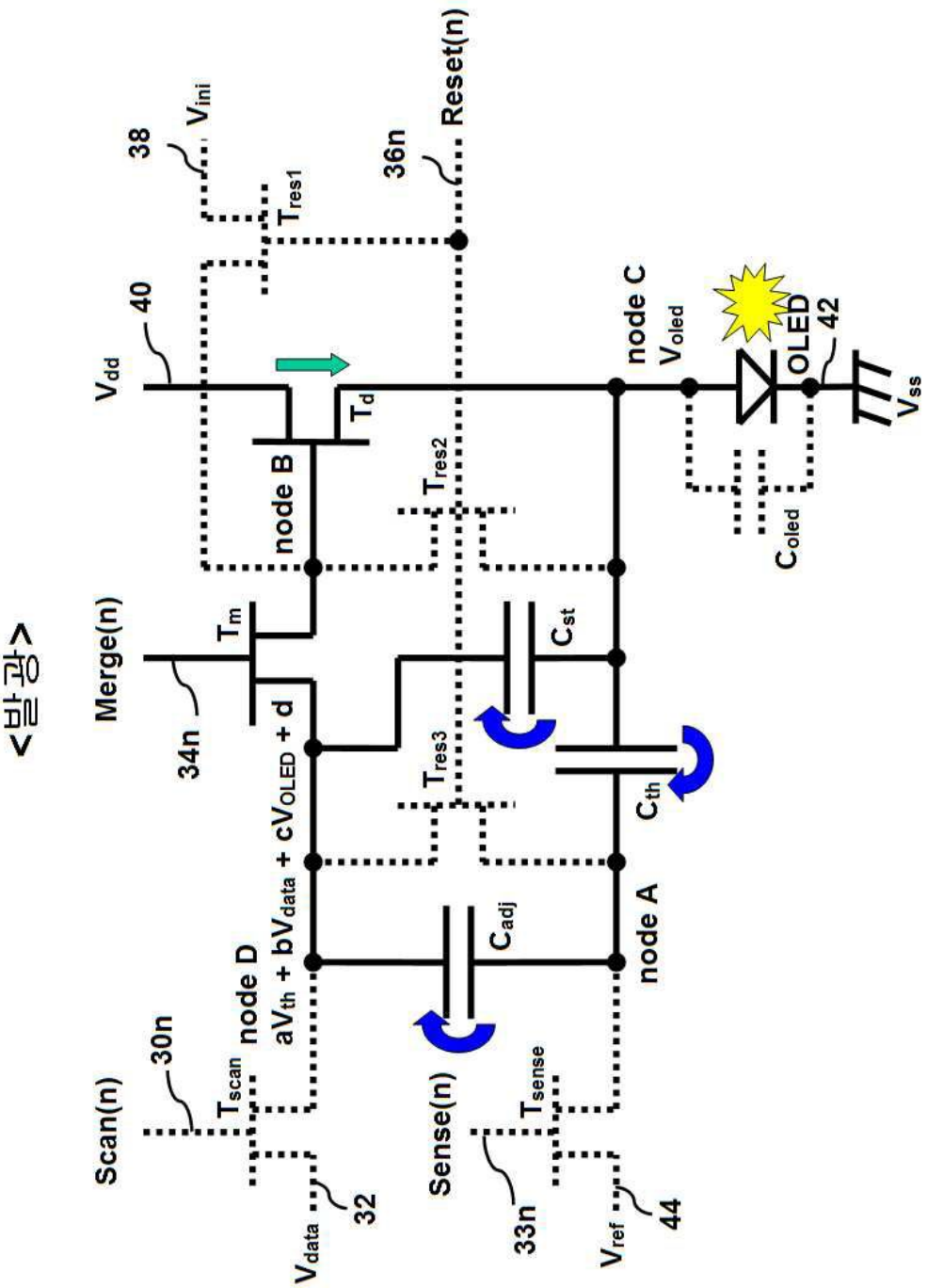

<Vth 검출 완료>
Vdd
40
38
Vini
Tres1
36n
Reset(n)
Td
node B
Vg´
Tres2
node C
Vini → Vg´ − Vth
OLED
42
Vss
Coled
Merge(n)
Tm
34n
Cst
Vth
Tres3
Cth
Vref − (Vg´ − Vth)
node D
Vg → Vg´
Cadj
node A
Vref
Vg´ − Vref
Scan(n)
30n
Tscan
Sense(n)
Tsense
Vdata
32
33n
Vref
44
k = (Cst + CgsTd) / (Cadj + Cpara − CgsTd)
Vg´ = Vg + k (Vg − Vth − Vini)
Vg´ − Vth = (1 + k) (Vg − Vth) − k Vini

도면10


Scan(n)
30n
Tscan
Vdata
32
Merge(n)
34n
Tm
Vdd
40
38
Vini
Tres1
node B
Td
Tres2
36n
Reset(n)
node D
Vg´ → Vdata
Tres3
Cadj
Vdata − Vref
Sense(n)
33n
Tsense
Vref
44
Cst
Vdata + (1 + k) Vth + C
node A
Vref
Cth
Vref + (1 + k) Vth + C
node C
Vg´ − Vth
Coled
OLED
42
Vss

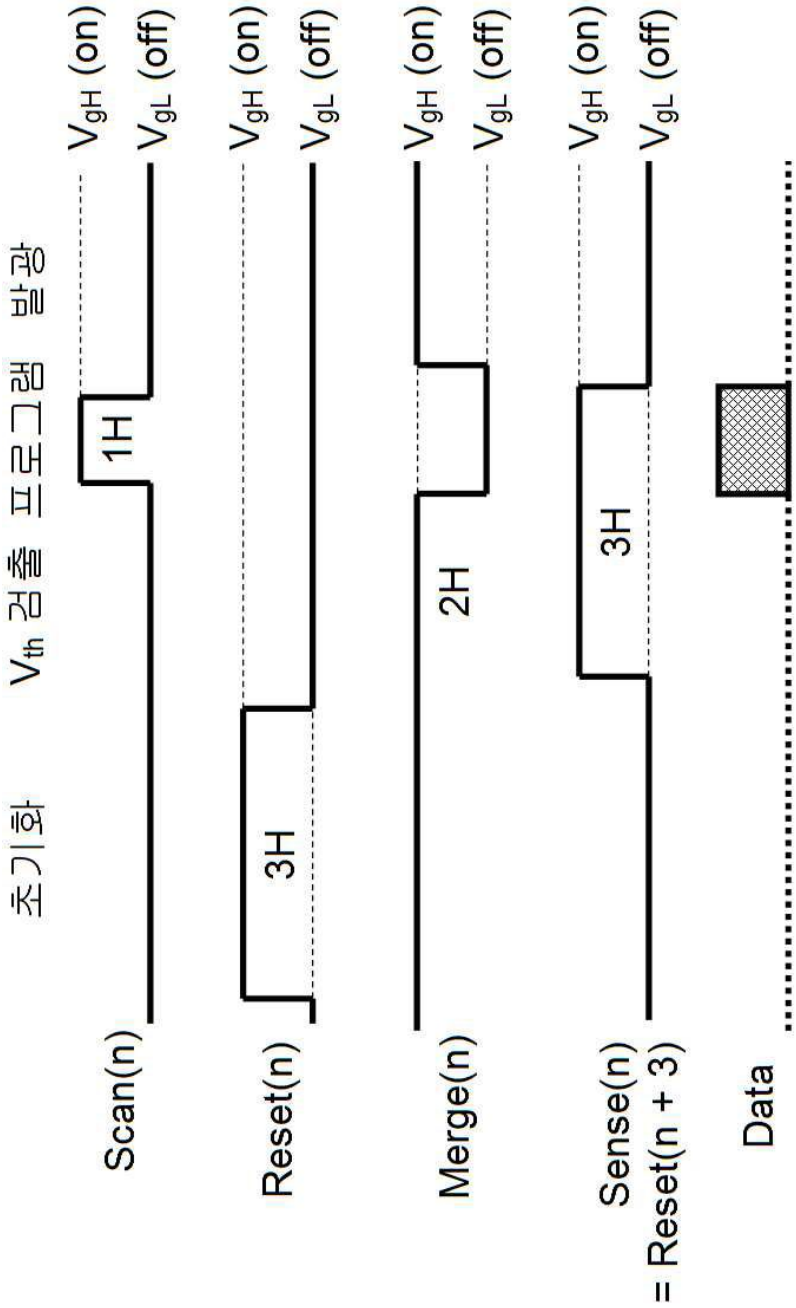
<프로그램>

도면11

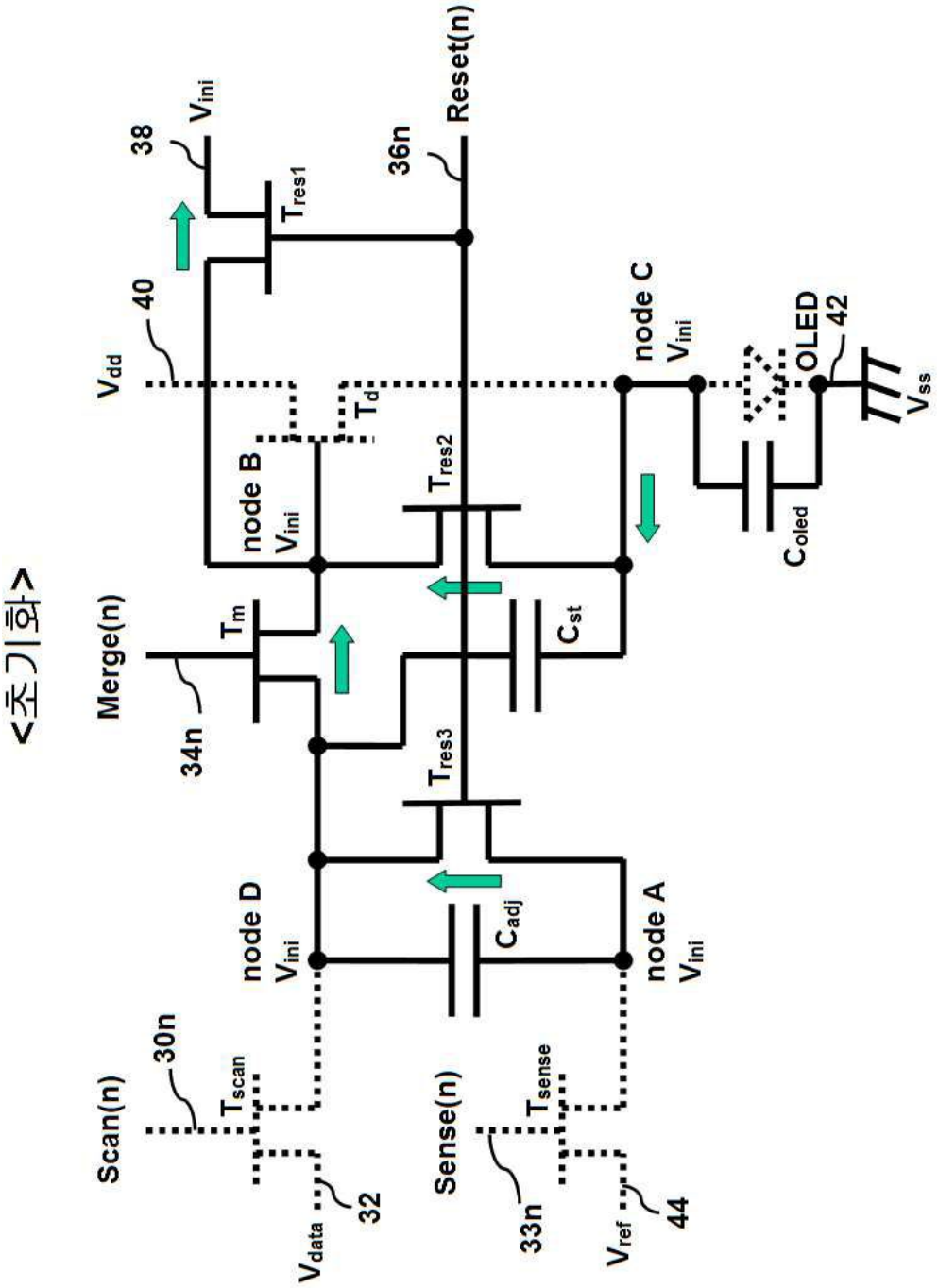

Vdd
40
38
Vini
Tres1
36n
Reset(n)
node B
Td
Tres2
Merge(n)
Tm
34n
Tres3
Cst
node C
Voled
OLED
42
Vss
Coled
Cth
aVth + bVdata + cVOLED + d
node D
Cadj
node A
Scan(n)
30n
Tscan
Sense(n)
Tsense
Vdata
32
33n
Vref
44

<발광>

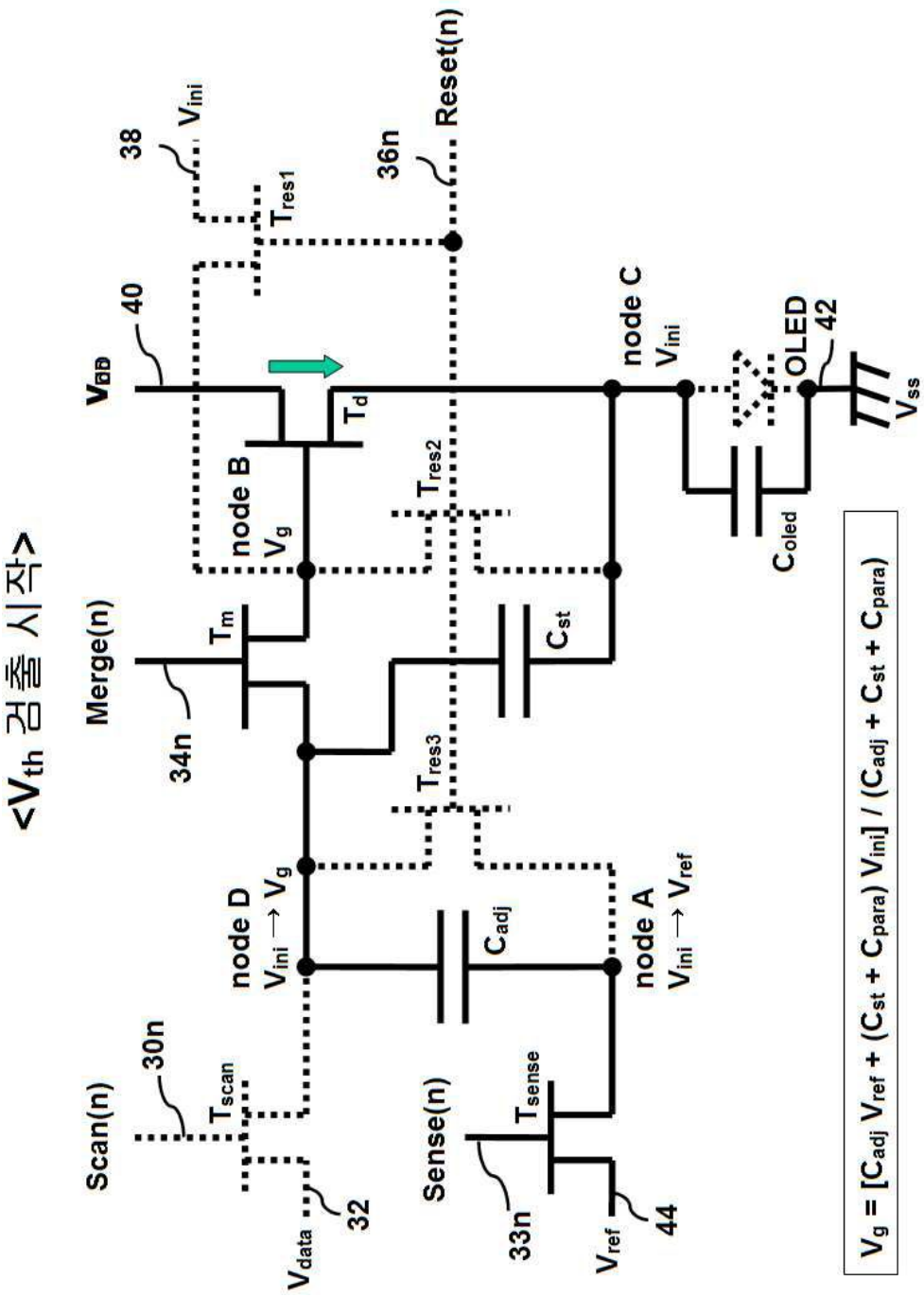
도면12


초기화
Vth 검출 프로그램 발광
Scan(n)
1H
VgH (on)
VgL (off)
Reset(n)
3H
VgH (on)
VgL (off)
Merge(n)
2H
VgH (on)
VgL (off)
Sense(n)
= Reset(n + 3)
3H
VgH (on)
VgL (off)
Data

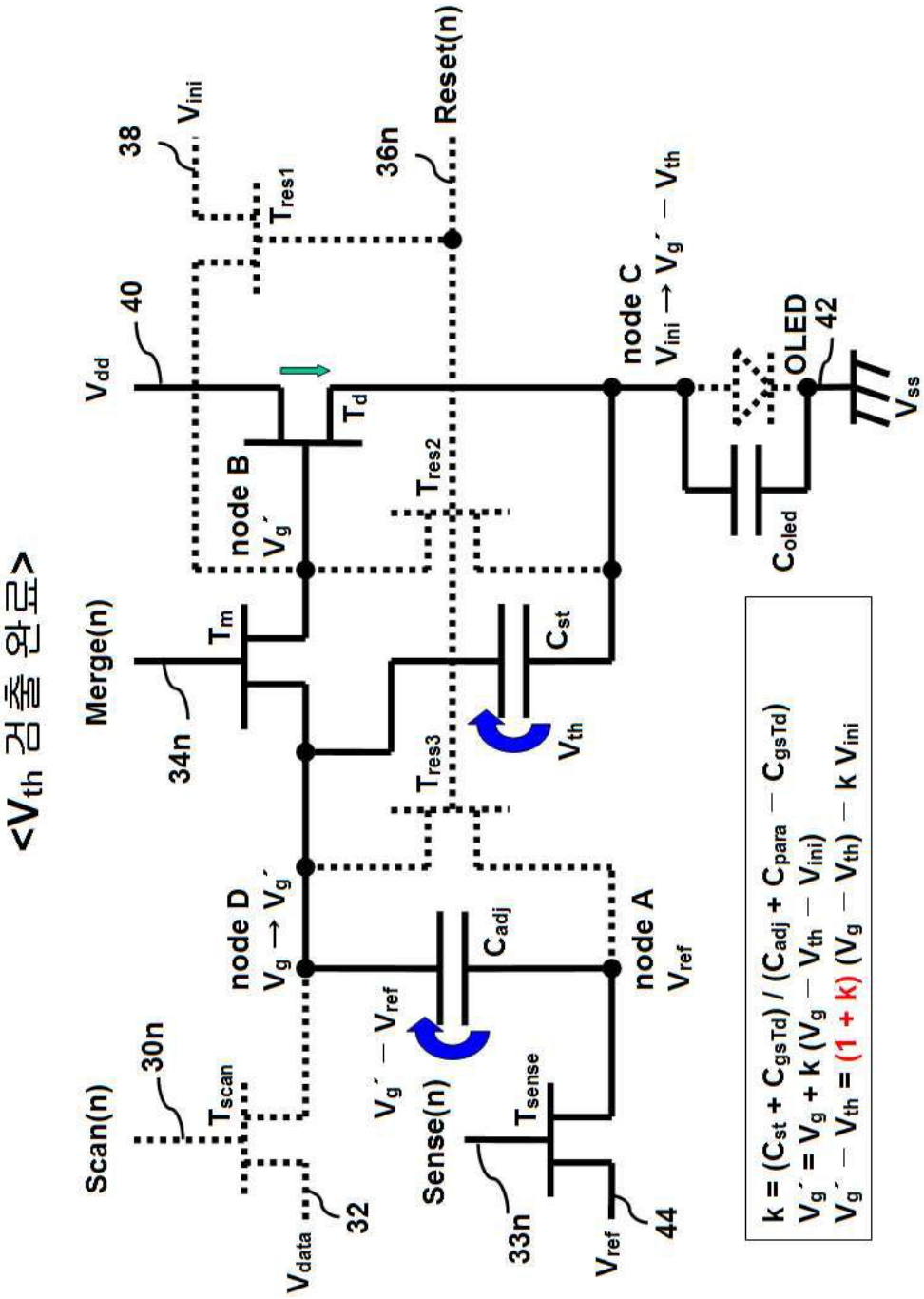
도면13


<초기화>
Scan(n)
30n
Merge(n)
34n
Sense(n)
33n
Reset(n)
36n
Vdd
40
Vini
38
Tres1
Tm
node B
Vini
Td
Tres2
Tres3
Cst
node C
Vini
OLED
42
Coled
Vss
node D
Vini
Cadj
node A
Vini
Tscan
Tsense
Vdata
32
Vref
44

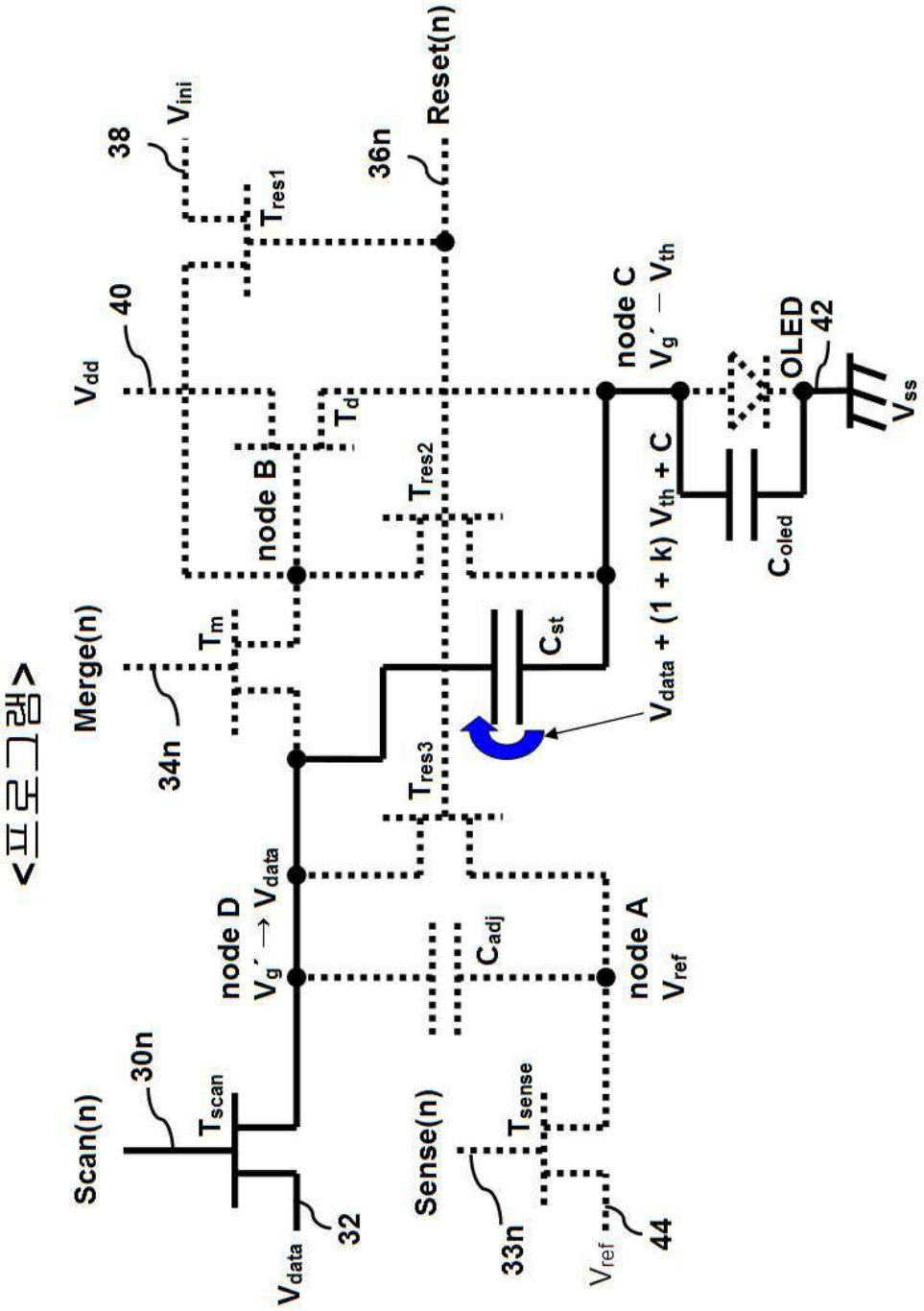
도면14


<Vth 검출 시작>
VDD
40
38
Vini
Tres1
36n
Reset(n)
Td
node B
Vg
Tres2
Merge(n)
Tm
34n
Cst
Tres3
node D
Vini → Vg
Cadj
node A
Vini → Vref
node C
Vini
OLED
42
Coled
Vss
Scan(n)
30n
Tscan
Vdata
32
Sense(n)
Tsense
33n
Vref
44
Vg = [Cadj Vref + (Cst + Cpara) Vini] / (Cadj + Cst + Cpara)

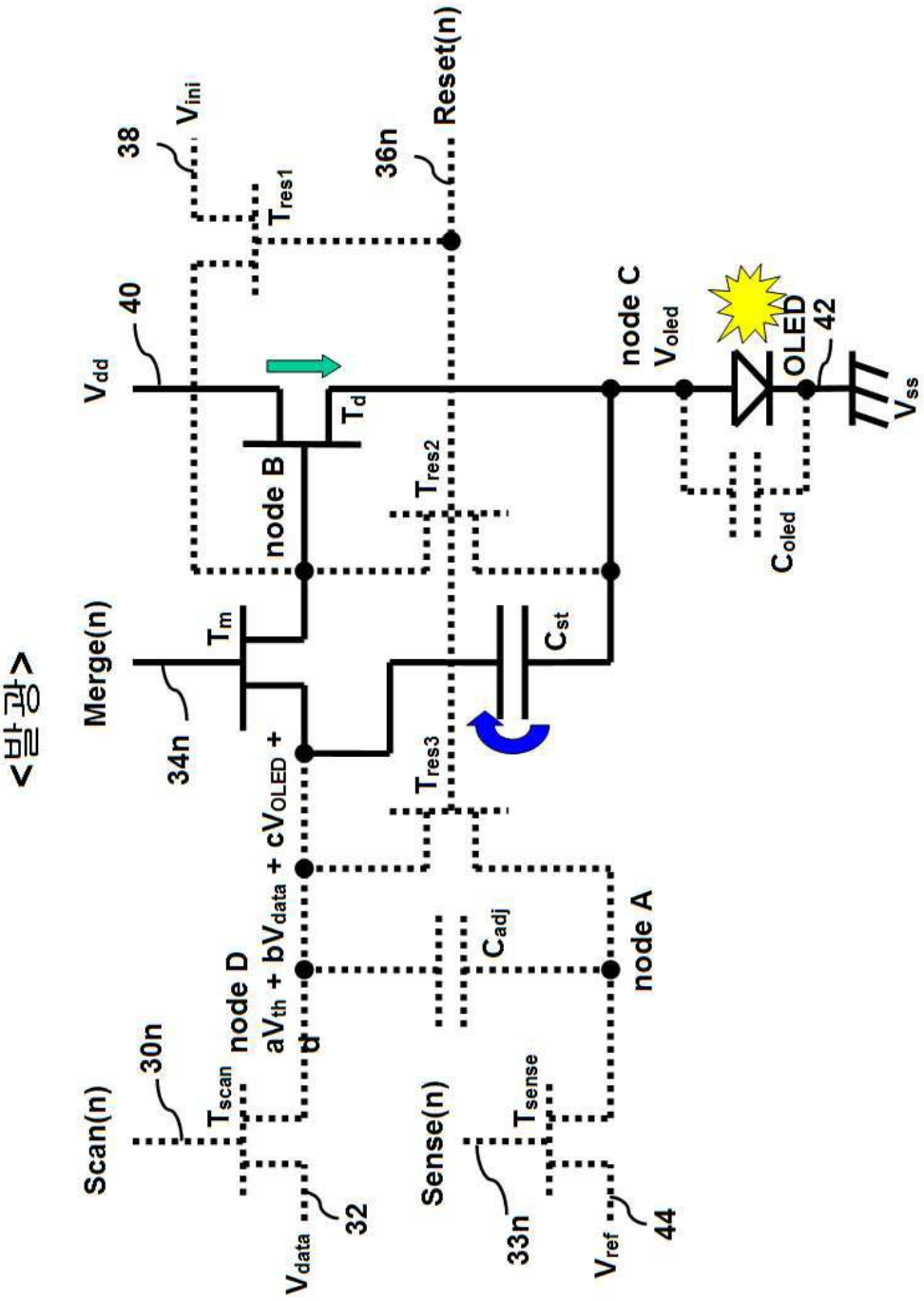
도면15


<Vth 검출 완료>
Vdd
40
38
Vini
Tres1
36n
Reset(n)
node B
Vg´
Td
Tres2
node C
Vini → Vg´ − Vth
OLED
42
Vss
Coled
Merge(n)
Tm
34n
Cst
Vth
Tres3
node D
Vg → Vg´
Cadj
node A
Vref
Scan(n)
30n
Tscan
Vg´ − Vref
Sense(n)
Tsense
33n
Vref
44
Vdata
32
k = (Cst + CgsTd) / (Cadj + Cpara − CgsTd)
Vg´ = Vg + k (Vg − Vth − Vini)
Vg´ − Vth = (1 + k) (Vg − Vth) − k Vini

도면16

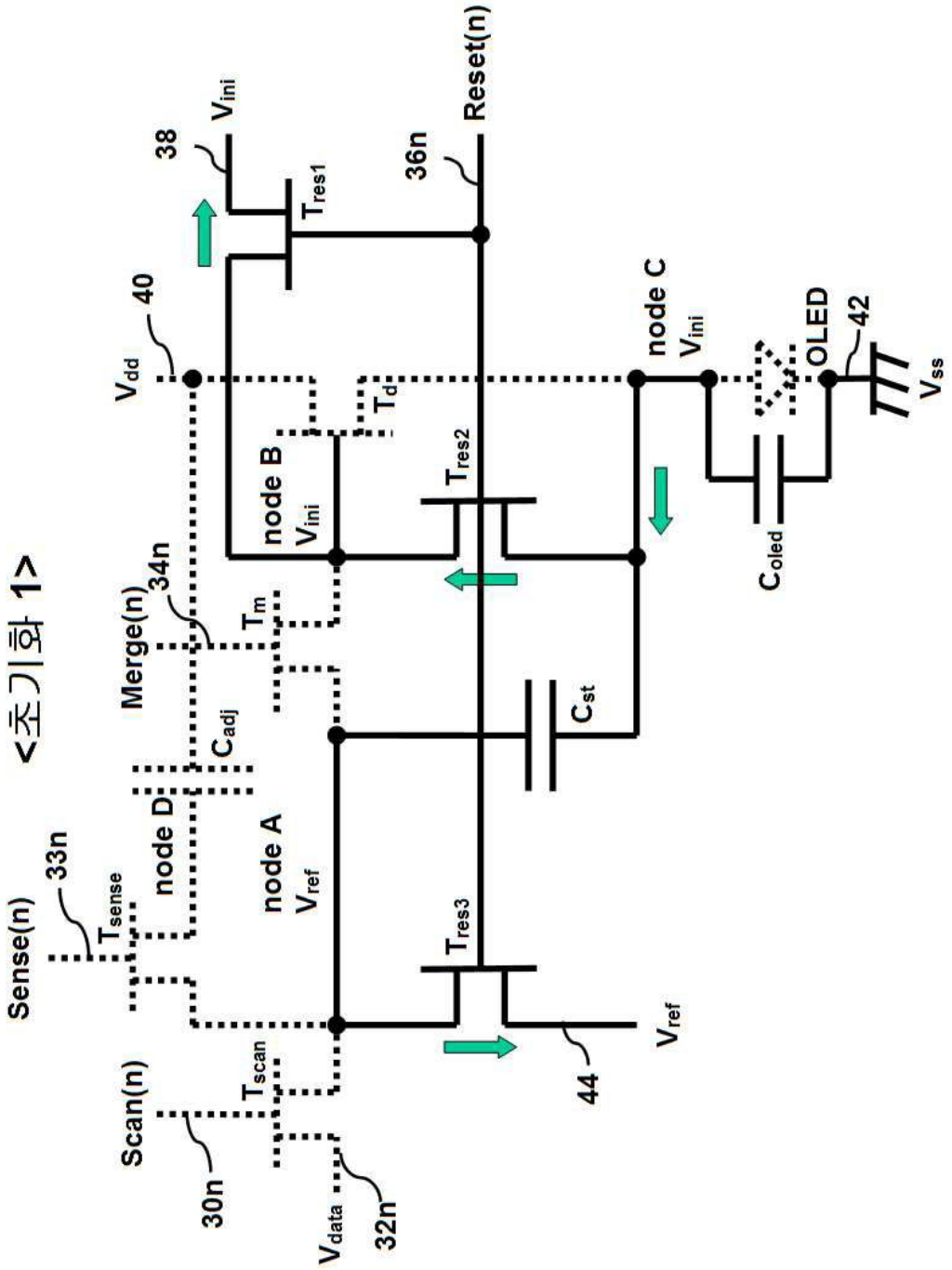

<프로그램>
Scan(n)
30n
Tscan
Vdata
32
Merge(n)
34n
Tm
Vdd
40
38
Vini
node B
Td
Tres1
Tres2
Tres3
36n
Reset(n)
node D
Vg´ → Vdata
Cadj
Sense(n)
33n
Tsense
Vref
44
node A
Vref
Cst
Vdata + (1 + k) Vth + C
node C
Vg´ − Vth
Coled
OLED
42
Vss

도면17

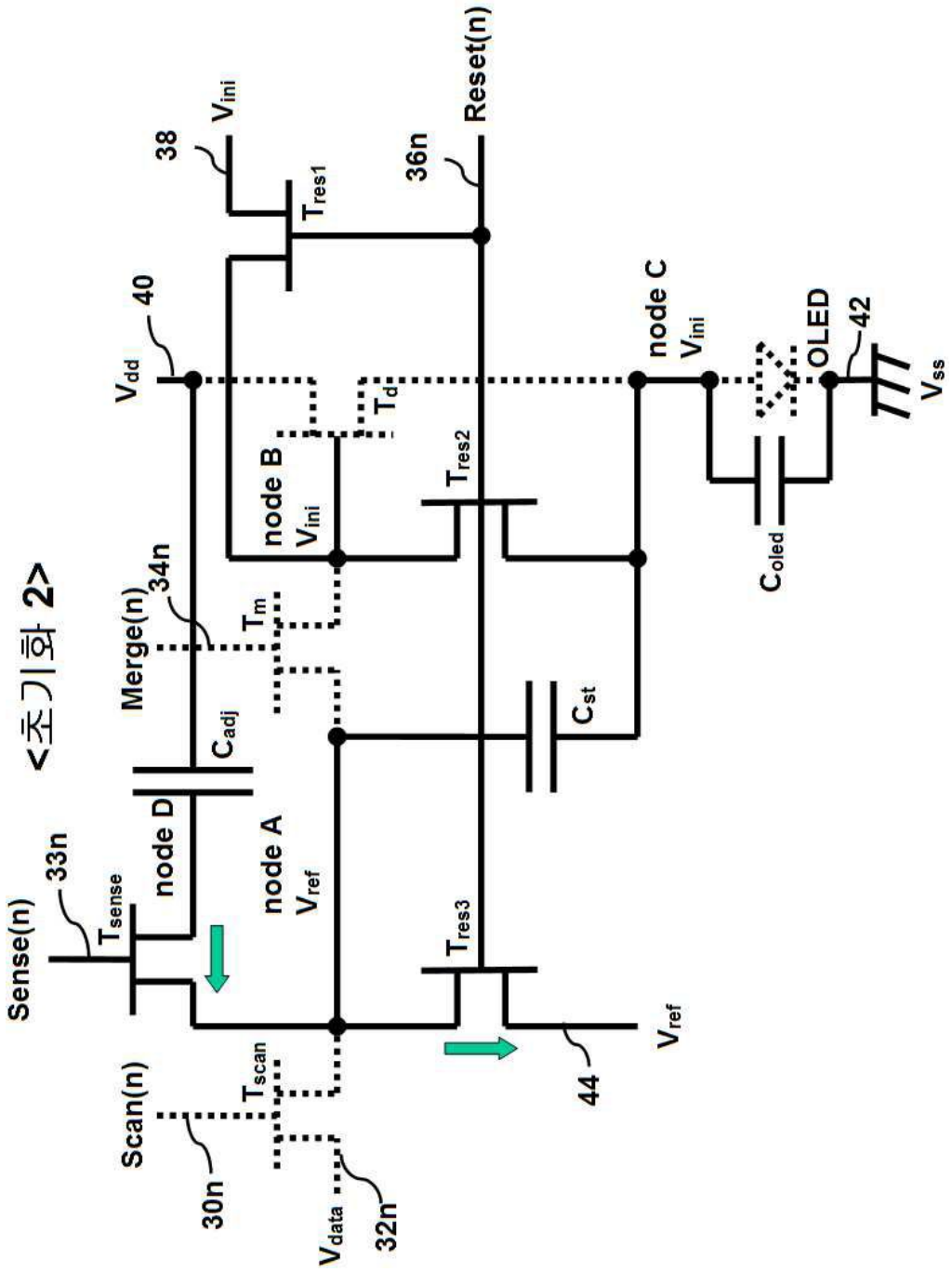

Scan(n)
30n
Merge(n)
34n
Sense(n)
33n
Vdd
40
Vdata
32
Tscan
node D
aVth + bVdata + cVOLED +
Tm
node B
Td
Vini
38
Tres1
Tres2
Tres3
Cst
Cadj
Tsense
Vref
44
node A
36n
Reset(n)
node C
Voled
OLED
42
Coled
Vss

<발광>

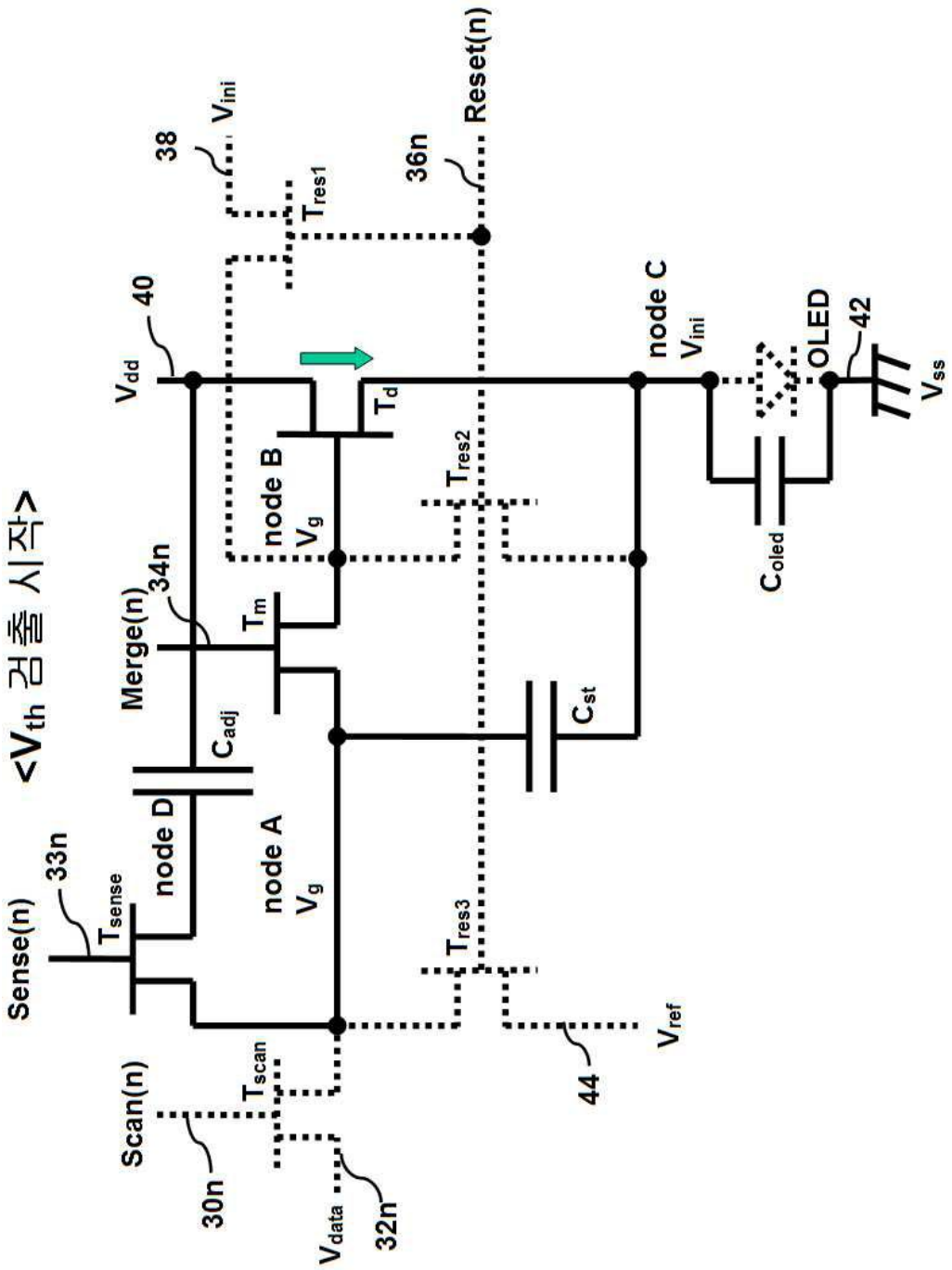
도면18


<초기화 1>
Sense(n)
33n
Tsense
node D
Scan(n)
30n
Tscan
Vdata
32n
Merge(n)
34n
Tm
Cadj
node A
Vref
Tres3
44
Vref
Cst
Vdd
40
Td
node B
Vini
Tres2
Tres1
38
Vini
36n
Reset(n)
node C
Vini
Coled
OLED
42
Vss

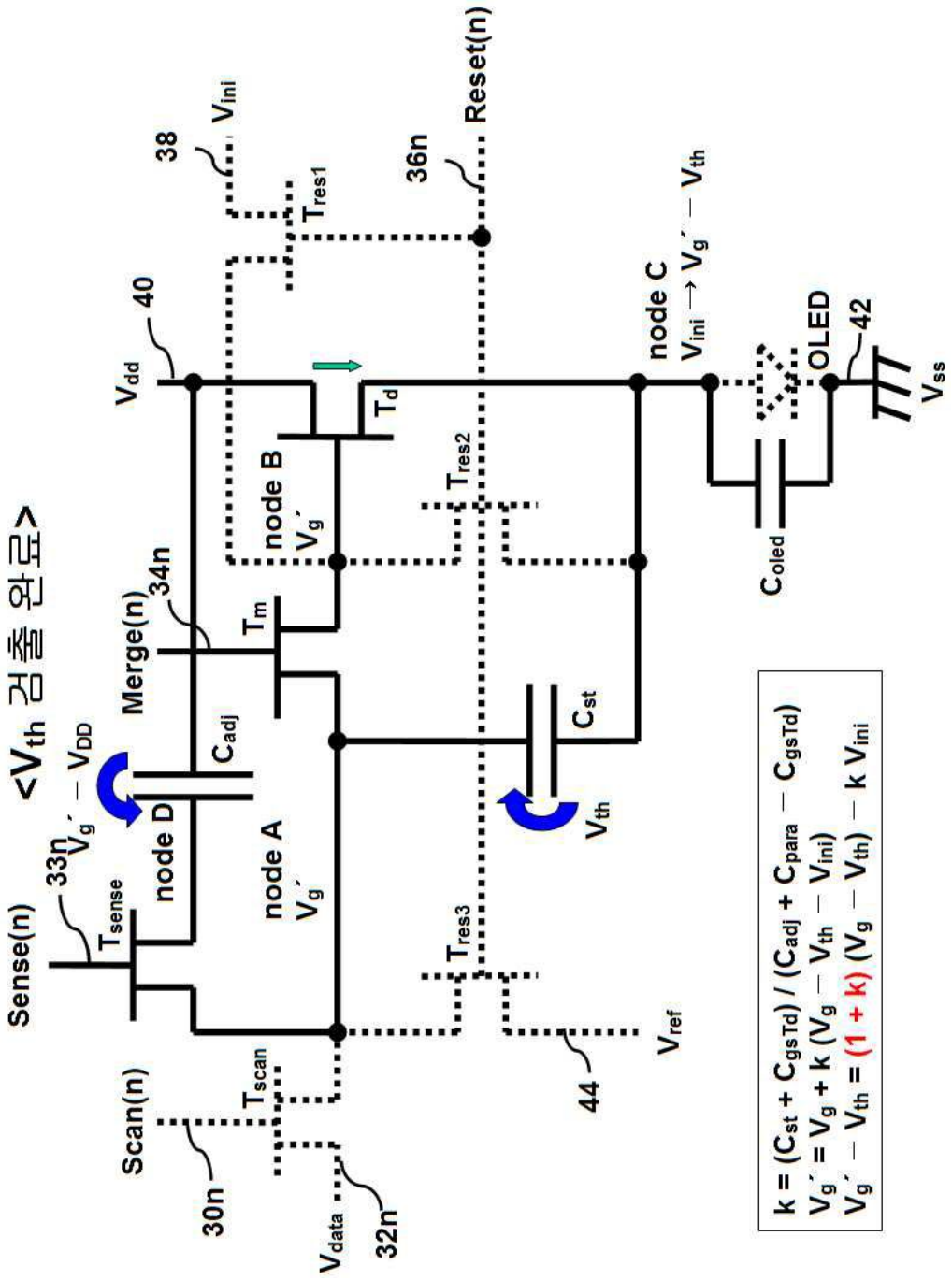
도면19


<초기화 2>
Sense(n)
33n
T_{sense}
node D
C_{adj}
Merge(n)
34n
T_m
Scan(n)
30n
T_{scan}
V_{data}
32n
node A
V_{ref}
node B
V_{ini}
T_d
V_{dd}
40
38
V_{ini}
T_{res1}
T_{res2}
T_{res3}
36n
Reset(n)
C_{st}
44
V_{ref}
node C
V_{ini}
C_{oled}
OLED
42
V_{ss}

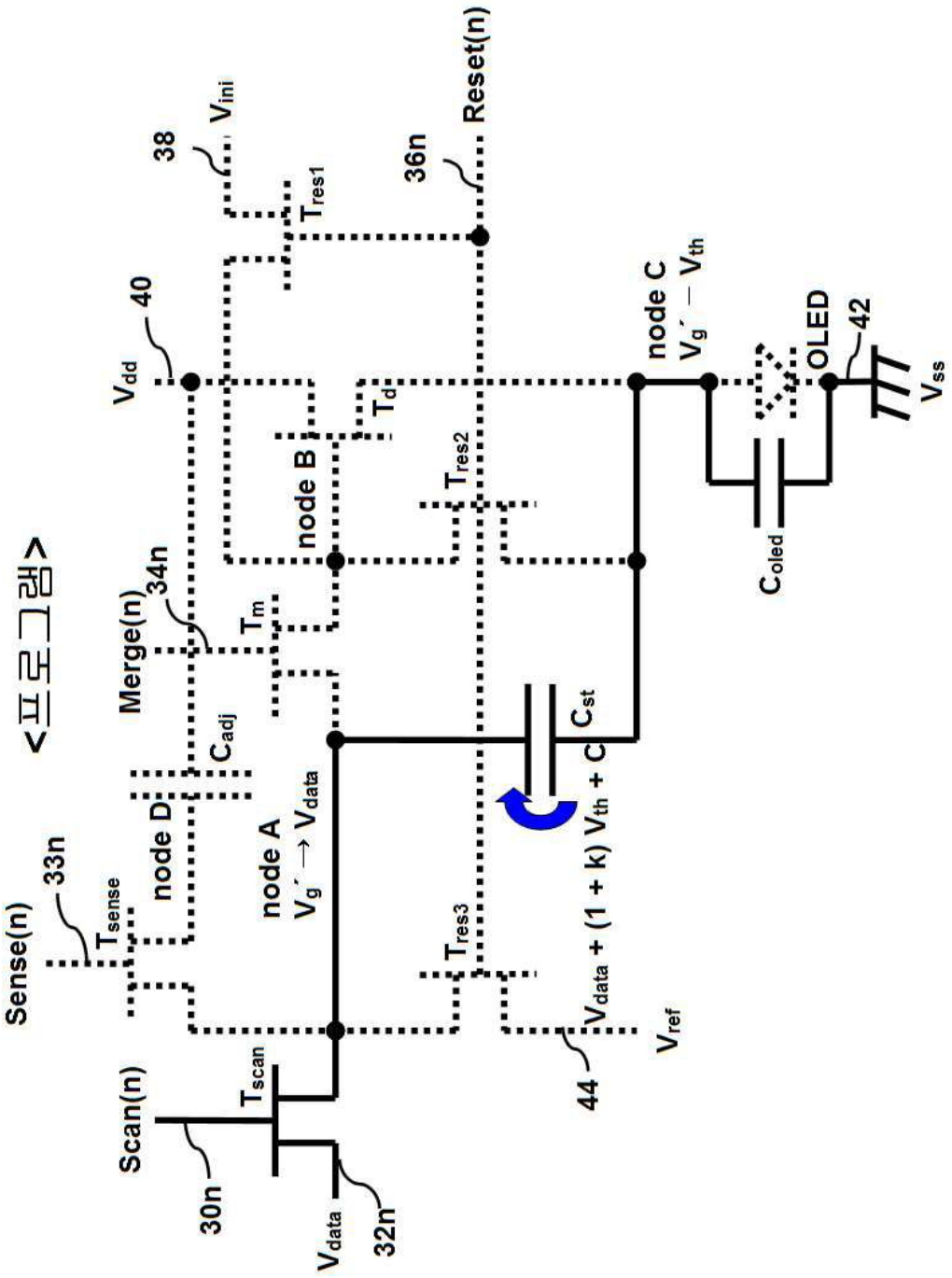
도면20


<Vth 검출 시작>
Sense(n)
33n
Tsense
node D
Scan(n)
30n
Tscan
Vdata
32n
Merge(n)
34n
Tm
Cadj
node A
Vg
node B
Vg
Td
Vdd
40
38
Vini
Tres1
Tres2
Tres3
Cst
36n
Reset(n)
node C
Vini
Coled
OLED
42
Vss
44
Vref

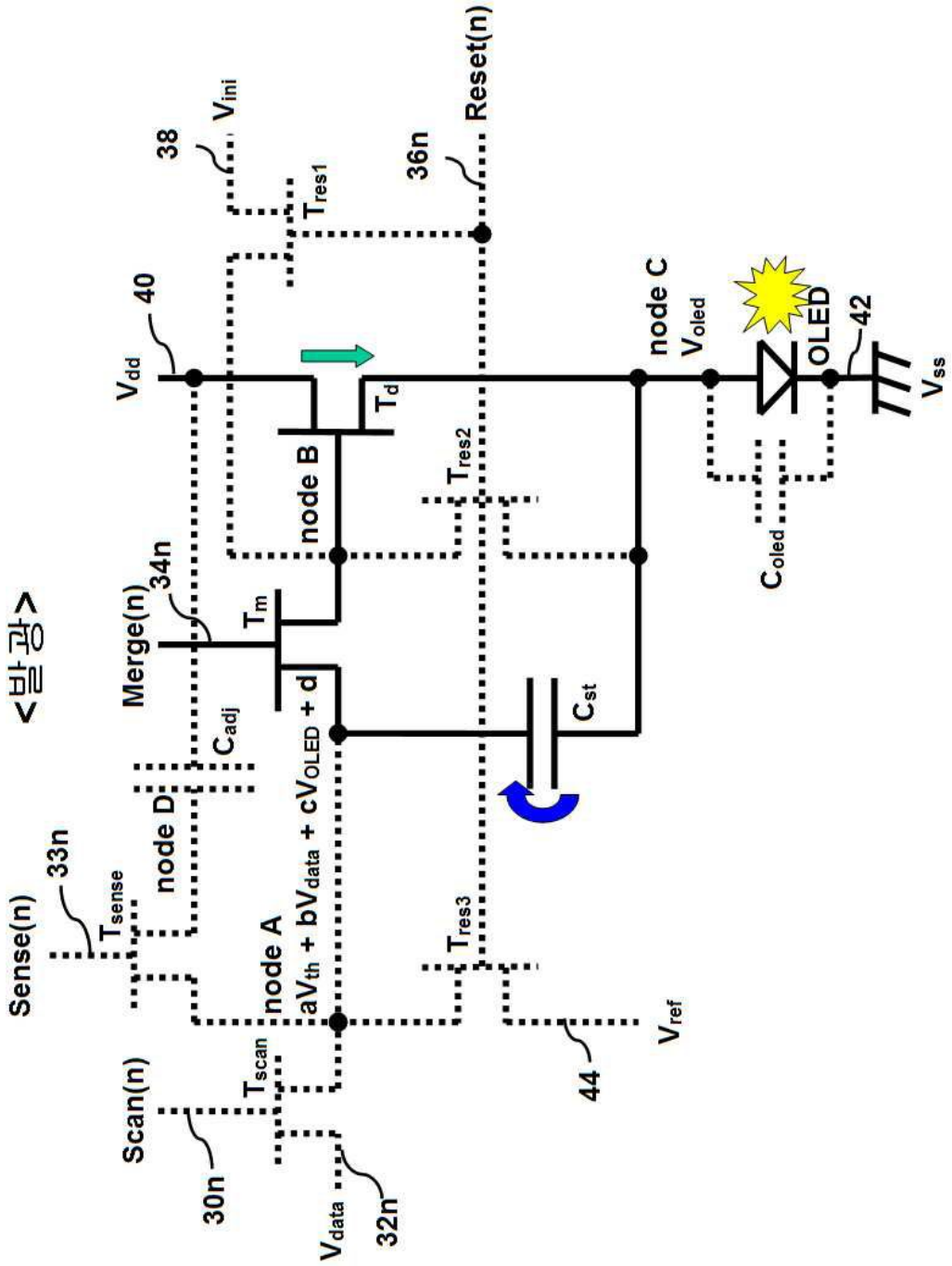
도면21


<Vth 검출 완료>
Sense(n)
33n
Tsense
Vg´ − VDD
node D
Cadj
Merge(n)
34n
Tm
node A
Vg´
Scan(n)
30n
Tscan
Vdata
32n
Vdd
40
38
Vini
Tres1
node B
Vg´
Td
Tres2
Tres3
Cst
Vth
Vref
44
36n
Reset(n)
node C
Vini → Vg´ − Vth
Coled
OLED
42
Vss
k = (Cst + CgsTd) / (Cadj + Cpara − CgsTd)
Vg´ = Vg + k (Vg − Vth − Vini)
Vg´ − Vth = (1 + k) (Vg − Vth) − k Vini

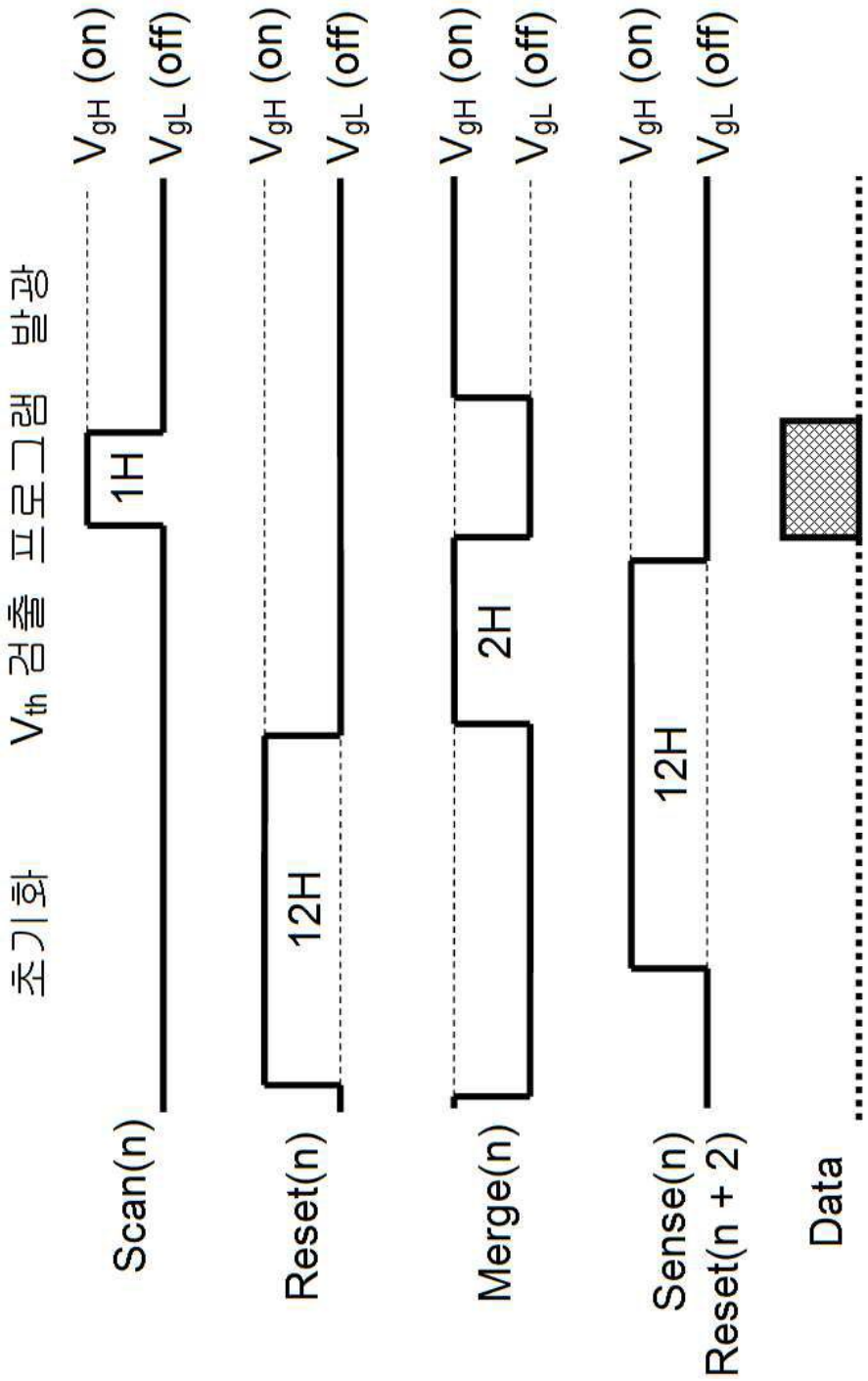
도면22


Sense(n)
33n
Tsense
Scan(n)
30n
Tscan
Vdata
32n
Merge(n)
34n
Cadj
node D
Tm
node A
Vg´ → Vdata
Vdd
40
38
Vini
Tres1
node B
Td
Tres2
Tres3
36n
Reset(n)
Vdata + (1 + k) Vth + C
44
Vref
Cst
node C
Vg´ − Vth
Coled
OLED
42
Vss

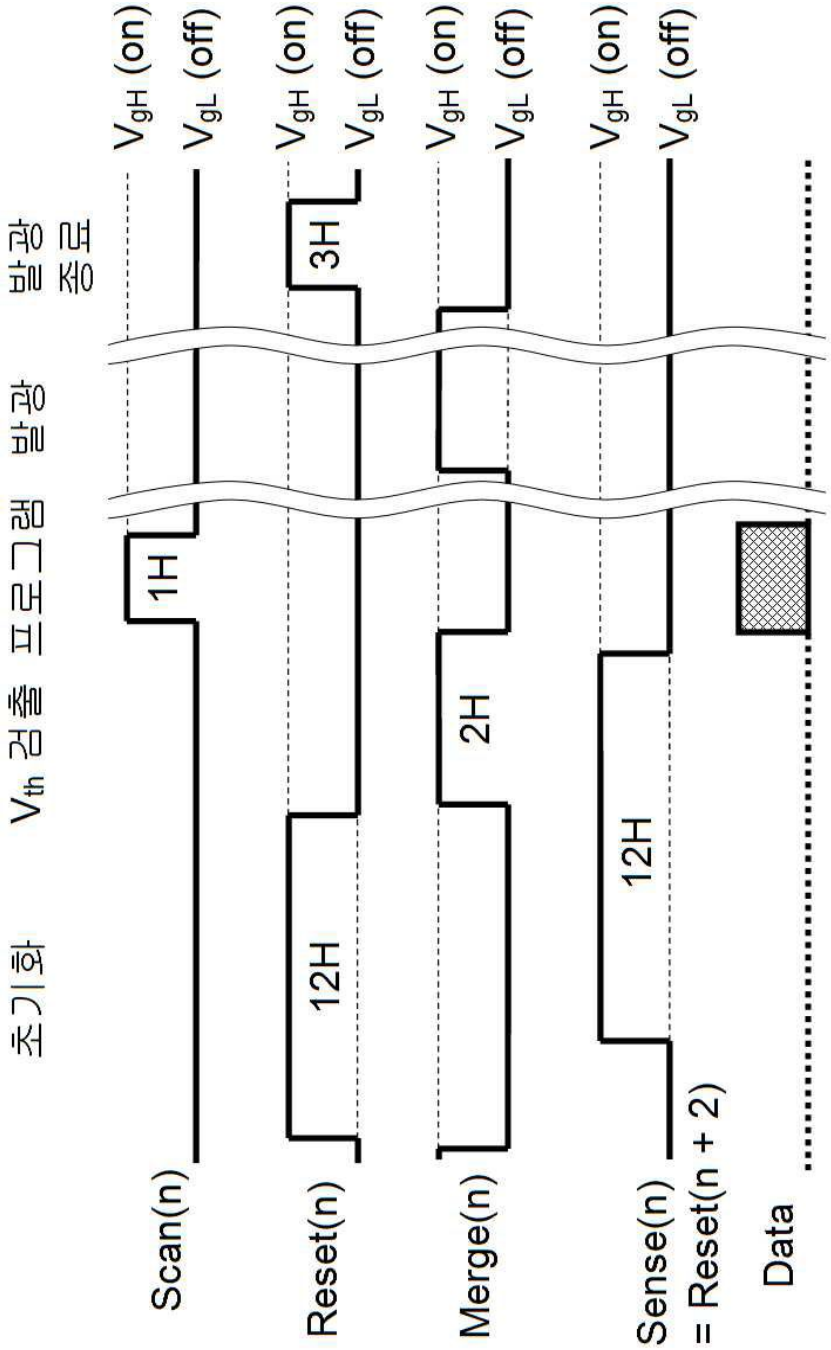
도면23


Sense(n)
33n
Tsense
node D
Scan(n)
30n
Tscan
Vdata
32n
Merge(n)
34n
Tm
Cadj
node A
aVth + bVdata + cVOLED + d
node B
Td
Vdd
40
38
Vini
Tres1
Tres2
Tres3
Cst
44
Vref
36n
Reset(n)
node C
Voled
OLED
Coled
42
Vss

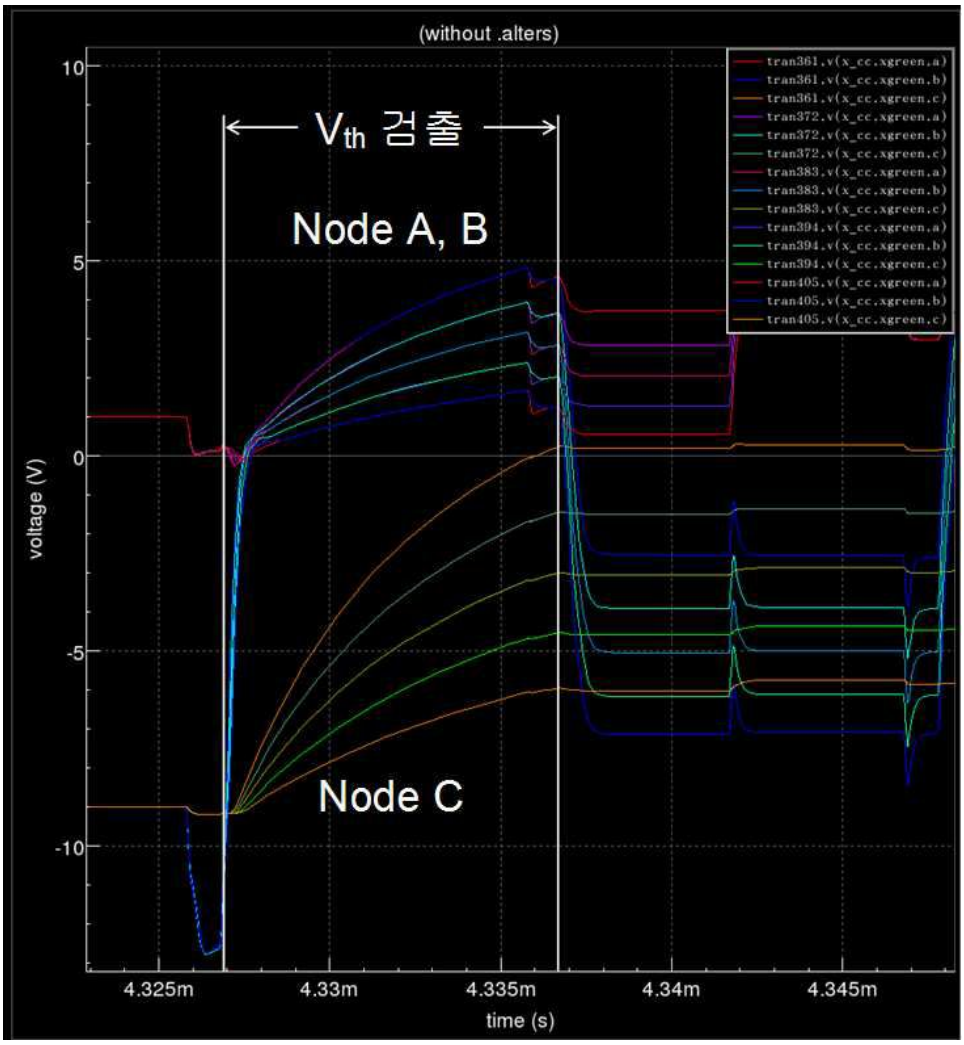
도면24


초기화
Vth 검출 프로그램 발광
Scan(n)
Reset(n)
Merge(n)
Sense(n)
Reset(n + 2)
Data
VgH (on)
VgL (off)
1H
12H
2H
12H

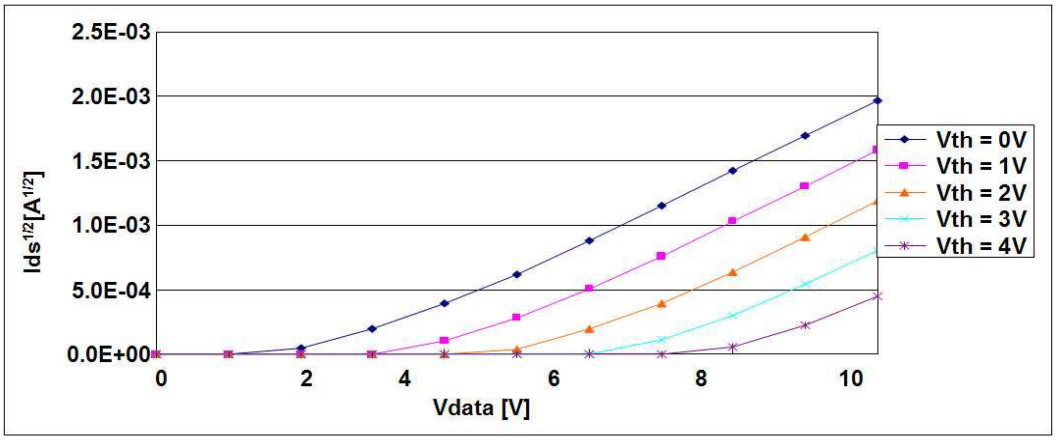
도면25


초기화
V_{th} 검출 프로그램
발광
발광 중지
Scan(n)
Reset(n)
Merge(n)
Sense(n)
= Reset(n + 2)
Data
1H
12H
2H
12H
3H
V_{gH} (on)
V_{gL} (off)

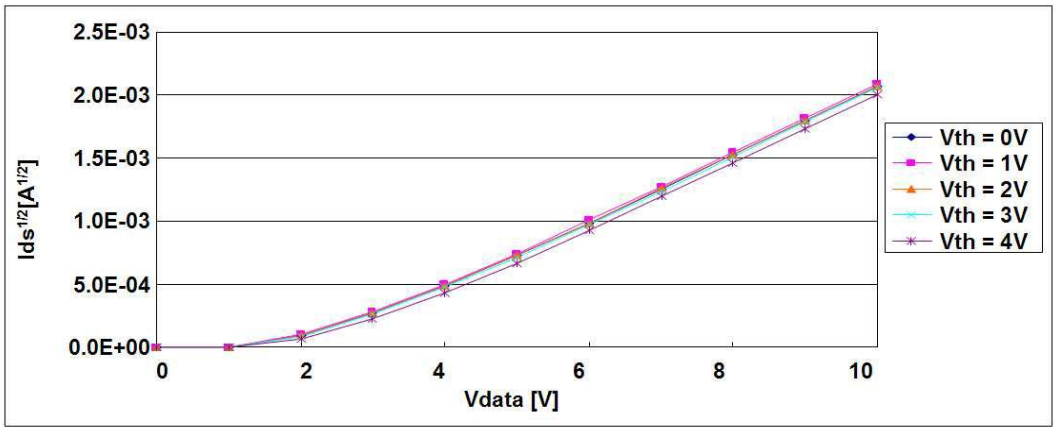
도면26


(without .alters)
Vth 검출
Node A, B
Node C
voltage (V)
time (s)
10
5
0
-5
-10
4.325m
4.33m
4.335m
4.34m
4.345m
tran361.v(x_cc.xgreen.a)
tran361.v(x_cc.xgreen.b)
tran361.v(x_cc.xgreen.c)
tran372.v(x_cc.xgreen.a)
tran372.v(x_cc.xgreen.b)
tran372.v(x_cc.xgreen.c)
tran383.v(x_cc.xgreen.a)
tran383.v(x_cc.xgreen.b)
tran383.v(x_cc.xgreen.c)
tran394.v(x_cc.xgreen.a)
tran394.v(x_cc.xgreen.b)
tran394.v(x_cc.xgreen.c)
tran405.v(x_cc.xgreen.a)
tran405.v(x_cc.xgreen.b)
tran405.v(x_cc.xgreen.c)

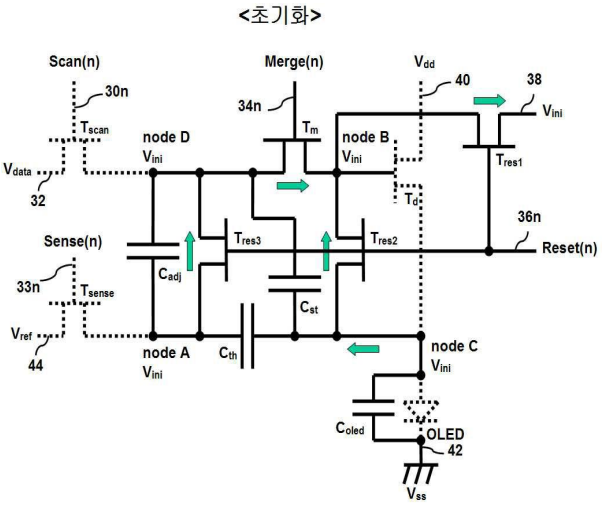
도면27a


2.5E-03
2.0E-03
1.5E-03
1.0E-03
5.0E-04
0.0E+00
Ids^1/2[A^1/2]
0
2
4
6
8
10
Vdata [V]
Vth = 0V
Vth = 1V
Vth = 2V
Vth = 3V
Vth = 4V

도면27b


2.5E-03
2.0E-03
1.5E-03
1.0E-03
5.0E-04
0.0E+00
Ids^1/2[A^1/2]
0
2
4
6
8
10
Vdata [V]
Vth = 0V
Vth = 1V
Vth = 2V
Vth = 3V
Vth = 4V

专利名称(译)	一种有源矩阵有机发光二极管显示装置的电压补偿像素电路		
公开(公告)号	KR101756661B1	公开(公告)日	2017-07-11
申请号	KR1020100126256	申请日	2010-12-10
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	TAKASUGI SHINJI 타카스기신지		
发明人	타카스기신지		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2300/043 G09G2320/043 G09G2320/066 G09G2300/0842 G09G3/3258 G09G3/3225 G09G3/3208 G09G3/30 G09G2320/0233 G09G2320/02		
代理人(译)	Bakyoungbok		
其他公开文献	KR1020120064975A		
外部链接	Espacenet		

摘要(译)

根据本发明的AMOLED显示器的电压假肢像素电路中，高电势被连接在与所述光的电源线和低电位侧电源线之间的发光器件串联，响应于提供给所述第一节点（B），用于驱动所述发光元件上的电压一个驱动晶体管;一种感测晶体管，用于响应于感测线的感测信号将参考电压线的参考电压提供给第二节点（A）;一种扫描晶体管，用于响应扫描线的扫描信号将数据线的数据电压提供给第三节点（D）;合并晶体管，响应于合并线的合并信号，连接第一节点（B）和第三节点（D）;以及连接在所述发光元件和所述驱动晶体管之间的第四节点（C），连接在第三结点（d），以扩增所述驱动晶体管的存储盒的阈值电压之间，以及用于存储数据电压一个存储电容器;调节电容器连接在第二节点（A）和第三节点（D）之间，以与存储电容器一起调节阈值电压的放大系数;响应于所述复位线的复位信号和第一到第三复位晶体管用于通过初始化电压初始化第一到第四节点（A，B，C，d）。