



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년10월01일
(11) 등록번호 10-1446344
(24) 등록일자 2014년09월24일

(51) 국제특허분류(Int. Cl.)
H05B 33/02 (2006.01) H05B 33/26 (2006.01)
(21) 출원번호 10-2007-0126552
(22) 출원일자 2007년12월07일
심사청구일자 2012년12월03일
(65) 공개번호 10-2009-0059603
(43) 공개일자 2009년06월11일
(56) 선행기술조사문헌
KR100685854 B1*
KR100752388 B1
KR1020060000354 A*
KR1020070065551 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
최홍석
서울특별시 서초구 바우피로 38, LG전자 전자기술원 (우면동)
박홍기
서울특별시 서초구 바우피로 38, LG전자 전자기술원 (우면동)
(74) 대리인
(뒷면에 계속)
특허법인로알

전체 청구항 수 : 총 9 항

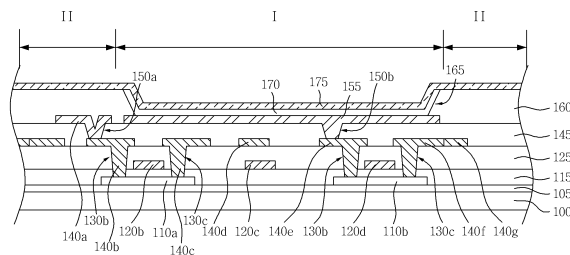
심사관 : 이태호

(54) 발명의 명칭 유기전계발광표시장치 및 그 제조방법

(57) 요약

본 발명은 매트릭스 형태로 서로 교차된 신호선들에 의해 정의되는 화소 영역 및 비화소 영역을 포함하는 기관, 상기 기관 상에 위치하는 게이트 전극, 상기 게이트 전극을 절연시키는 제 1 절연막, 상기 게이트 전극과 대향하는 반도체층, 상기 반도체층을 절연시키는 제 2 절연막, 상기 반도체층과 연결된 소오스 전극 및 드레인 전극, 상기 소오스 전극 또는 드레인 전극 중 어느 하나와 연결된 제 1 전극, 상기 제 1 전극 상에 위치하는 발광층 및 상기 발광층 상에 위치하는 제 2 전극을 포함하는 화소 영역 및 상기 신호선들을 포함하는 비화소 영역을 포함하며, 상기 신호선들 중 어느 하나는 상기 제 1 전극과 동일층 상에 위치하며, 상기 제 1 전극과 동일한 물질로 이루어진 유기전계발광표시장치를 제공한다.

대표도 - 도1b



(72) 발명자

정연식

서울특별시 서초구 바우피로 38, LG전자 전자기술
원 (우면동)

김화경

서울특별시 서초구 바우피로 38, LG전자 전자기술
원 (우면동)

특허청구의 범위

청구항 1

매트릭스 형태로 서로 교차된 신호선들에 의해 정의되는 화소 영역 및 비화소 영역을 포함하는 기관을 포함하며,

상기 화소 영역은 상기 기관 상에 위치하는 반도체층, 상기 반도체층을 절연시키는 제 1 절연막, 상기 반도체층과 대향하는 게이트 전극, 상기 게이트 전극을 절연시키는 제 2 절연막, 및 상기 반도체층과 연결된 소오스 전극 및 드레인 전극을 각각 포함하는 스위칭 박막 트랜지스터와 구동 박막 트랜지스터를 포함하고, 상기 소오스 전극 또는 드레인 전극 중 어느 하나와 연결된 제 1 전극, 상기 제 1 전극 상에 위치하는 발광층, 및 상기 발광층 상에 위치하는 제 2 전극을 포함하는 발광다이오드를 포함하고,

상기 비화소 영역은 상기 신호선들을 포함하며,

상기 신호선들 중 어느 하나는 상기 제 1 전극과 동일층 상에 위치하고, 상기 제 1 전극과 동일한 물질로 이루어지되 상기 구동 박막 트랜지스터의 소오스 전극과 다른 물질로 이루어진 유기전계발광표시장치.

청구항 2

제 1항에 있어서,

상기 신호선들은 스캔 라인, 데이터 라인 및 전원 라인으로 이루어진 군에서 선택된 어느 하나 이상인 유기전계발광표시장치.

청구항 3

제 1항에 있어서,

상기 제 1 전극은 애노드인 유기전계발광표시장치.

청구항 4

제 3항에 있어서,

상기 제 1 전극은 ITO, IZO 및 ZnO로 이루어진 군에서 선택된 어느 하나인 유기전계발광표시장치.

청구항 5

제 3항에 있어서,

상기 제 1 전극은 반사막을 더 포함하는 유기전계발광표시장치.

청구항 6

제 1항에 있어서,

상기 제 1 전극은 캐소드인 유기전계발광표시장치.

청구항 7

제 6항에 있어서,

상기 제 1 전극은 알루미늄(Al), 마그네슘(Mg), 은(Ag) 및 칼슘(Ca)으로 이루어진 군에서 선택된 어느 하나 이상인 유기전계발광표시장치.

청구항 8

화소 영역 및 비화소 영역이 정의된 기판을 준비하는 단계;

상기 기판의 화소 영역 위에 반도체층을 형성하고, 상기 반도체층 위에 제 1 절연막을 형성하고, 상기 제 1 절연막 위에 게이트 전극을 형성함과 동시에 상기 비화소 영역에 스캔 라인을 형성하고, 상기 게이트 전극 및 스캔 라인 위에 제 2 절연막을 형성하고, 상기 제 2 절연막 위에 소오스 전극과 드레인 전극을 형성함과 동시에 상기 비화소 영역에 전원 라인을 형성하여, 상기 반도체층, 상기 게이트 전극 및 상기 소오스 전극과 드레인 전극을 각각 포함하는 스위칭 박막 트랜지스터 및 구동 박막 트랜지스터를 형성하는 단계;

상기 소오스 전극, 드레인 전극 및 전원 라인 위에 제 3 절연막을 형성하는 단계;

상기 제 3 절연막 위의 상기 비화소 영역에 상기 소오스 전극과 연결된 데이터 라인을 형성하고 상기 화소 영역에 상기 드레인 전극과 연결된 제 1 전극을 형성하되, 상기 데이터 라인과 상기 제 1 전극은 동일한 물질로 형성하고 상기 데이터 라인은 상기 구동 박막 트랜지스터의 소오스 전극과 다른 물질로 형성하는 단계;

상기 제 1 전극 위에 발광층을 형성하는 단계; 및

상기 발광층 위에 제 2 전극을 형성하는 단계를 포함하는 유기전계발광표시장치의 제조방법.

청구항 9

제 8항에 있어서,

상기 데이터 라인 및 상기 제 1 전극은 동시에 형성되는 유기전계발광표시장치의 제조방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 유기전계발광표시장치에 관한 것이다.

배경 기술

[0002] 최근, 표시장치는 멀티미디어의 발달과 함께 그 중요성이 증대되고 있다. 이에 부응하여 액정표시장치(Liquid Crystal Display: LCD), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP), 전계발광표시장치(Field Emission Display: FED), 전계발광표시장치(Light Emitting Device) 등과 같은 여러 가지의 평면형 디스플레이가 실용화되고 있다.

[0003] 이들 중, 액정표시장치는 음극선관에 비하여 시인성이 우수하고, 평균소비전력 및 발열량이 작으며, 또한, 전계발광표시장치는 응답속도가 1ms 이하로서 고속의 응답속도를 가지며, 소비 전력이 낮고, 자체 발광이므로 시야각에 문제가 없어서, 차세대 평판 표시 장치로 주목받고 있다.

[0004] 표시장치를 구동하는 방식에는 수동 매트릭스(passive matrix) 방식과 박막 트랜지스터(thin film transistor)를 이용한 능동 매트릭스(active matrix) 방식이 있다. 수동 매트릭스 방식은 양극과 음극을 직교하도록 형성하고 라인을 선택하여 구동하는데 비해, 능동 매트릭스 방식은 박막 트랜지스터를 각 화소 전극에 연결하고 박막 트랜지스터의 게이트 전극에 연결된 커패시터 용량에 의해 유지된 전압에 따라 구동하는 방식이다.

[0005] 상기 액티브 매트릭스 방식의 유기전계발광표시장치는 다수의 신호선들 즉, 각각 하나의 스캔 라인, 데이터 라인 및 전원 라인들에 의해 화소 영역 및 비화소 영역이 정의된 서브픽셀이 위치하고, 상기 스캔 라인, 데이터 라인 및 전원 라인은 비화소 영역에 위치할 수 있다.

[0006] 이러한, 서브픽셀과 인접한 다른 서브픽셀과의 배열을 살펴보면, 하나의 서브픽셀의 일측 외곽에는 데이터 라인이 위치하고, 다른 서브픽셀의 일측 외곽에는 전원 라인이 서로 인접하여 평행하게 배열되어 있다.

[0007] 여기서, 데이터 라인과 전원 라인은 서로 도통하지 않게 일정 마진을 갖도록 이격되어 있기 때문에, 서브픽셀과 인접한 서브픽셀 사이의 비화소 영역의 폭이 넓어지게 된다. 이에 따라, 동일 크기의 화면에서 더 많은 서브픽셀들을 설계하기 어려운 문제점이 있다.

[0008] 따라서, 다수 개의 서브픽셀들이 배열된 고정세 유기전계발광표시장치를 제작하기 위해서는 이러한 비화소 영역의 폭을 축소시켜야 하는 문제점이 있다.

[0009]

발명의 내용

해결 하고자하는 과제

[0010] 따라서, 본 발명은 비화소 영역의 폭을 축소시켜 고정세의 유기전계발광표시장치를 구현할 수 있는 유기전계발광표시장치를 제공한다.

[0011]

과제 해결수단

[0012] 상기한 목적을 달성하기 위해, 본 발명의 일 실시 예에 따른 유기전계발광표시장치는 매트릭스 형태로 서로 교차된 신호선들에 의해 정의되는 화소 영역 및 비화소 영역을 포함하는 기관, 상기 기관 상에 위치하는 게이트 전극, 상기 게이트 전극을 절연시키는 제 1 절연막, 상기 게이트 전극과 대향하는 반도체층, 상기 반도체층을 절연시키는 제 2 절연막, 상기 반도체층과 연결된 소오스 전극 및 드레인 전극, 상기 소오스 전극 또는 드레인 전극 중 어느 하나와 연결된 제 1 전극, 상기 제 1 전극 상에 위치하는 발광층 및 상기 발광층 상에 위치하는 제 2 전극을 포함하는 화소 영역 및 상기 신호선들을 포함하는 비화소 영역을 포함하며, 상기 신호선들 중 어느 하나는 상기 제 1 전극과 동일층 상에 위치하며, 상기 제 1 전극과 동일한 물질로 이루어질 수 있다.

[0013] 또한, 신호선들은 스캔 라인, 데이터 라인 및 전원 라인으로 이루어진 군에서 선택된 어느 하나 이상일 수 있다.

[0014] 또한, 제 1 전극은 애노드일 수 있다.

[0015] 또한, 제 1 전극은 ITO, IZO 및 ZnO로 이루어진 군에서 선택된 어느 하나일 수 있다.

[0016] 또한, 제 1 전극은 반사막을 더 포함할 수 있다.

[0017] 또한, 제 1 전극은 캐소드일 수 있다.

[0018] 또한, 제 1 전극은 알루미늄(Al), 마그네슘(Mg), 은(Ag) 및 칼슘(Ca)으로 이루어진 군에서 선택된 어느 하나 이상일 수 있다.

[0019] 한편, 본 발명의 일 실시 예에 따른 유기전계발광표시장치의 제조방법은 화소 영역 및 비화소 영역이 정의된 기관 상에 반도체층을 형성하는 단계, 상기 반도체층 상에 제 1 절연막을 형성하는 단계, 상기 제 1 절연막 상에 게이트 전극 및 스캔 라인을 형성하는 단계, 상기 게이트 전극 및 스캔 라인 상에 제 2 절연막을 형성하는 단계, 상기 제 2 절연막 상에 소오스 전극, 드레인 전극, 데이터 라인 및 전원 라인을 형성하는 단계, 상기 소오스 전극, 드레인 전극 및 전원 라인 상에 제 3 절연막을 형성하는 단계, 상기 제 3 절연막을 식각하여 상기 소오스 전극과 연결된 데이터 라인을 형성하고, 상기 드레인 전극과 연결된 제 1 전극을 형성하는 단계, 상기 제 1 전극 상에 발광층을 형성하는 단계 및 상기 발광층 상에 제 2 전극을 형성하는 단계를 포함할 수 있다.

[0020] 또한, 데이터 라인 및 제 1 전극은 동시에 형성될 수 있다.

효 과

[0021] 본 발명의 일 실시 예에 따른 유기전계발광표시장치는 비화소 영역의 폭을 축소시켜 고정세의 유기전계발광표시를 구현할 수 있는 이점이 있다.

발명의 실시를 위한 구체적인 내용

- [0022] 이하, 첨부한 도면들을 참조하여 본 발명의 실시 예들을 상세하게 설명하도록 한다.
- [0023] <제 1 실시예>
- [0024] 도 1a는 본 발명의 제 1 실시예에 따른 유기전계발광표시장치의 픽셀 구조를 도시한 평면도이고, 도 1b는 도 1a의 III-III'에 따른 단면도이다.
- [0025] 도 1a를 참조하면, 일 방향으로 배열된 스캔 라인(120a), 상기 스캔 라인(120a)과 수직하게 배열된 데이터 라인(140a) 및 상기 데이터 라인(140a)과 평행하게 배열된 전원 라인(140g)에 의해 정의되는 화소 영역(I) 및 상기 화소 영역(I) 외의 비화소 영역(II)을 포함하는 기판(100)이 위치한다.
- [0026] 상기 화소 영역(I)에는 스캔 라인(120a) 및 데이터 라인(140a)과 연결된 스위칭 박막 트랜지스터(T1)와, 상기 스위칭 박막 트랜지스터(T1) 및 전원 라인(140g)과 연결된 커패시터(Cst)와, 상기 커패시터(Cst) 및 전원 라인(140g)과 연결된 구동 박막 트랜지스터(T2)가 위치한다.
- [0027] 상기 커패시터(Cst)는 커패시터 하부전극(120c) 및 커패시터 상부전극(140d)을 포함할 수 있다.
- [0028] 상기 화소 영역(I)에는 상기 구동 박막 트랜지스터(T2)와 전기적으로 연결된 제 1 전극(155)과, 상기 제 1 전극(155) 상에 발광층(미도시) 및 제 2 전극(미도시)을 포함하는 발광다이오드가 위치한다.
- [0029] 상기 비화소 영역(II)은 스캔 라인(120a), 데이터 라인(140a) 및 전원 라인(140g)을 포함할 수 있다.
- [0030] 도 1b를 참조하여 보다 자세하게 설명하면, 기판(100) 상에 버퍼층(105)이 위치하며, 버퍼층(105) 상에 반도체층(110a, 110b)이 위치한다. 반도체층(110a, 110b)을 덮도록 게이트 절연막인 제 1 절연막(115)이 위치하며, 제 1 절연막(115)의 일정 영역과 대응되는 게이트 전극(120b, 120d)이 위치한다. 여기서, 스캔 라인(120a) 및 커패시터 하부 전극(120c)은 게이트 전극(120b, 120d)과 동일 평면 상에 위치한다. 여기서, 스캔 라인(120a)은 비화소 영역(II)에 위치한다.
- [0031] 스캔 라인(120a), 커패시터 하부 전극(120c) 및 게이트 전극(120b, 120d) 상에 층간 절연막인 제 2 절연막(125)이 위치하며, 제 2 절연막(125) 및 제 1 절연막(115) 내에 반도체층(110a, 110b)의 일부를 노출시키는 콘택홀들(130b, 130c)이 위치한다.
- [0032] 제 2 절연막(125) 상에 콘택홀들(130b, 130c)을 통하여 반도체층(110a, 110b)과 전기적으로 연결되는 소오스 전극(140b, 140f) 및 드레인 전극(140c, 140e)이 위치한다. 커패시터 상부 전극(140d) 및 전원 라인(140g)은 소오스 전극(140b, 140f) 및 드레인 전극(140c, 140e)과 동일 평면 상에 위치한다. 여기서, 전원 라인(140g)은 비화소 영역(II)에 위치한다.
- [0033] 커패시터 상부 전극(140d), 소오스 전극(140b, 140f), 드레인 전극(140c, 140e) 및 전원 라인(140g) 상에 제 3 절연막(145)이 위치한다.
- [0034] 제 3 절연막(145) 내에 스위칭 박막 트랜지스터(T1)의 소오스 전극(140b)을 노출시키는 제 1 비어홀(150a) 및 구동 박막 트랜지스터(T2)의 드레인 전극(140e)을 노출시키는 제 2 비어홀(150b)이 위치한다.
- [0035] 제 3 절연막(145) 상에 제 1 비어홀(150a)을 통하여 스위칭 박막 트랜지스터(T1)의 소오스 전극(140b)과 연결된 데이터 라인(140a)이 위치하고, 제 3 절연막(145) 상에 제 2 비어홀(150b)을 통하여 구동 박막 트랜지스터(T2)의 드레인 전극(140e)과 연결된 제 1 전극(155)이 위치한다.
- [0036] 여기서, 데이터 라인(140a)과 제 1 전극(155)은 동일 평면 상에 위치할 수 있고, 서로 동일한 물질로 이루어질 수 있다. 또한, 데이터 라인(140a)은 비화소 영역(II)에 위치한다.
- [0037] 제 1 전극(155) 상에 인접하는 제 1 전극(155)들을 절연시키며, 제 1 전극(155)의 일부를 노출시키는 개구부(165)를 포함하는 제 4 절연막(160)이 위치한다.
- [0038] 개구부(165)에 의해 노출된 제 1 전극(155) 상에 발광층(170)이 위치한다. 발광층(170)을 포함한 기판(100) 상에 제 2 전극(175)이 위치한다.

- [0039] 이상과 같은 구조를 갖는 본 발명의 제 1 실시예에 따른 유기전계발광표시장치는 비화소 영역의 데이터 라인을 제 1 전극과 동일 평면에 형성하고, 제 1 전극과 동일한 물질로 형성함으로써, 비화소 영역의 폭을 축소시켜 고정세의 유기전계발광표시장치를 구현할 수 있는 이점이 있다.
- [0040] 이하에서는 도 2a 내지 도 2d를 참조하여, 상기와 같은 구조를 갖는 본 발명의 제 1 실시예에 따른 유기전계발광표시장치의 제조방법을 설명하기로 한다.
- [0041] 도 2a 내지 도 2d는 본 발명의 제 1 실시예에 따른 유기전계발광표시장치의 제조방법을 공정별로 나타낸 도면이다.
- [0042] 도 2a를 참조하면, 기판(100) 상에 버퍼층(105)을 형성한다. 상기 버퍼층(105)은 기판(100)에서 유출되는 알칼리 이온 등과 같은 불순물로부터 후속 공정에서 형성되는 박막 트랜지스터를 보호하기 위해 형성하는 것으로, 실리콘 산화물(SiO_2), 실리콘 질화물(SiN_x) 등을 사용하여 선택적으로 형성할 수 있다.
- [0043] 여기서, 상기 기판(100)은 유리, 플라스틱 또는 금속일 수 있다.
- [0044] 상기 버퍼층(105) 상에 반도체층(110a, 110b)을 형성한다. 상기 반도체층(110a, 110b)은 비정질 실리콘 또는 결정화된 다결정 실리콘을 포함할 수 있다. 또한, 상기 반도체층(110a, 110b)은 p형 또는 n형의 불순물을 포함하는 소오스 영역 및 드레인 영역을 포함할 수 있으며, 상기 소오스 영역 및 드레인 영역 이외의 채널 영역을 포함할 수 있다.
- [0045] 상기 반도체층(110a, 110b) 상에 게이트 절연막일 수 있는 제 1 절연막(115)을 형성한다. 상기 제 1 절연막(115)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 다중층일 수 있다.
- [0046] 상기 제 1 절연막(115) 상에 상기 반도체층(110a, 110b)의 일정 영역, 즉 불순물이 주입되었을 경우의 채널 영역과 대응되는 위치에 게이트 전극(120b, 120d)을 형성한다. 이와 동시에, 상기 게이트 전극(120b, 120d)과 동일층 상에 스캔 라인(120a) 및 커패시터 하부 전극(120c)을 형성한다. 이때, 스캔 라인(120a)은 비화소 영역(II)에 형성될 수 있다.
- [0047] 상기 게이트 전극(120b, 120d)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다.
- [0048] 또한, 상기 게이트 전극(120b, 120d)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수 있다. 예를 들면, 게이트 전극(120b, 120d)은 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수 있다.
- [0049] 스캔 라인(도시안됨)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다.
- [0050] 또한, 상기 스캔 라인은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수 있다. 예를 들면, 스캔 라인은 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수 있다.
- [0051] 이어, 도 2b를 참조하면, 상기 게이트 전극(120b, 120d) 및 스캔 라인 상에 층간 절연막일 수 있는 제 2 절연막(125)을 형성한다. 상기 제 2 절연막(125)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 다중층일 수 있다.
- [0052] 상기 제 2 절연막(125) 및 제 1 절연막(115)의 일부 영역을 식각하여 반도체층(110a, 110b)의 일부를 노출시키는 콘택홀들(130b, 130c)을 형성한다.
- [0053] 이어, 상기 제 2 절연막(125) 및 제 1 절연막(115)을 관통하는 콘택홀들(130b, 130c)을 통하여 반도체층(110a, 110b)과 전기적으로 연결되는 소오스 전극(140b, 140f) 및 드레인 전극(140c, 140e)을 형성한다.
- [0054] 상기 소오스 전극(140b, 140f) 및 드레인 전극(140c, 140e)은 단일층 또는 다중층으로 이루어질 수 있으며, 상기 소오스 전극(140b, 140f) 및 드레인 전극(140c, 140e)이 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느

하나 또는 이들의 합금으로 이루어질 수 있다.

- [0055] 또한, 상기 소오스 전극(140b, 140f) 및 드레인 전극(140c, 140e)이 다중층일 경우에는 몰리브덴/알루미늄-네오디뮴의 2중층, 티타늄/알루미늄/티타늄, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다.
- [0056] 그리고, 상기 소오스 전극(140b, 140f) 및 드레인 전극(140c, 140e)이 형성됨과 동시에, 소오스 전극(140b, 140f) 및 드레인 전극(140c, 140e)과 동일층 상에 커패시터 상부 전극(140d) 및 전원 라인(140g)을 형성한다. 이때, 전원 라인(140g)은 비화소 영역(II)에 형성될 수 있다.
- [0057] 비화소 영역(II)에 위치하는 전원 라인(140g)은 단일층 또는 다중층으로 이루어질 수 있으며, 상기 전원 라인(140g)이 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다.
- [0058] 또한, 상기 전원 라인(140g)이 다중층일 경우에는 몰리브덴/알루미늄-네오디뮴의 2중층, 티타늄/알루미늄/티타늄, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다.
- [0059] 특히, 상기 전원 라인(140g)은 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다.
- [0060] 이어, 도 2c를 참조하면, 상기 커패시터 상부 전극(140d), 소오스 전극(140b, 140f), 드레인 전극(140c, 140e) 및 전원 라인(140g) 상에 제 3 절연막(145)을 형성한다. 상기 제 3 절연막(145)은 하부 구조의 단차를 완화시키기 위한 평탄화막일 수 있으며, 폴리이미드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물 등을 액상 형태로 코팅한 다음 경화시키는 SOG(spin on glass)와 같은 방법으로 형성될 수 있다. 이와는 달리, 상기 제 3 절연막(145)은 패시베이션막일 수 있으며, 실리콘 질화막(SiNx), 실리콘 산화막(SiOx) 또는 이들의 다중층일 수 있다.
- [0061] 그런 다음, 제 3 절연막(145)을 식각하여, 스위칭 박막 트랜지스터(T1)의 소오스 전극(140b)을 노출시키는 제 1 비어홀(150a)을 형성하고, 구동 박막 트랜지스터(T2)의 드레인 전극(140e)을 노출시키는 제 2 비어홀(150b)을 형성한다.
- [0062] 이어, 상기 제 1 비어홀(150a) 및 제 2 비어홀(150b)이 형성된 기판(100) 상에 제 1 전극(155) 및 데이터 라인(140a)을 형성한다. 이때, 데이터 라인(140g)은 비화소 영역(II)에 형성될 수 있다.
- [0063] 상기 제 1 전극(155)은 애노드일 수 있다. 여기서, 유기전계발광표시장치의 구조가 배면 또는 양면발광일 경우에 상기 제 1 전극(155)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ZnO(Zinc Oxide) 등의 투명한 물질로 이루어질 수 있다.
- [0064] 또한, 유기전계발광표시장치의 구조가 전면발광일 경우에 상기 제 1 전극(155)은 ITO, IZO 또는 ZnO 중 어느 하나로 이루어진 층 하부에 알루미늄(Al), 은(Ag) 또는 니켈(Ni) 중 어느 하나로 이루어진 반사층을 더 포함할 수 있고, 이와 더불어, ITO, IZO 또는 ZnO 중 어느 하나로 이루어진 두 개의 층 사이에 상기 반사막을 포함하는 다중층 구조를 가질 수 있다.
- [0065] 데이터 라인(140a)은 상기 제 1 전극(155)과 동시에 형성될 수 있으며, 제 1 전극(155)과 동일한 물질로 이루어질 수 있다.
- [0066] 보다 자세하게는, 제 1 비어홀(150a) 및 제 2 비어홀(150b)이 형성된 기판(100) 상에 제 1 전극 물질을 증착하고, 이를 패터닝하여 데이터 라인(140a) 및 제 1 전극(155)을 형성할 수 있다.
- [0067] 따라서, 데이터 라인(140a)은 제 1 비어홀(150a)을 매우며 스위칭 박막 트랜지스터(T1)의 소오스 전극(140b)과 연결될 수 있고, 제 1 전극(155)은 제 2 비어홀(150b)을 매우며, 구동 박막 트랜지스터(T2)의 드레인 전극(140e)과 연결될 수 있다.
- [0068] 상기과 같이, 종래 데이터 라인이 소오스 전극, 드레인 전극, 전원 라인 등과 동일 평면 상에 위치하는 것과는 달리, 본 발명의 일 실시 예에 따른 유기전계발광표시장치는 데이터 라인을 제 1 전극과 동일한 층에, 동일한 물질로 형성할 수 있다.
- [0069] 따라서, 하나의 서브픽셀의 데이터 라인과 다른 인접한 서브픽셀의 전원 라인이 일정 간격 이격되어 서브픽셀 간의 비화소 영역의 폭이 넓은 단점을, 데이터 라인을 제 1 전극과 동일한 층에 형성함으로써, 기존에 데이터 라인이 있던 영역에 인접한 서브픽셀의 전원 라인을 더 가까이 형성할 수 있어 고정세 유기전계발광표시장치

를 제작하기 용이한 이점이 있다.

- [0070] 다음, 도 2d를 참조하면, 데이터 라인(140a) 및 제 1 전극(155) 상에 제 1 전극(155)의 일부를 노출시키는 개구부(165)를 포함하는 제 4 절연막(160)을 형성한다. 제 4 절연막(160)은 폴리이미드(polyimide), 벤조사이클로부티네 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물을 사용할 수 있다.
- [0071] 이어, 개구부(165)에 의해 노출된 제 1 전극(155) 상에 발광층(170)을 형성한다.
- [0072] 발광층(170)은 적색, 녹색, 청색 및 백색을 발광하는 물질로 이루어질 수 있으며, 인광 또는 형광물질을 이용하여 형성할 수 있다.
- [0073] 상기 발광층(170)이 적색인 경우, CBP(carbazole biphenyl) 또는 mCP(1,3-bis(carbazol-9-yl))를 포함하는 호스트 물질을 포함하며, PIQIr(acac)(bis(1-phenylisoquinoline)acetylacetonate iridium), PQIr(acac)(bis(1-phenylquinoline)acetylacetonate iridium), PQIr(tris(1-phenylquinoline)iridium) 및 PtOEP(octaethylporphyrin platinum)로 이루어진 군에서 선택된 어느 하나 이상을 포함하는 도펀트를 포함하는 인광물질로 이루어질 수 있고, 이와는 달리 PBD:Eu(DBM)3(Phen) 또는 Perylene을 포함하는 형광물질로 이루어질 수 있으나 이에 한정되지 않는다.
- [0074] 상기 발광층(170)이 녹색인 경우, CBP 또는 mCP를 포함하는 호스트 물질을 포함하며, Ir(ppy)3(fac tris(2-phenylpyridine)iridium)을 포함하는 도펀트 물질을 포함하는 인광물질로 이루어질 수 있고, 이와는 달리, Alq3(tris(8-hydroxyquinolino)aluminum)을 포함하는 형광물질로 이루어질 수 있으나 이에 한정되지 않는다.
- [0075] 상기 발광층(170)이 청색인 경우, CBP 또는 mCP를 포함하는 호스트 물질을 포함하며, (4,6-F2ppy)2Irpic을 포함하는 도펀트 물질을 포함하는 인광물질로 이루어질 수 있다.
- [0076] 이와는 달리, spiro-DPVBi, spiro-6P, 디스틸벤젠(DSB), 디스트릴아릴렌(DSA), PFO계 고분자 및 PPV계 고분자로 이루어진 군에서 선택된 어느 하나를 포함하는 형광물질로 이루어질 수 있으나 이에 한정되지 않는다.
- [0077] 또한, 상기 제 1 전극(155)과 발광층(170) 사이에 정공주입층 및 정공수송층이 더 형성될 수 있다. 상기 정공주입층은 상기 제 1 전극(155)으로부터 발광층(170)으로 정공의 주입을 원활하게 하는 역할을 할 수 있으며, CuPc(copper phthalocyanine), PEDOT(poly(3,4)-ethylenedioxythiophene), PANI(polyaniline) 및 NPD(N,N-dinaphthyl-N,N'-diphenyl benzidine)로 이루어진 군에서 선택된 어느 하나 이상으로 이루어질 수 있으나 이에 한정되지 않는다. 상기 정공주입층은 증발법 또는 스핀코팅법을 이용하여 형성할 수 있다.
- [0078] 상기 정공수송층은 정공의 수송을 원활하게 하는 역할을 하며, NPD(N,N-dinaphthyl-N,N'-diphenyl benzidine), TPD(N,N'-bis-(3-methylphenyl)-N,N'-bis-(phenyl)-benzidine), s-TAD 및 MTDATA(4,4',4"-Tris(N-3-methylphenyl-N-phenyl-amino)-triphenylamine)로 이루어진 군에서 선택된 어느 하나 이상으로 이루어질 수 있으나 이에 한정되지 않는다. 상기 정공수송층은 증발법 또는 스핀코팅법을 이용하여 형성할 수 있다.
- [0079] 또한, 발광층(170)과 추후 형성되는 제 2 전극(175) 사이에는 전자수송층 및 전자주입층이 더 형성될 수 있다. 상기 전자수송층은 전자의 수송을 원활하게 하는 역할을 하며, Alq3(tris(8-hydroxyquinolino)aluminum), PBD, TAZ, spiro-PBD, BALq 및 SALq로 이루어진 군에서 선택된 어느 하나 이상으로 이루어질 수 있으나 이에 한정되지 않는다. 상기 전자수송층은 증발법 또는 스핀코팅법을 이용하여 형성할 수 있다.
- [0080] 상기 전자수송층은 제 1 전극(155)으로부터 주입된 정공이 발광층(170)을 통과하여 제 2 전극(175)으로 이동하는 것을 방지하는 역할도 할 수 있다. 즉, 정공저지층의 역할을 하여 발광층(170)에서 정공과 전자의 결합을 효율적이게 하는 역할을 할 수도 있다.
- [0081] 상기 전자주입층은 전자의 주입을 원활하게 하는 역할을 하며, Alq3(tris(8-hydroxyquinolino)aluminum), PBD, TAZ, spiro-PBD, BALq 또는 SALq를 사용할 수 있으나 이에 한정되지 않는다. 상기 전자주입층은 전자주입층을 이루는 유기물과 무기물을 공중착법으로 형성할 수 있다. 여기서, 정공주입층 또는 전자주입층은 무기물을 더 포함할 수 있으며, 상기 무기물은 금속화합물을 더 포함할 수 있다. 상기 금속화합물은 알칼리 금속 또는 알칼리 토금속을 포함할 수 있다.
- [0082] 상기 알칼리 금속 또는 알칼리 토금속을 포함하는 금속화합물은 LiQ, LiF, NaF, KF, RbF, CsF, FrF, BeF2, MgF2, CaF2, SrF2, BaF2 및 RaF2로 이루어진 군에서 선택된 어느 하나 이상일 수 있으나 이에 한정되지

않는다.

- [0083] 즉, 전자주입층 내의 무기물은 제 2 전극(175)으로부터 발광층(170)으로 주입되는 전자의 호핑(hopping)을 용이하게 하여, 발광층(170) 내로 주입되는 정공과 전자의 밸런스를 맞추어 발광효율을 향상시킬 수 있다.
- [0084] 또한, 정공주입층 내의 무기물은 제 1 전극(155)으로부터 발광층(170)으로 주입되는 정공의 이동성을 줄여줌으로써, 발광층(170) 내로 주입되는 정공과 전자의 밸런스를 맞추어 발광효율을 향상시킬 수 있다.
- [0085] 상기 발광층(170) 상에 제 2 전극(175)을 형성한다. 상기 제 2 전극(175)은 캐소드 전극일 수 있으며, 일함수가 낮은 마그네슘(Mg), 칼슘(Ca), 알루미늄(Al), 은(Ag) 또는 이들의 합금으로 이루어질 수 있다.
- [0086] 여기서, 제 2 전극(175)은 유기전계발광표시장치가 전면 또는 양면발광구조일 경우, 빛을 투과할 수 있을 정도로 얇은 두께로 형성할 수 있으며, 유기전계발광표시장치가 배면발광구조일 경우, 빛을 반사시킬 수 있을 정도로 두껍게 형성할 수 있다.
- [0087] 상기한 본 발명의 제 1 실시 예에서는 데이터 라인을 제 1 전극과 동일층에 형성하고 제 1 전극과 동일한 물질로 형성하였지만, 이와는 달리, 전원 라인을 제 1 전극과 동일층 및 동일한 물질로 형성할 수도 있으나 이에 한정되지 않는다.
- [0088] 또한, 본 발명의 제 1 실시 예에서는 제 1 전극이 애노드일 경우를 개시하였지만, 제 1 전극이 캐소드일 경우에도 전술한 바와 같이, 데이터 라인과 제 1 전극을 동일층에 형성하고 동일한 물질로 형성할 수도 있으나 이에 한정되지 않는다.
- [0089] <제 2 실시예>
- [0090] 도 3a는 본 발명의 제 2 실시예에 따른 유기전계발광표시장치의 픽셀 구조를 도시한 평면도이고, 도 3b는 도 3a의 IV-IV'에 따른 단면도이다.
- [0091] 도 3a를 참조하면, 일 방향으로 배열된 스캔 라인(255a), 상기 스캔 라인(255a)과 수직하게 배열된 데이터 라인(220a) 및 상기 데이터 라인(220a)과 평행하게 배열된 전원 라인(220g)에 의해 정의되는 화소 영역(I) 및 상기 화소 영역(I) 외의 비화소 영역(II)을 포함하는 기판(200)이 위치한다.
- [0092] 상기 화소 영역(I)에는 스캔 라인(255a) 및 데이터 라인(220a)과 연결된 스위칭 박막 트랜지스터(T1)와, 상기 스위칭 박막 트랜지스터(T1) 및 전원 라인(220g)과 연결된 커패시터(Cst)와, 상기 커패시터(Cst) 및 전원 라인(220g)과 연결된 구동 박막 트랜지스터(T2)가 위치한다.
- [0093] 상기 커패시터(Cst)는 커패시터 하부전극(220d) 및 커패시터 상부전극(240b)을 포함할 수 있다.
- [0094] 상기 화소 영역(I)에는 상기 구동 박막 트랜지스터(T2)와 전기적으로 연결된 제 1 전극(255)과, 상기 제 1 전극(255) 상에 발광층(미도시) 및 제 2 전극(미도시)을 포함하는 발광다이오드가 위치한다.
- [0095] 상기 비화소 영역(II)은 스캔 라인(255a), 데이터 라인(220a) 및 전원 라인(220g)을 포함할 수 있다.
- [0096] 도 3a 및 3b를 참조하여 보다 자세하게 설명하면, 기판(200) 상에 버퍼층(205)이 위치하며, 버퍼층(205) 상에 반도체층(210a, 210b)이 위치한다. 반도체층(210a, 210b)의 양측 단부와 연결된 소오스 전극(220b, 220f) 및 드레인 전극(220c, 220e)이 위치한다.
- [0097] 커패시터 하부 전극(220d) 및 전원 라인(220g)은 소오스 전극(220b, 220f) 및 드레인 전극(220c, 220e)과 동일 평면 상에 위치한다. 여기서, 전원 라인(220g)은 비화소 영역(II)에 위치한다.
- [0098] 커패시터 하부 전극(220d), 전원 라인(220g), 소오스 전극(220b, 220f) 및 드레인 전극(220c, 220e) 상에 게이트 절연막인 제 1 절연막(225)이 위치한다.
- [0099] 제 1 절연막(225) 상에 반도체층(210a, 210b)의 일정 영역과 대응되는 게이트 전극(240a, 240c)이 위치한다. 여기서, 커패시터 상부 전극(240b)은 게이트 전극(240a, 240c)과 동일 평면 상에 위치한다.
- [0100] 커패시터 상부 전극(240b) 및 게이트 전극(240a, 240c) 상에 제 2 절연막(245)이 위치하며, 제 2 절연막(245) 내에 스위칭 박막 트랜지스터(T1)의 게이트 전극(240a)을 노출시키는 제 1 비어홀(250a)이 위치하고, 제 1 절연막(225) 및 제 2 절연막(245) 내에 구동 박막 트랜지스터(T2)의 드레인 전극(220e)을 노출시키는 제 2 비어

홀(250b)이 위치한다.

[0101] 그리고, 제 2 절연막(245) 상에 제 1 비어홀(250a)을 통하여 스위칭 박막 트랜지스터(T1)의 게이트 전극(240a)과 연결된 스캔 라인(255a)이 위치하고, 제 1 절연막(225) 및 제 2 절연막(245) 상에 제 2 비어홀(250b)을 통하여 구동 박막 트랜지스터(T2)의 드레인 전극(220e)과 연결된 제 1 전극(255b)이 위치한다.

[0102] 여기서, 스캔 라인(255a)과 제 1 전극(255b)은 동일 평면 상에 위치할 수 있고, 서로 동일한 물질로 이루어질 수 있다. 그리고, 스캔 라인(255a)은 비화소 영역(II)에 위치할 수 있다.

[0103] 제 1 전극(255b) 상에 인접하는 제 1 전극(255b)들을 절연시키며, 제 1 전극(255b)의 일부를 노출시키는 개구부(265)를 포함하는 제 3 절연막(260)이 위치한다. 개구부(265)에 의해 노출된 제 1 전극(255b) 상에 발광층(270)이 위치한다. 발광층(270)을 포함한 기판(200) 상에 제 2 전극(275)이 위치한다.

[0104] 본 발명의 제 2 실시예에 따른 유기전계발광표시장치는 전술한 제 1 실시예와는 달리, 비화소 영역의 스캔 라인을 제 1 전극과 동일 평면에 형성하고, 제 1 전극과 동일한 물질로 형성함으로써, 비화소 영역의 폭을 축소시켜 고정세의 유기전계발광표시장치를 구현할 수 있는 이점이 있다.

[0105] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면의 간단한 설명

[0106] 도 1a 및 도 1b는 본 발명의 제 1 실시 예에 따른 유기전계발광표시장치를 나타낸 도면.

[0107] 도 2a 내지 도 2d는 본 발명의 제 1 실시 예에 따른 유기전계발광표시장치의 제조방법을 공정별로 나타낸 도면.

[0108] 도 3a 내지 도 3b는 본 발명의 제 2 실시 예에 따른 유기전계발광표시장치를 나타낸 도면.

[0109] * 도면의 주요부분에 대한 부호의 설명 *

[0110] 100 : 기판 110a, 110b : 반도체층

[0111] 115 : 제 1 절연막 120a : 스캔 라인

[0112] 120b, 120d : 게이트 전극 120c : 커패시터 하부전극

[0113] 125 : 제 2 절연막 140a : 데이터 라인

[0114] 140b, 140f : 소오스 전극 140c, 140e : 드레인 전극

[0115] 140g : 전원 라인 145 : 제 3 절연막

[0116] 150a, 150b : 제 1 및 제 2 비어홀

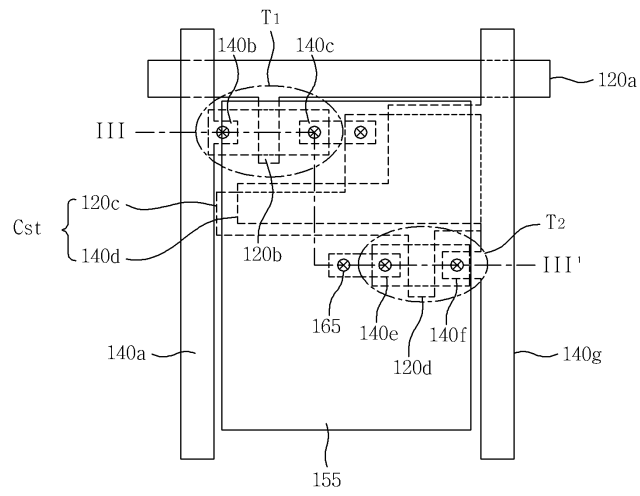
[0117] 155 : 제 1 전극 160 : 제 4 절연막

[0118] 165 : 개구부 170 : 발광층

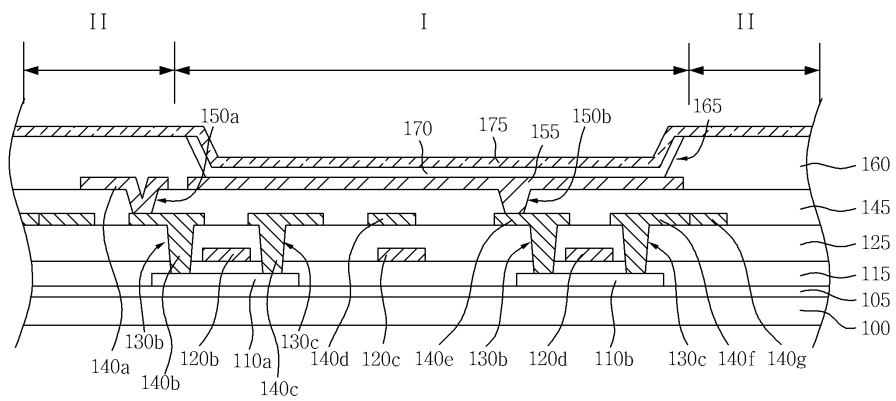
[0119] 175 : 제 2 전극

도면

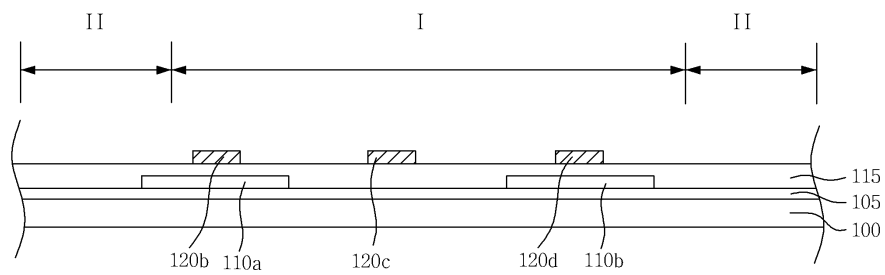
도면1a



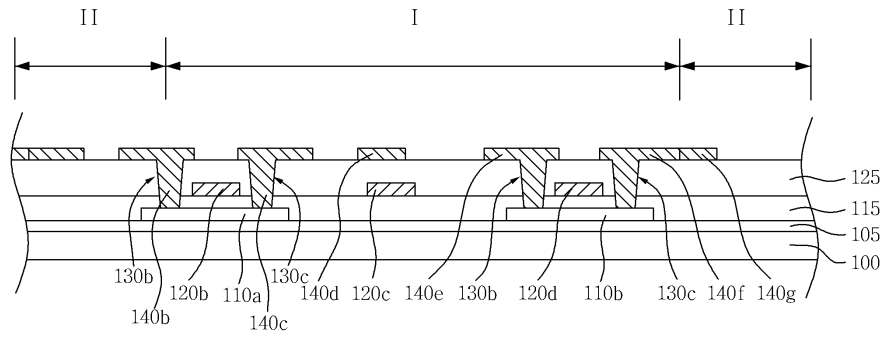
도면1b



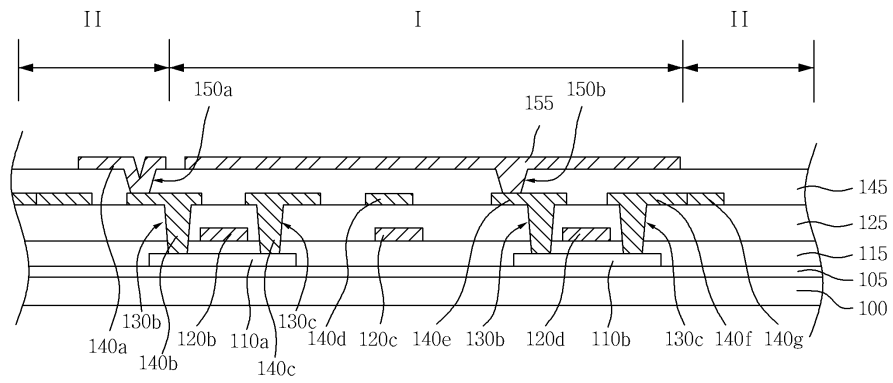
도면2a



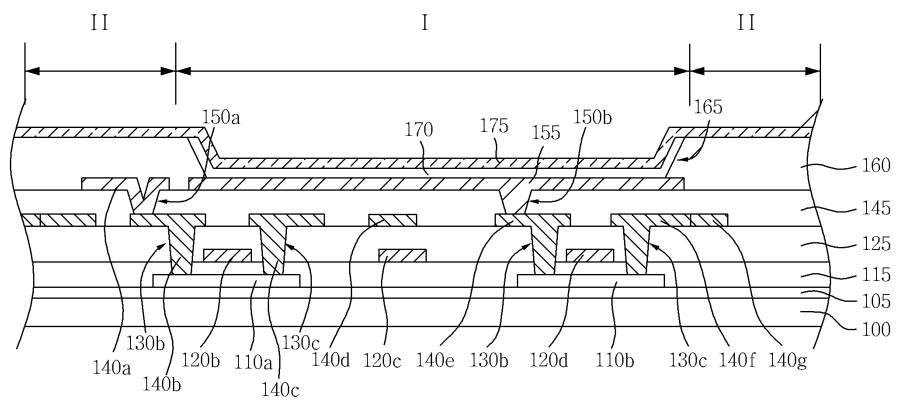
도면2b



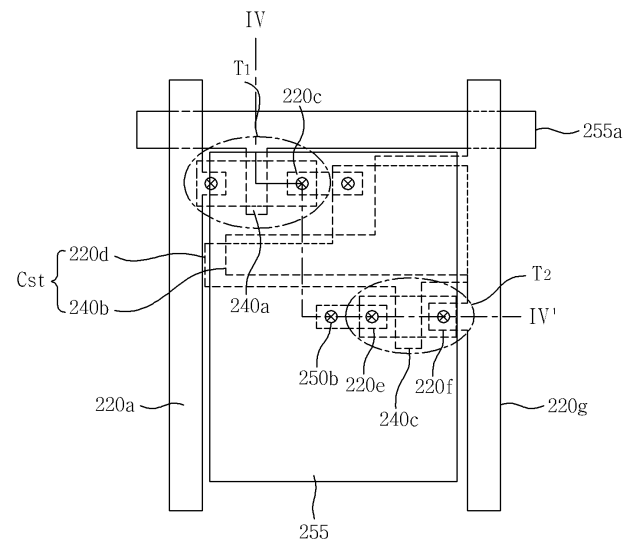
도면2c



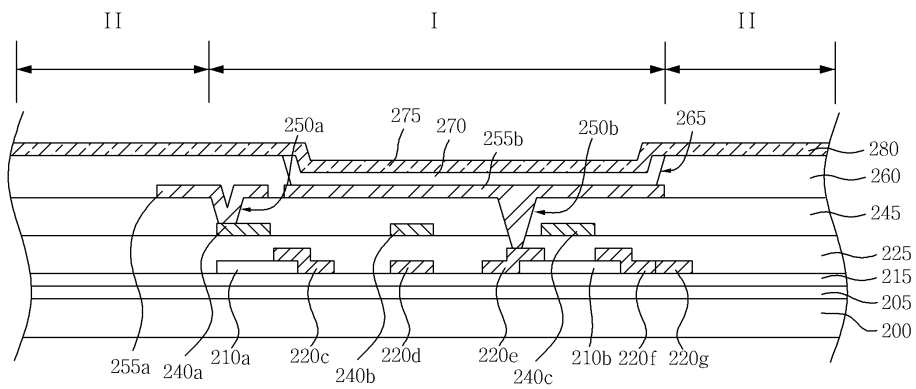
도면2d



도면3a



도면3b



专利名称(译)	标题：有机电致发光显示装置及其制造方法		
公开(公告)号	KR101446344B1	公开(公告)日	2014-10-01
申请号	KR1020070126552	申请日	2007-12-07
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOI HONG SEOK 최홍석 PARK HONG KI 박홍기 JEONG YUN SIK 정연식 KIM HWA KYUNG 김화경		
发明人	최홍석 박홍기 정연식 김화경		
IPC分类号	H05B33/02 H05B33/26		
CPC分类号	H01L27/124 H01L27/3248 H01L27/3262 H01L51/5215 H01L51/5218 H01L51/5231 H01L51/56 H01L2924/12044		
其他公开文献	KR1020090059603A		
外部链接	Espacenet		

摘要(译)

提供一种有机电致发光显示装置及其制造方法，以通过减小相邻子像素之间的非像素区域的宽度来执行高清晰度。像素区域 (I) 和非像素区域 (II) 通过布置成矩阵形状的信号线限定在基板 (100) 上。像素区域包括栅电极 (120b , 120d) , 第一绝缘膜 (115) , 半导体层 (110a , 110b) , 第二绝缘膜 (125) , 源电极 (140b , 140f) , 漏电极 (140c , 140e) , 第一电极 (155) , 发光层 (170) 和第二电极 (175) 。第一绝缘膜使栅电极绝缘。第二绝缘膜使半导体层绝缘。源电极和漏电极连接到半导体层。第一电极连接到源电极或漏电极。第二电极位于发光层上。非像素区域包括信号线。通过使用与第一电极相同的材料，在与第一电极相同的平面上形成信号线中的一条。

