

특허청구의 범위

청구항 1

복수의 제1 및 제2전원 배선, 스캔 배선 및 데이터 배선에 연결된 서브 픽셀이 매트릭스 형태로 위치하는 표시 패널을 포함하되,

상기 서브 픽셀은,

상기 스캔 배선에 게이트가 연결되고 상기 데이터 배선에 제1전극이 연결된 제1트랜지스터와, 상기 스캔 배선에 게이트가 연결되고 제1노드에 제1전극이 연결되며 제2노드에 제2전극이 연결된 제2트랜지스터와, 상기 제1노드에 게이트가 연결되고 상기 제1트랜지스터의 제2전극에 제1전극이 연결되며 상기 제2노드에 제2전극이 연결된 제3트랜지스터와, 상기 제1노드에 게이트가 연결되고 상기 제2노드에 제1전극이 연결되며 상기 제2전원 배선에 제2전극이 연결된 제4트랜지스터와, 상기 제1노드에 제1전극이 연결되고 상기 제2전원 배선에 제2전극이 연결된 커패시터와, 상기 제1전원 배선에 제1전극이 연결되고 상기 제3트랜지스터의 제1전극에 제2전극이 연결된 유기 발광다이오드를 포함하는 유기전계발광표시장치.

청구항 2

제1항에 있어서,

상기 제1, 제2, 제3 및 제4트랜지스터는,

N-Mos 형인 유기전계발광표시장치.

청구항 3

제1항에 있어서,

상기 제1, 제2, 제3 및 제4트랜지스터는,

a-Si 트랜지스터인 유기전계발광표시장치.

청구항 4

스캔 배선에 게이트가 연결되고 데이터 배선에 제1전극이 연결된 제1트랜지스터와, 상기 스캔 배선에 게이트가 연결되고 제1노드에 제1전극이 연결되며 제2노드에 제2전극이 연결된 제2트랜지스터와, 상기 제1노드에 게이트가 연결되고 상기 제1트랜지스터의 제2전극에 제1전극이 연결되며 상기 제2노드에 제2전극이 연결된 제3트랜지스터와, 상기 제1노드에 게이트가 연결되고 상기 제2노드에 제1전극이 연결되며 제2전원 배선에 제2전극이 연결된 제4트랜지스터와, 상기 제1노드에 제1전극이 연결되고 제2전원 배선에 제2전극이 연결된 커패시터와, 제1전원 배선에 제1전극이 연결되고 상기 제3트랜지스터의 제1전극에 제2전극이 연결된 유기 발광다이오드를 포함하는 서브 픽셀이 매트릭스 형태로 위치하는 표시패널을 포함하는 유기전계발광표시장치의 구동방법에 있어서,

상기 제1 및 제2트랜지스터를 턴 온하고 상기 커패시터에 공급된 데이터 신호를 데이터 전압으로 저장하는 쓰기 단계와, 상기 커패시터에 저장된 데이터 전압으로 상기 제3 및 제4트랜지스터를 턴 온하여 상기 유기 발광다이오드를 발광시키는 발광 단계를 포함하는 유기전계발광표시장치의 구동방법.

청구항 5

제4항에 있어서,

상기 쓰기 단계 이전에는,

상기 유기 발광다이오드에 공급되는 전원을 차단하고 상기 제1 및 제2트랜지스터를 턴 온한 상태에서 상기 제4트랜지스터에 네거티브 어닐(Negative Anneal)을 하는 초기 단계를 포함하는 유기전계발광표시장치의 구동방법.

청구항 6

제4항에 있어서,

상기 쓰기 단계에서,

상기 커패시터에 데이터 전압을 저장하기 위해 데이터 신호를 공급할 때는,

상기 발광 단계에서 상기 유기 발광다이오드에 공급되는 전원보다 낮은 상태에서 프리차징을 먼저 수행하고 상기 데이터 신호를 공급하는 유기전계발광표시장치의 구동방법.

청구항 7

제4항에 있어서,

상기 제3트랜지스터는 포화(Saturation) 영역에서 구동하고 상기 제4트랜지스터는 선형(Linear) 영역에서 구동하는 유기전계발광표시장치의 구동방법.

청구항 8

제4항에 있어서,

상기 제1, 제2, 제3 및 제4트랜지스터는,

a-Si으로 형성된 N-Mos형인 유기전계발광표시장치의 구동방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0012] 본 발명은 유기전계발광표시장치와 이의 구동방법에 관한 것이다.
- [0013] 최근, 평판표시장치(FPD: Flat Panel Display)는 멀티미디어의 발달과 함께 그 중요성이 증대되고 있다. 이에 부응하여 액정 디스플레이(Liquid Crystal Display: LCD), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP), 전계방출표시장치(Field Emission Display: FED), 유기전계발광표시장치(Organic Light Emitting Device) 등과 같은 여러 가지의 평면형 디스플레이가 실용화되고 있다.
- [0014] 이러한 유기전계발광표시장치를 구동하는 방식에는 수동 매트릭스(passive matrix) 방식과 박막 트랜지스터(thin film transistor; 이하 트랜지스터)를 이용한 능동 매트릭스(active matrix) 방식이 있다. 여기서, 수동 매트릭스 방식은 양극과 음극을 직교하도록 형성하고 라인을 선택하여 구동하는데 비해, 능동 매트릭스 방식은 박막 트랜지스터를 각 ITO(Indium Tin Oxide) 화소 전극에 연결하고 박막 트랜지스터의 게이트 전극에 연결된 커패시터에 유지된 전압에 따라 구동하게 된다.
- [0015] 종래 유기전계발광표시장치의 서브 픽셀을 구조적으로 보상해주기 위해 4개의 트랜지스터와 1개의 커패시터(Capacitor)인 4T1C 구조를 사용하였다. 종래 서브 픽셀 구조는 유기 발광다이오드가 발광하지 않는 쓰기 단계(Writing)에는 전원을 차단하고 유기 발광다이오드가 발광하는 발광 단계(Emission)에 전원을 공급하는 방식을 사용하였다.
- [0016] 이러한 방식은 서브 픽셀에 문턱 전압(V_{th}) 변동에 따라 유기 전계발광소자에 흐르는 전류의 양이 변하는 문제가 발생하였다. 그리하여, 이와 같은 문제를 해결하기 위해 위와 같이 서브 픽셀의 구조를 4T1C 구조를 사용하였으나, 신호 배선의 수가 4개로 복잡한 구조로 되어 있으며, 서브 픽셀에 네거티브 어닐(Negative anneal)을 실시하기 위해 별도의 전원을 인가해줘야 하였다. 그리하여, 패널에 위치하는 전원 배선의 증가로 레이아웃(Layout)이 복잡해 짐은 물론 복잡한 구동 방식을 채택할 수밖에 없게 되어 고해상도 구현의 어려움과 실제 패널에 적용성이 떨어져 이의 개선이 요구된다.

발명이 이루고자 하는 기술적 과제

- [0017] 상술한 문제점을 해결하기 위한 본 발명의 목적은, 유기전계발광표시장치의 서브 픽셀 구조를 개선하여 구동 트랜지스터의 문턱 전압 변화에 의한 전류감소 및 유기 발광다이오드의 휘도 감소 문제를 해결한다. 아울러, 표시 품질을 향상시키는 물론 고해상도 구현에 적합한 유기전계발광표시장치를 제공한다.

발명의 구성 및 작용

- [0018] 상술한 과제를 해결하기 위한 본 발명은, 복수의 제1 및 제2전원 배선, 스캔 배선 및 데이터 배선에 연결된 서브 픽셀이 매트릭스 형태로 위치하는 표시패널을 포함하되, 서브 픽셀은, 스캔 배선에 게이트가 연결되고 데이터 배선에 제1전극이 연결된 제1트랜지스터와, 스캔 배선에 게이트가 연결되고 제1노드에 제1전극이 연결되며 제2노드에 제2전극이 연결된 제2트랜지스터와, 제1노드에 게이트가 연결되고 제1트랜지스터의 제2전극에 제1전극이 연결되며 제2노드에 제2전극이 연결된 제3트랜지스터와, 제1노드에 게이트가 연결되고 제2노드에 제1전극이 연결되며 제2전원 배선에 제2전극이 연결된 제4트랜지스터와, 제1노드에 제1전극이 연결되고 제2전원 배선에 제2전극이 연결된 커패시터와, 제1전원 배선에 제1전극이 연결되고 제3트랜지스터의 제1전극에 제2전극이 연결된 유기 발광다이오드를 포함하는 유기전계발광표시장치를 제공한다.
- [0019] 제1, 제2, 제3 및 제4트랜지스터는, N-Mos형일 수 있다.
- [0020] 제1, 제2, 제3 및 제4트랜지스터는, a-Si 트랜지스터일 수 있다.
- [0021] 한편, 다른 측면에서 본 발명은, 제1, 제2, 제3 및 제4트랜지스터와 커패시터와 유기 발광다이오드를 포함하는 서브 픽셀이 매트릭스 형태로 위치하는 표시패널을 포함하는 유기전계발광표시장치의 구동방법에 있어서, 제1 및 제2트랜지스터를 턴 온하고 커패시터에 공급된 데이터 신호를 데이터 전압으로 저장하는 쓰기 단계와, 커패시터에 저장된 데이터 전압으로 제3 및 제4트랜지스터를 턴 온하여 유기 발광다이오드를 발광시키는 발광 단계를 포함하는 유기전계발광표시장치의 구동방법을 제공한다.
- [0022] 쓰기 단계 이전에는, 유기 발광다이오드에 공급되는 전원을 차단하고 제1 및 제2트랜지스터를 턴 온한 상태에서 제4트랜지스터에 네거티브 어닐을 하는 초기화 단계를 포함할 수 있다.
- [0023] 쓰기 단계에서, 커패시터에 데이터 전압을 저장하기 위해 데이터 신호를 공급할 때는, 발광 단계에서 유기 발광다이오드에 공급되는 전원보다 낮은 상태에서 프리차징을 먼저 수행하고 데이터 신호를 공급할 수 있다.
- [0024] 제3트랜지스터는 포화 영역에서 구동하고 제4트랜지스터는 선형 영역에서 구동할 수 있다.
- [0025] 제1, 제2, 제3 및 제4트랜지스터는, a-Si으로 형성된 N-Mos형일 수 있다.
- [0026] <일 실시예>
- [0027] 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 서브 픽셀 회로 구성도이다.
- [0028] 도 1을 참조하면, 본 발명의 일 실시예에 따른 유기전계발광표시장치는 복수의 제1 및 제2전원 배선(VDD, GND), 스캔 배선(SCAN1[n]) 및 데이터 배선(DATA[n])에 연결된 서브 픽셀(1pixel)이 매트릭스 형태로 위치하는 표시패널을 포함한다.
- [0029] 여기서, 하나의 서브 픽셀은 스캔 배선(SCAN1[n])에 게이트가 연결되고 데이터 배선(DATA[n])에 제1전극이 연결된 제1트랜지스터(T1)를 포함한다.
- [0030] 또한, 스캔 배선(SCAN1[n])에 게이트가 연결되고 제1노드(A)에 제1전극이 연결되며 제2노드(B)에 제2전극이 연결된 제2트랜지스터(T2)를 포함한다.
- [0031] 또한, 제1노드(A)에 게이트가 연결되고 제1트랜지스터(T1)의 제2전극에 제1전극이 연결되며 제2노드(B)에 제2전극이 연결된 제3트랜지스터(T3)를 포함한다.
- [0032] 또한, 제1노드(A)에 게이트가 연결되고 제2노드(B)에 제1전극이 연결되며 제2전원 배선(GND)에 제2전극이 연결된 제4트랜지스터(T4)를 포함한다.
- [0033] 또한, 제1노드(A)에 제1전극이 연결되고 제2전원 배선(GND)에 제2전극이 연결된 커패시터(C)를 포함하고, 제1전원 배선(VDD)에 제1전극이 연결되고 제3트랜지스터(T3)의 제1전극에 제2전극이 연결된 유기 발광다이오드(D)를 포함한다.
- [0034] 앞서 설명한 제1, 제2, 제3 및 제4트랜지스터(T1, T2, T3, T4)의 제1전극과 제2전극은 각각 소스와 드레인 또는 드레인과 소스 전극으로 선택될 수 있으며, 이는 a-Si(아몰포스 실리콘)으로 형성된 N-Mos형 트랜지스터일 수 있다. 덧붙여, 유기 발광다이오드(D)의 제1전극과 제2전극 또한 서브 픽셀 회로 구성에 따라 각각 애노드와 캐소드 또

는 캐소드와 애노드로 선택될 수 있다.

- [0035] 이러한 유기 발광다이오드(D)는 정공주입층(HIL), 정공수송층(HTL), 전자수송층(ETL) 및 전자주입층(EIL)과 같은 공통막 사이에 유기 발광층(EML)이 개재된 것을 포함한다.
- [0036] 이와 같은 회로 구성에서, 제1전원 배선(VDD)은 매트릭스 형태로 위치하는 서브 픽셀에 모두 공통으로 연결되거나 R,G,B 서브 픽셀 별로 구분되어 연결될 수 있다. 즉, 모든 서브 픽셀은 제1전원 배선(VDD)을 통해 모두 동일한 전원을 공급받을 수 있게 되거나, R,G,B 서브 픽셀별로 각기 다른 전원을 공급받을 수 있게 된다.
- [0037] 한편, 본 발명과 같이 4T1C(4 Transistor 1 Capacitor)로 구성된 서브 픽셀 회로는 일부 트랜지스터인 제3트랜지스터(T3)와 제4트랜지스터(T4)가 전류 스케일링에 의해서 제3트랜지스터(T3)는 포화(Saturation) 영역에서 구동하고 제4트랜지스터(T4)는 선형(Linear) 영역에서 구동할 수 있다. 이에 대한 보충 설명은 이하의 구동방법에서 더욱 자세히 설명한다.
- [0038] 참고로, 위와 같은 유기전계발광표시장치는 표시패널에 위치하는 복수의 제1 및 제2전원 배선(VDD,GND)에 전원을 공급하고 스캔 배선(SCAN1[n])에 스캔신호를 공급한 후, 데이터 배선(DATA[n])에 데이터신호를 공급하게 되면, 스캔 배선(SCAN1[n])에 의해 선택된 서브 픽셀이 발광을 하여 표시패널 상에 영상을 구현할 수 있게 된다.
- [0039] 여기서, 제1 및 제2전원 배선(VDD,GND)은 설명의 표기상 "VDD"와 "GND"라고 하였으나 제1 및 제2전원 배선(VDD,GND)에 공급되는 전원은 상호 전압 차를 두고 공급되는 양의 전원 또는 음의 전원 레벨에 준할 수 있음은 물론이다.
- [0040] 앞서 설명한 제1 및 제2전원 배선(VDD,GND), 스캔 배선(SCAN1[n]) 및 데이터 배선(DATA[n])에 구동에 필요한 전원 및 신호를 공급하는 장치는 표시패널 또는 표시패널 외부 등에 선택적으로 위치할 수 있다.
- [0041] 이러한 장치들은 일반적으로 전원을 공급하는 전원부, 스캔신호를 공급하는 스캔 구동부 및 데이터신호를 공급하는 데이터 구동부 등을 포함할 수 있다. 그리고 이러한 장치들은 외부로부터 공급된 영상신호를 저장하는 메모리부 및 타이밍 제어부 등과 상호 연동하여 구동하게 된다.
- [0042] 이하, 도 2를 참조하여 본 발명의 일 실시예에 따른 유기전계발광표시장치의 구동방법에 대해 설명한다.
- [0043] 도 2는 본 발명의 일 실시예에 따른 구동 파형의 예시도 이다.
- [0044] 본 발명의 일 실시예에 따른 유기전계발광표시장치의 표시패널은 도 1을 참조하여 설명한 바와 같이 제1, 제2, 제3 및 제4트랜지스터(T1,T2,T3,T4)와 커패시터(C1)와 유기 발광다이오드(D)를 포함하는 서브 픽셀이 매트릭스 형태로 위치한다.
- [0045] 여기서, 도시된 도 2의 구동 파형 예시도를 참조하면, 본 발명의 일 실시예에 따른 구동방법은 쓰기 단계(Writing)와 발광 단계(Emission)를 포함한다.
- [0046] 먼저, 쓰기 단계(Writing)는 제1 및 제2트랜지스터(T1,T2)를 턴 온하고 커패시터(C)에 데이터를 저장하는 단계이다.
- [0047] 쓰기 단계(Writing)에서는 스캔 구동부로부터 출력된 스캔 신호(Scan)를 스캔 배선(SCAN[n])을 통해 해당 서브 픽셀에 공급하고, 데이터 구동부로부터 출력된 데이터 신호(Data)를 데이터 배선(DATA[n])을 통해 해당 서브 픽셀에 공급한다.
- [0048] 그러면, 해당 서브 픽셀의 스캔 배선(SCAN[n])에 연결된 제1 및 제2트랜지스터(T1,T2)가 턴온하게 되고 이때, 턴 온된 제1 및 제2트랜지스터(T1,T2)를 통해 공급된 데이터 신호(Data)는 커패시터(C)에 데이터 전압으로 유기된다.
- [0049] 이후, 발광 단계(Emission)는 커패시터에 저장된 데이터 전압으로 제3 및 제4트랜지스터를 턴 온하여 유기 발광다이오드를 발광시키는 단계이다.
- [0050] 발광 단계(Emission)에서는 커패시터(C)에 저장된 데이터 전압이 제3 및 제4트랜지스터(T3,T4)의 게이트에 인가되어 제3 및 제4트랜지스터(T3,T4)가 턴 온하게 된다.
- [0051] 그러면, 제1전원 배선(VDD)에 연결된 유기 발광다이오드(D)에 공급된 전원이 제3 및 제4트랜지스터(T3,T4)를 통해 제2전원 배선(GND)로 흐르게 되어 유기 발광다이오드(D)가 발광하게 된다.

- [0052] 단, 앞서 쓰기 단계(Writing)에서, 커패시터(C)에 데이터 전압을 저장하기 위해 데이터 신호(Data)를 공급할 때는, 발광 단계(Emission)에서 유기 발광다이오드(D)에 공급되는 전원보다 낮은 상태에서 프리차징을 먼저 수행하고 데이터 신호(Data)를 공급할 수 있다.
- [0053] 이에 대한 설명의 이해를 돕기 위해 도 3을 참조한다.
- [0054] 도 3은 문턱 전압 변화에 따른 커패시터의 전압 변화 그래프이다.
- [0055] 도 3을 참조하면, 쓰기 단계(Writing)를 수행하기 전 데이터 배선(DATA[n])을 통해 프리차징(Pre Charging)을 먼저 수행하고 있음을 알 수 있다.
- [0056] 여기서, 도 3의 "Vg1"은 제1노드(A)에 걸린 전압을 나타내고, "Vd2"는 제2노드(B)에 걸린 전압을 나타낸다.
- [0057] 이와 같이 프리차징을 하게 되면, 턴 온된 제2트랜지스터(T2)의 제1전극과 제2전극 양단 간에 전압차가 발생하면서 제4트랜지스터(T4)의 게이트와 제1전극에 낮은 전압이 걸리게 된다. 즉, 제4트랜지스터(T4)의 게이트와 제1전극의 전압이 감소하게 된다. 이때, 걸린 낮은 전압은 제4트랜지스터(T4)에 네거티브 어닐(Negative Anneal)을 걸어줄 수 있게 되는데 이에 대한 설명은 후술한다.
- [0058] 한편, 이와 같은 과정에서 제3트랜지스터(T3)는 문턱 전압이 결정된다. 즉 유기 발광다이오드(D)를 통해 제2전원 배선(GND)까지 흐르게 되는 전류를 결정할 수 있게 된다.
- [0059] 그리하여, 결과적으로 제3트랜지스터(T3)는 유기 발광다이오드(D)를 직접적으로 구동할 수 있도록 포화(Saturation) 영역에서 구동하게 되고 제4트랜지스터(T4)는 스위칭 동작을 하기 위해 선형(Linear) 영역에서 구동하도록 각각 위치하게 된다.
- [0060] 참고로, 도시된 도면에서 발광 단계(Emission)에서 제3트랜지스터(T3)의 문턱 전압(Vth) 변동에 따라 전압은 각각 3.1 [V], 2.1 [V], 1.1 [V] 사이를 오가게 됨을 알 수 있는데, 여기서 나타낸 전압 변동 폭과 데이터 전압(Vdata)은 문턱 전압(Vth) 변동에 따른 설명을 위해 개시한 것일 뿐임을 참조한다.
- [0061] 이와 같이 변동되는 문턱 전압(Vth) 변동에 따른 유기 발광다이오드(D)의 전류 변화는 도 4를 참조한다.
- [0062] 도 4는 문턱 전압 변동에 따른 유기 발광다이오드의 전류 변화 그래프이다.
- [0063] 도 4를 참조하면, 앞서 설명한 바와 같은 과정에 의해 데이터 신호가 커패시터(C)에 데이터 전압으로 유기된 후 제3 및 제4트랜지스터(T3,T4)가 턴 온되고 난 후 유기 발광다이오드가 발광할 때 문턱 전압(Vth) 변동에 따른 전류 변화 그래프를 도시한다.
- [0064] 본 발명에 의한 구조는, 프리차징(Pre Charging) 당시 데이터 전압(Vdata) = 0 [V]인 상태에서 데이터 신호를 데이터 전압으로 유기시킨 후 데이터 전압(Vdata) = 7.75 [V]가 될 때, 유기 발광다이오드(D)에 공급된 전류는 대략 400 [nA] 저점 구간과 550 [nA] 구간에서 대략 30% 전류 감소 폭을 가짐을 알 수 있다.
- [0065] 따라서, 본 발명에 의한 구조는 구동 트랜지스터인 제3트랜지스터(T3)의 구조적인 문제로 인하여 문턱 전압(Vth)이 변하더라도 대략 30% 정도의 전류 감소 폭을 유지할 수 있도록 개선된 구조임을 알 수 있다.
- [0066] 한편, 앞서 쓰기 단계(Writing) 이전에는 도 2에 도시된 바와 같이 유기 발광다이오드(D)에 공급되는 전원을 차단하고 제1 및 제2트랜지스터(T1,T2)를 턴 온한 상태에서 제4트랜지스터(T4)에 네거티브 어닐을 하는 초기화 단계를 포함할 수 있음을 설명하였다.
- [0067] 이에 대한 설명을 위해 도 5 및 도 6을 참조한다.
- [0068] 도 5는 네거티브 어닐의 설명을 위한 구동 파형 예시도 이다.
- [0069] 도 5를 참조하면, 제4트랜지스터(T4)에 실시되는 네거티브 어닐은 앞서, 도 3을 참조하여 설명한 바와 같이 데이터 신호를 공급하기 전 시행하는 프리차징 구간에 실시할 수 있다.
- [0070] 여기서, 제4트랜지스터(T4)에 실시되는 네거티브 어닐은 제1전원 배선(VDD)을 통해 유기 발광다이오드(D)에 공급되는 전원을 차단하고 제2트랜지스터(T2)가 턴 온 상태에서, 제2노드(B)가 제1노드(A)의 전압보다 낮아지게

됨으로써 가능하게 된다. 이때, 데이터 전압(Vdata)은 음의 전압까지 떨어진 후 양의 전압까지 상승하게 되는데, 도 5를 참조하여 예를 들면, 데이터 전압(Vdata)은 -5 [V]까지 떨어진 후, 데이터 쓰기(Writing) 단계에 의해 7.75 [V]까지 상승하게 된다. 그리고 이후 발광 단계(Emission)를 실시하게 된다.

[0071] 따라서, 제4트랜지스터(T4)에 실시되는 네거티브 어닐은 프리차징 구간에 인가된 음의 전압에 의해 실시할 수 있게 되며 더욱 정확하게는 음의 데이터 전압으로 어닐을 하는 네거티브 데이터 어닐(Negative Data Anneal)임을 알 수 있다.

[0072] 이에 따르면, 본 발명의 제3트랜지스터(T3)는 회로적으로 문턱 전압(Vth) 변동을 보상하게 되고, 제4트랜지스터(T4)는 네거티브 어닐을 적용할 수 있게 됨으로써 네거티브 어닐로 인한 문턱 전압(Vth) 변동의 복구는 물론 추가적인 보상 효과를 나타낼 수 있게 된다.

[0073] 이와 같은 설명에 의해, 본 발명은 문턱 전압(Vth) 변동에 의해 유기 발광다이오드(D)의 전류가 특정 시점에서 감소하는 영향을 최소화할 수 있는데 이에 대한 설명은 도 6을 참조하여 설명한다.

[0074] 도 6은 문턱 전압 변동에 따른 유기 발광다이오드의 전류 감소 그래프이다.

[0075] 도 6을 참조하면, "P1"은 종래 2T1C 구조의 문턱 전압 변동에 따른 유기 발광다이오드의 전류 감소 곡선을 나타낸다. 그리고 "P2" 내지 "P6"은 본 발명의 4T1C 구조의 문턱 전압 변동에 따른 유기 발광다이오드(D)의 전류 감소 곡선을 나타낸다. 여기서, 도시된 그래프는 문턱 전압(Vth) 변동 폭에 의한 영향을 최소화하기 위해 네거티브 어닐시 인가되는 데이터 전압을 5개 정도로 달리하여 인가하여 이때 유기 발광다이오드(D)의 전류 흐름 상태를 그래프로 나타낸 것임을 참조한다.

[0076] 여기서, 도 6의 그래프에 나타나 있듯이 네거티브 어닐시 "P6"과 같이 음의 전압 값을 크게 줄수록 유기 발광다이오드(D)에 흐르는 전류 감소율이 적어짐을 알 수 있다. 즉, 음의 전압 값이 클수록 제4트랜지스터(T4)의 회복률이 높아짐을 짐작할 수 있게 된다.

[0077] 이상과 같이 설명한 본 발명은 유기전계발광표시장치의 서브 픽셀 구조를 개선하여 구동 트랜지스터의 문턱 전압 변화에 의한 전류감소 및 유기 발광다이오드의 휘도 감소 문제를 해결하는 효과가 있다. 아울러, 표시품질을 향상시키는 물론 고해상도 구현에 적합한 유기전계발광표시장치를 제공하는 효과가 있다.

[0078] 단, 앞서 설명한 구조에서 서브 픽셀 내에 포함된 트랜지스터를 P-Mos형으로 형성하고 회로 구성을 P-Mos형에 적합하도록 구현한다면 본 발명과 같은 효과를 얻을 수도 있을 것이다.

[0079] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

발명의 효과

[0080] 상술한 바와 같이 본 발명은, 유기전계발광표시장치의 서브 픽셀 구조를 개선하여 구동 트랜지스터의 문턱 전압 변화에 의한 전류감소 및 유기 발광다이오드의 휘도 감소 문제를 해결하는 효과가 있다. 아울러, 표시품질을 향상시키는 물론 고해상도 구현에 적합한 유기전계발광표시장치를 제공하는 효과가 있다.

도면의 간단한 설명

[0001] 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 서브 픽셀 회로 구성도.

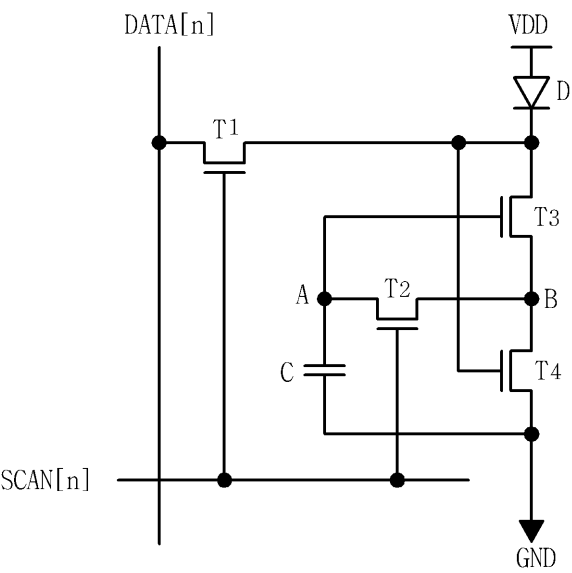
[0002] 도 2는 본 발명의 일 실시예에 따른 구동 파형의 예시도.

[0003] 도 3은 문턱 전압 변화에 따른 커패시터의 전압 변화 그래프.

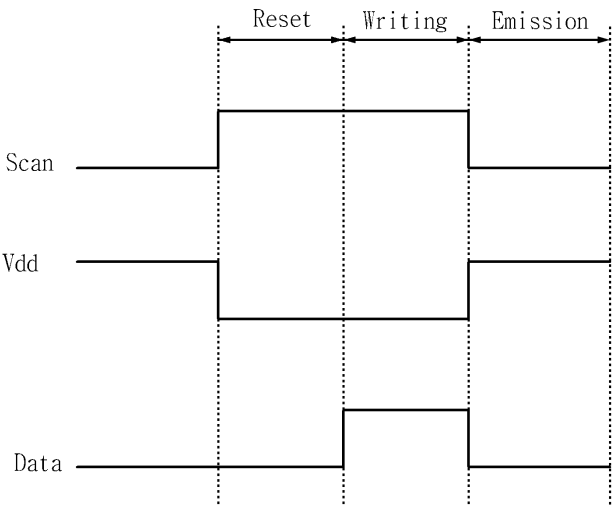
- [0004] 도 4는 문턱 전압 변동에 따른 유기 발광다이오드의 전류 변화 그래프.
- [0005] 도 5는 네거티브 어닐의 설명을 위한 구동 파형 예시도.
- [0006] 도 6은 문턱 전압 변동에 따른 유기 발광다이오드의 전류 감소 그래프.
- [0007] <도면의 주요 부분에 관한 부호의 설명>
- [0008] VDD : 제1전원 배선 GND : 제2전원 배선
- [0009] T1,T2,T3,T4 : 제1, 제2, 제3 및 제4트랜지스터
- [0010] SCAN[n] : 스캔 배선 DATA[n] : 데이터 배선
- [0011] D : 유기 발광다이오드 C : 커패시터

도면

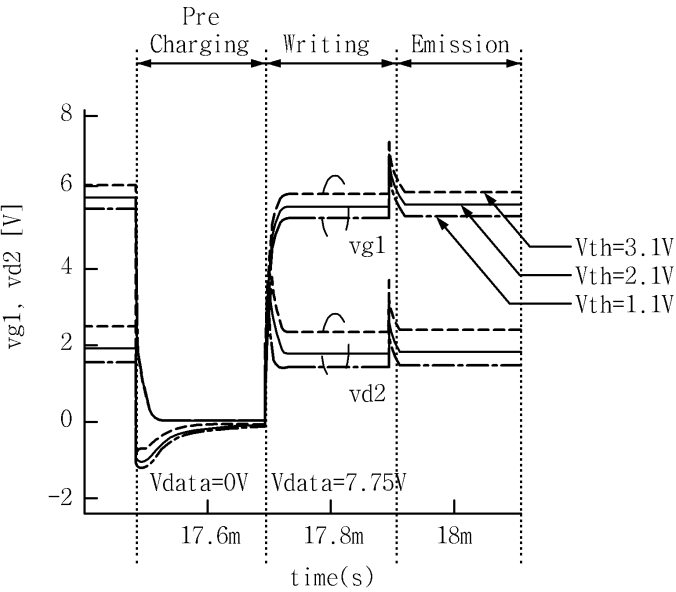
도면1



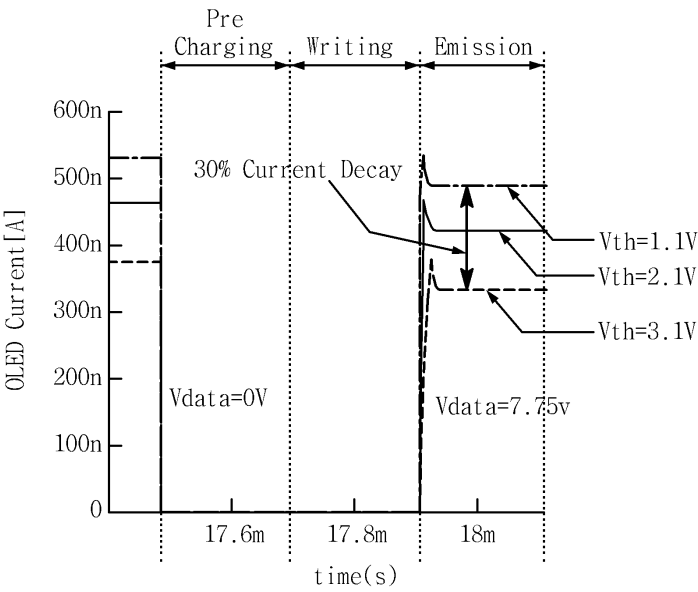
도면2



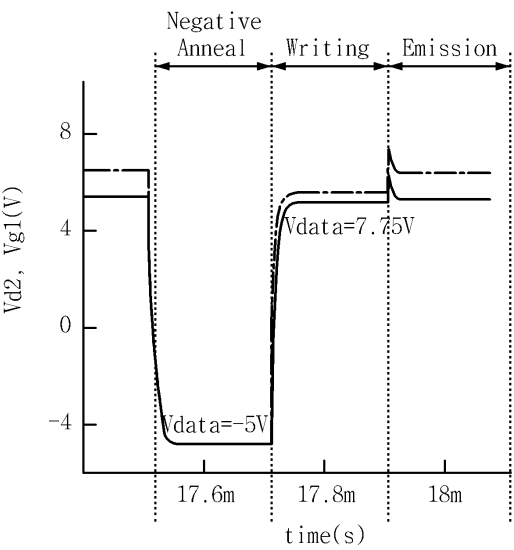
도면3



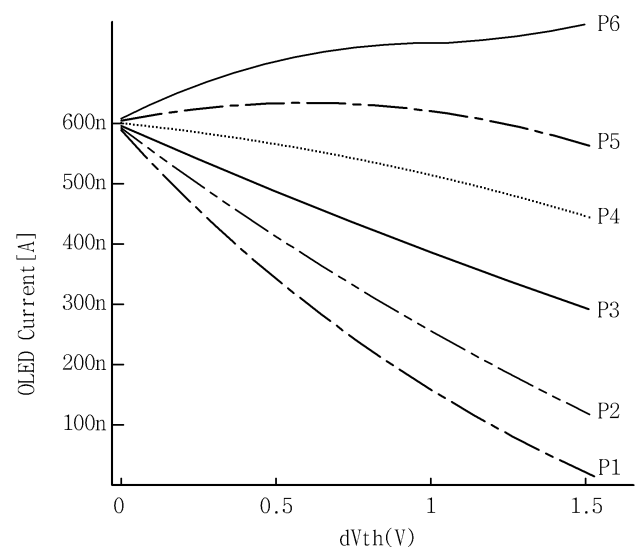
도면4



도면5



도면6



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 제4항 6째줄

【변경전】

상기 제2전원 배선에

【변경후】

제2전원 배선에

专利名称(译)	标题：有机电致发光显示装置及其驱动方法		
公开(公告)号	KR101365808B1	公开(公告)日	2014-03-13
申请号	KR1020070064514	申请日	2007-06-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HWANG KWANG JO		
发明人	HWANG, KWANG JO		
IPC分类号	G09G3/30 G09G3/32 G09G3/20 H05B33/12		
CPC分类号	G09G3/2074 G09G3/3258 G09G2300/0426 G09G2300/043 G09G2320/0233		
其他公开文献	KR1020090000446A		
外部链接	Espacenet		

摘要(译)

提供了一种有机发光显示器及其驱动方法，以通过改善子像素结构来改善有机发光二极管的亮度。子像素包括扫描线（SCAN（n））和连接到数据线（DATA（n））的第一晶体管（T1），并且包括连接到扫描线的第二晶体管（T2），第一节点（A）和第二个节点（B）。子像素包括连接到第一晶体管的第一节点，第二电极和第二节点的第三晶体管（T3），以及连接到第一节点，第二节点和第二电源的第四晶体管（T4）。线（GND）。子像素包括连接至第一节点和第二电源线的电容器（C），并且包括连接至第三晶体管的第一电极和第一电源布线（VDD）的有机发光二极管（DIODE）（D）。。

