

(72) 발명자

서진욱

경기 용인시 기흥구 공세동 428-5

강태욱

경기 용인시 기흥구 공세동 428-5

박병건

경기 용인시 기흥구 공세동 428-5

정세환

경기 용인시 기흥구 공세동 428-5

(56) 선행기술조사문헌

JP2006332314 A

KR1020010015479 A

KR1020060001711 A

KR1020060050318 A

특허청구의 범위

청구항 1

표시 영역과 비표시 영역을 갖는 기관;

상기 기관의 표시 영역에 박막 트랜지스터 및 유기 전계 발광 소자가 상호 전기적으로 연결되어 형성된 적어도 하나의 화소 영역; 및,

상기 기관의 비표시 영역에 SGS 결정화법으로 형성된 적어도 하나의 얼라인 마크를 포함하여 이루어진 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 2

제 1 항에 있어서, 상기 얼라인 마크는 SGS 결정화법으로 형성된 다결정 실리콘인 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 3

제 2 항에 있어서, 상기 다결정 실리콘에는 결정립 경계가 존재하지 않거나 적어도 하나의 결정립 경계가 존재함을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 4

제 1 항에 있어서, 상기 화소 영역의 박막 트랜지스터는 SGS 결정화법으로 형성된 다결정 실리콘인 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 5

제 4 항에 있어서, 상기 다결정 실리콘에는 결정립 경계가 존재하지 않거나 적어도 하나의 결정립 경계가 존재함을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 6

제 1 항에 있어서, 상기 화소 영역과 얼라인 마크는 동일한 평면상에 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 7

제 1 항에 있어서, 상기 얼라인 마크는 삼각형, 사각형, 마름모형, 오각형 및 십자형중 선택된 어느 하나의 형태로 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 8

제 1 항에 있어서, 상기 얼라인 마크는 면적이 $100\sim900\mu\text{m}^2$ 인 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 9

제 1 항에 있어서, 상기 얼라인 마크의 폭은 $1\sim20\mu\text{m}$ 인 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 10

제 1 항에 있어서, 상기 얼라인 마크에는 SGS 결정화법에 의한 촉매 금속이 잔류함을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 11

제 10 항에 있어서, 상기 촉매 금속은 $1.0\text{E}16\sim1.0\text{E}20\text{atoms}/\text{cm}^3$ 의 체적 농도로 상기 얼라인 마크에 잔류함을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 12

제 1 항에 있어서, 상기 기관은 글래스, 플라스틱, 스테인레스 스틸 및 나노복합재료중 선택된 어느 하나인 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 13

제 1 항에 있어서, 상기 기관의 비표시 영역에는 상기 표시 영역에 데이터 신호를 공급하는 데이터 구동부, 주사 신호를 공급하는 주사 구동부 및 발광 제어 신호를 공급하는 발광 제어 구동부중 적어도 어느 하나가 더 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 14

표시 영역과 비표시 영역을 갖는 기관;

상기 기관의 표시 영역 및 비표시 영역 위에 형성된 버퍼층;

상기 기관중 표시 영역과 대응되는 버퍼층 위에 SGS 결정화법으로 형성된 반도체층;

상기 기관중 비표시 영역과 대응되는 버퍼층 위에 SGS 결정화법으로 형성된 얼라인 마크;

상기 반도체층 및 얼라인 마크 위에 형성된 게이트 절연막;

상기 반도체층과 대응되는 게이트 절연막 위에 형성된 게이트 전극;

상기 게이트 전극 위에 형성된 층간 절연막;

상기 층간 절연막 위에 형성된 동시에, 상기 반도체층과 전기적으로 연결된 소스/드레인 전극;

상기 소스/드레인 전극 위에 형성된 절연막; 및,

상기 절연막 위에 형성된 동시에, 상기 소스/드레인 전극에 전기적으로 연결된 유기 전계 발광 소자를 포함하여 이루어진 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 15

제 14 항에 있어서, 상기 반도체층 및 얼라인 마크는 SGS 결정화법으로 형성된 다결정 실리콘인 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 16

제 15 항에 있어서, 상기 다결정 실리콘은 결정립 경계가 존재하지 않거나 적어도 하나의 결정립 경계가 존재함을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 17

제 14 항에 있어서, 상기 얼라인 마크와 대응되는 게이트 절연막 위에는 층간 절연막이 더 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 18

제 17 항에 있어서, 상기 얼라인 마크와 대응되는 층간 절연막 위에는 절연막이 더 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 19

제 14 항에 있어서, 상기 얼라인 마크는 두께가 100~1000Å인 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 20

제 14 항에 있어서, 상기 얼라인 마크는 평면 형태가 삼각형, 사각형, 마름모형, 오각형 및 십자형중 선택된 어느 하나의 형태로 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 21

제 14 항에 있어서, 상기 얼라인 마크는 면적이 $100\sim900\mu\text{m}^2$ 인 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 22

제 14 항에 있어서, 상기 기판은 글래스, 플라스틱, 스테인레스 스틸 및 나노복합재료중 선택된 어느 하나인 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 23

제 14 항에 있어서, 상기 절연막은 보호막과 평탄화막으로 이루어지는 동시에, 상기 얼라인 마크와 대응되는 영역에도 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 24

제 14 항에 있어서, 상기 얼라인 마크의 폭은 $1\sim20\mu\text{m}$ 인 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 25

제 14 항에 있어서, 상기 얼라인 마크에는 SGS 결정화법에 의한 촉매 금속이 잔류함을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 26

제 25 항에 있어서, 상기 촉매 금속은 $1.0\text{E}16\sim1.0\text{E}20\text{atoms}/\text{cm}^3$ 의 체적 농도로 상기 얼라인 마크에 잔류함을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 27

표시 영역과 비표시 영역을 갖는 기판을 준비하는 단계;

상기 표시 영역 및 비표시 영역 위에 버퍼층을 형성하는 단계;

상기 표시 영역 및 비표시 영역의 버퍼층 위에 비정질 실리콘을 증착하는 단계;

상기 표시 영역 및 비표시 영역의 비정질 실리콘 위에 캡핑층을 형성하는 단계;

상기 표시 영역 및 비표시 영역의 캡핑층 위에 촉매 금속을 위치시킨 후 열처리함으로써, 상기 촉매 금속이 비정질 실리콘까지 확산되어 시드(seed)가 되고, 상기 시드에 의해 상기 비정질 실리콘이 다결정 실리콘이 되도록 하며, 상기 표시 영역에는 상기 다결정 실리콘에 의해 반도체층이 형성되도록 하고, 상기 비표시 영역에는 상기 다결정 실리콘에 의해 얼라인 마크가 형성되도록 하는 단계;

상기 표시 영역의 반도체층을 이용하여 적어도 하나의 트랜지스터를 형성하는 단계; 및,

상기 표시 영역의 트랜지스터에 전기적으로 연결되는 유기 전계 발광 소자를 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 28

제 27 항에 있어서, 상기 캡핑층 형성 단계는

상기 표시 영역과 비표시 영역에 각각 적어도 하나의 위치 제어용 개구를 갖는 확산 불가능막을 형성하는 단계; 및,

상기 위치 제어용 개구 및 확산 불가능막을 덮는 확산 가능막을 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 29

제 27 항에 있어서, 상기 확산 불가능막 형성 단계는 상기 비표시 영역에 형성되는 확산 불가능막의 위치 제어

용 개구의 넓이가 $100\sim900\mu\text{m}^2$ 가 되도록 함을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 30

제 27 항에 있어서, 상기 반도체층 및 얼라인 마크 형성 단계는 상기 촉매 금속으로서 니켈(Ni), 팔라듐(Pd), 티타늄(Ti), 은(Ag), 금(Au), 알루미늄(Al), 주석(Sn), 안티몬(Sb), 구리(Cu), 코발트(Co), 몰리브덴(Mo), 테르븀(Tr), 루테튬(Ru), 로듐(Rh), 카드뮴(Cd) 및 백금(Pt) 중 선택된 어느 하나가 이용됨을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 31

제 27 항에 있어서, 상기 반도체층 및 얼라인 마크 형성 단계는 열처리 온도로서 $400\sim700^\circ\text{C}$ 의 온도가 공급됨을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 32

제 27 항에 있어서, 상기 반도체층 및 얼라인 마크 형성 단계후에는 상기 다결정 실리콘으로 형성된 얼라인 마크 및 반도체층을 제외한 비정질 실리콘을 제거하는 단계가 더 포함된 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 33

제 27 항에 있어서, 상기 비정질 실리콘 증착 단계중 상기 비표시 영역의 버퍼층에 증착되는 비정질 실리콘의 두께는 $100\sim1000\text{\AA}$ 로 형성되도록 함을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 34

제 27 항에 있어서, 상기 반도체층 및 얼라인 마크 형성 단계에서 상기 얼라인 마크의 폭은 $1\sim20\mu\text{m}$ 이 되도록 함을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 35

제 27 항에 있어서, 상기 반도체층 및 얼라인 마크 형성 단계에서 상기 얼라인 마크에는 SGS 결정화법에 의해 촉매 금속이 잔류함을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 36

제 35 항에 있어서, 상기 촉매 금속은 $1.0\text{E}16\sim1.0\text{E}20\text{atoms}/\text{cm}^3$ 의 체적 농도로 상기 얼라인 마크에 잔류함을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <21> 본 발명은 유기 전계 발광 표시 장치 및 그 제조 방법에 관한 것으로서, 보다 상세히는 박막 트랜지스터의 형성을 위한 SGS 결정화 공정중 얼라인 마크를 함께 형성함으로써 마스크의 갯수를 줄이고 생산 수율을 향상시킬 수 있는 유기 전계 발광 표시 장치 및 그 제조 방법에 관한 것이다.
- <22> 일반적으로 유기 전계 발광 소자는 애노드(anode)에 정공을 주입하고 캐소드(cathode)에 전자를 주입함으로써 형광 또는 인광 유기 화합물에서 전자와 정공이 결합하여 발광하는 장치이다.
- <23> 이러한 유기 전계 발광 소자는 도 1에 도시된 바와 같이 애노드 전극(ITO; Indium Tin Oxide), 유기 박막 및 캐소드 전극(Metal)을 기본 구조로 한다. 상기 유기 박막은 전자와 정공이 만나 여기자(exciton)를 형성하여 발광하는 발광층(Emitting Layer, EML), 전자를 수송하는 전자 수송층(Electron Transport Layer, ETL), 정공을 수송하는 정공 수송층(Hole Transport Layer, HTL)으로 이루어질 수 있다. 또한, 상기 전자 수송층의 일측면에는

전자를 주입하는 전자 주입층(Electron Injecting Layer, EIL)이 형성되고, 상기 정공 수송층의 일면에는 정공을 주입하는 정공 주입층(Hole Injecting Layer, HIL)이 더 형성될 수 있다.

- <24> 이와 같은 유기 전계 발광 소자를 구동하는 방식으로서는 수동 매트릭스(passive matrix) 구동 방식과 능동 매트릭스(active matrix) 구동 방식이 알려져 있다. 상기 수동 매트릭스 구동 방식은 양극과 음극을 직교하도록 형성하고 라인(line)을 선택하여 구동함으로써 제작 공정이 단순하고 투자비가 적으나 대화면 구현시 전류 소모량이 많다는 단점이 있다. 상기 능동 매트릭스 구동 방식은 박막 트랜지스터와 같은 능동 소자 및 용량성 소자를 각 화소에 형성함으로써 전류 소모량이 적고 화질 및 수명이 우수하며 중대형까지 확대 가능하다는 장점이 있다.
- <25> 한편, 이러한 유기 전계 발광 장치의 제조 방법은 크게 박막 트랜지스터 제조 단계와 유기 전계 발광 소자 제조 단계로 이루어질 수 있다. 물론, 이밖에도 봉지 단계 및 모듈 단계 등이 있지만 이에 대해서는 설명을 생략하기로 한다.
- <26> 상기 박막 트랜지스터의 제조 단계는 기판 세정 단계, 버퍼층 형성 단계, 비정질 실리콘 증착 단계, 다결정 실리콘의 형성을 위한 결정화 단계, 패터닝 단계, 게이트 절연막 형성 단계, 게이트 패터닝 단계, 이온 주입/활성화 단계, 층간 절연막 형성 단계, 콘택 형성 단계, 소스/드레인 패터닝 단계, 절연막 및 비아 형성 단계, ITO 형성 단계 및 화소 정의막 형성 단계 등으로 이루어져 있다.
- <27> 여기서, 상기 각 단계들은 상기 기판의 정확한 위치에서 수행될 수 있도록 통상 기판 표면, 버퍼층 표면 또는 게이트 절연막 표면 등에 소정 모양의 얼라인 마크를 별도의 마스크를 이용하여 형성하고 있다. 특히, 상기 박막 트랜지스터의 형성을 위한 결정화 단계에서는 특성 개선을 위해 정확한 위치 제어가 필요함으로써, 상기 얼라인 마크는 반드시 필요하다. 따라서, 상기 박막 트랜지스터의 제조 단계에서는 상기 얼라인 마크 형성을 위해 별도의 얼라인 마크 형성 단계가 추가적으로 더 수행되어야 한다.
- <28> 더불어, 상기 유기 전계 발광 소자의 제조 단계는 세정 단계, 전처리 단계, 유기 전계 발광 소자 증착 단계, 캐소드 증착 단계 등으로 이루어져 있다. 이때에도 마찬가지로 상기 각 단계들은 기판의 정확한 위치에서 수행될 수 있도록 절연막 등의 표면에 위치 제어를 위한 소정 모양의 얼라인 마크를 별도의 마스크를 이용하여 형성하고 있다. 즉, 유기 전계 발광 소자의 제조 단계에서도 얼라인 마크 형성을 위한 별도의 얼라인 마크 형성 단계가 추가적으로 수행되어야 한다.
- <29> 이와 같이 종래에는 유기 전계 발광 표시 장치의 제조 공정중 별도의 공정으로 얼라인 마크를 형성하여야 함으로써, 추가적인 마스크가 더 필요하고 이에 따라 제조 공정이 더욱 복잡해지는 문제가 있다.
- <30> 또한, 상기 얼라인 마크의 형성 위치가 허용치에서 벗어날 경우, 이후 수행되는 모든 공정에서 불량률이 발생하여 생산 수율이 현저히 저하되는 문제도 있다.

발명이 이루고자 하는 기술적 과제

- <31> 본 발명은 상술한 종래의 문제점을 극복하기 위한 것으로서, 본 발명의 목적은 박막 트랜지스터의 형성을 위한 SGS 결정화 공정중 얼라인 마크를 함께 형성함으로써 마스크 수를 줄이고 생산 수율을 향상시킬 수 있는 유기 전계 발광 표시 장치 및 그 제조 방법을 제공하는데 있다.

발명의 구성 및 작용

- <32> 상기한 목적을 달성하기 위해 본 발명에 의한 유기 전계 발광 표시 장치는 표시 영역과 비표시 영역을 갖는 기판과, 상기 기판의 표시 영역에 박막 트랜지스터 및 유기 전계 발광 소자가 상호 전기적으로 연결되어 형성된 적어도 하나의 화소 영역과, 상기 기판의 비표시 영역에 SGS 결정화법으로 형성된 적어도 하나의 얼라인 마크를 포함한다.
- <33> 상기 얼라인 마크는 SGS 결정화법으로 형성된 다결정 실리콘일 수 있다. 상기 다결정 실리콘에는 결정립 경계가 존재하지 않거나 적어도 하나의 결정립 경계가 존재할 수 있다.
- <34> 상기 화소 영역의 박막 트랜지스터는 SGS 결정화법으로 형성된 다결정 실리콘일 수 있다. 상기 다결정 실리콘에는 결정립 경계가 존재하지 않거나 적어도 하나의 결정립 경계가 존재할 수 있다.
- <35> 상기 화소 영역과 얼라인 마크는 동일한 평면상에 형성될 수 있다.
- <36> 상기 얼라인 마크는 삼각형, 사각형, 마름모형, 오각형 및 십자형중 선택된 어느 하나의 형태로 형성될 수

있다.

- <37> 상기 얼라인 마크는 면적이 $100\sim900\mu\text{m}^2$ 일 수 있다. 상기 얼라인 마크의 폭은 $1\sim20\mu\text{m}$ 일 수 있다.
- <38> 상기 얼라인 마크에는 SGS 결정화법에 의한 촉매 금속이 잔류할 수 있다.
- <39> 상기 촉매 금속은 $1.0\text{E}16\sim1.0\text{E}20\text{atoms}/\text{cm}^3$ 의 체적 농도로 상기 얼라인 마크에 잔류할 수 있다.
- <40> 상기 기판은 글래스, 플라스틱, 스테인레스 스틸 및 나노복합재료중 선택된 어느 하나일 수 있다.
- <41> 상기 기판의 비표시 영역에는 상기 표시 영역에 데이터 신호를 공급하는 데이터 구동부, 주사 신호를 공급하는 주사 구동부 및 발광 제어 신호를 공급하는 발광 제어 구동부중 적어도 어느 하나가 더 형성될 수 있다.
- <42> 상기한 목적을 달성하기 위해 본 발명에 의한 유기 전계 발광 표시 장치는 표시 영역과 비표시 영역을 갖는 기판과, 상기 기판의 표시 영역 및 비표시 영역 위에 형성된 버퍼층과, 상기 기판중 표시 영역과 대응되는 버퍼층 위에 SGS 결정화법으로 형성된 반도체층과, 상기 기판중 비표시 영역과 대응되는 버퍼층 위에 SGS 결정화법으로 형성된 얼라인 마크와, 상기 반도체층 및 얼라인 마크 위에 형성된 게이트 절연막과, 상기 반도체층과 대응되는 게이트 절연막 위에 형성된 게이트 전극과, 상기 게이트 전극 위에 형성된 층간 절연막과, 상기 층간 절연막 위에 형성된 동시에, 상기 반도체층과 전기적으로 연결된 소스/드레인 전극과, 상기 소스/드레인 전극 위에 형성된 절연막과, 상기 절연막 위에 형성된 동시에, 상기 소스/드레인 전극에 전기적으로 연결된 유기 전계 발광 소자를 포함한다.
- <43> 상기 반도체층 및 얼라인 마크는 SGS 결정화법으로 형성된 다결정 실리콘일 수 있다. 상기 다결정 실리콘은 결정립 경계가 존재하지 않거나 적어도 하나의 결정립 경계가 존재할 수 있다.
- <44> 상기 얼라인 마크와 대응되는 게이트 절연막 위에는 층간 절연막이 더 형성될 수 있다.
- <45> 상기 얼라인 마크와 대응되는 층간 절연막 위에는 절연막이 더 형성될 수 있다.
- <46> 상기 얼라인 마크는 두께가 $100\sim1000\text{\AA}$ 일 수 있다.
- <47> 상기 얼라인 마크는 평면 형태가 삼각형, 사각형, 마름모형, 오각형 및 십자형중 선택된 어느 하나의 형태로 형성될 수 있다.
- <48> 상기 얼라인 마크는 면적이 $100\sim900\mu\text{m}^2$ 일 수 있다.
- <49> 상기 기판은 글래스, 플라스틱, 스테인레스 스틸 및 나노복합재료중 선택된 어느 하나일 수 있다.
- <50> 상기 절연막은 보호막과 평탄화막으로 이루어지는 동시에, 상기 얼라인 마크와 대응되는 영역에도 형성될 수 있다.
- <51> 상기 얼라인 마크의 폭은 $1\sim20\mu\text{m}$ 일 수 있다.
- <52> 상기 얼라인 마크에는 SGS 결정화법에 의한 촉매 금속이 잔류할 수 있다.
- <53> 상기 촉매 금속은 $1.0\text{E}16\sim1.0\text{E}20\text{atoms}/\text{cm}^3$ 의 체적 농도로 상기 얼라인 마크에 잔류할 수 있다.
- <54> 또한, 상기한 목적을 달성하기 위해 본 발명에 의한 유기 전계 발광 표시 장치의 제조 방법은 표시 영역과 비표시 영역을 갖는 기판을 준비하는 단계와, 상기 표시 영역 및 비표시 영역 위에 버퍼층을 형성하는 단계와, 상기 표시 영역 및 비표시 영역의 버퍼층 위에 비정질 실리콘을 증착하는 단계와, 상기 표시 영역 및 비표시 영역의 비정질 실리콘 위에 캡핑층을 형성하는 단계와, 상기 표시 영역 및 비표시 영역의 캡핑층 위에 촉매 금속을 위치시킨 후 열처리함으로써, 상기 촉매 금속이 비정질 실리콘까지 확산되어 시드(seed)가 되고, 상기 시드에 의해 상기 비정질 실리콘이 다결정 실리콘이 되도록 하며, 상기 표시 영역에는 상기 다결정 실리콘에 의해 반도체층이 형성되도록 하고, 상기 비표시 영역에는 상기 다결정 실리콘에 의해 얼라인 마크가 형성되도록 하는 단계와, 상기 표시 영역의 반도체층을 이용하여 적어도 하나의 트랜지스터를 형성하는 단계와, 상기 표시 영역의 트랜지스터에 전기적으로 연결되는 유기 전계 발광 소자를 형성하는 단계를 포함한다.
- <55> 상기 캡핑층 형성 단계는 상기 표시 영역과 비표시 영역에 각각 적어도 하나의 위치 제어용 개구를 갖는 확산 불가능막을 형성하는 단계와, 상기 위치 제어용 개구 및 확산 불가능막을 덮는 확산 가능막을 형성하는 단계를 포함한다.

- <56> 상기 확산 불가능막 형성 단계는 상기 비표시 영역에 형성되는 확산 불가능막의 위치 제어용 개구의 넓이가 $100\sim900\mu\text{m}^2$ 가 되도록 할 수 있다.
- <57> 상기 반도체층 및 얼라인 마크 형성 단계는 상기 촉매 금속으로서 니켈(Ni), 팔라듐(Pd), 티타늄(Ti), 은(Ag), 금(Au), 알루미늄(Al), 주석(Sn), 안티몬(Sb), 구리(Cu), 코발트(Co), 몰리브덴(Mo), 테르븀(Tr), 루테튬(Ru), 로듐(Rh), 카드뮴(Cd) 및 백금(Pt) 중 선택된 어느 하나가 이용될 수 있다.
- <58> 상기 반도체층 및 얼라인 마크 형성 단계는 열처리 온도로서 $400\sim700^\circ\text{C}$ 의 온도가 공급될 수 있다.
- <59> 상기 반도체층 및 얼라인 마크 형성 단계후에는 상기 다결정 실리콘으로 형성된 얼라인 마크 및 반도체층을 제외한 비정질 실리콘을 제거하는 단계가 더 포함될 수 있다.
- <60> 상기 비정질 실리콘 증착 단계중 상기 비표시 영역의 버퍼층에 증착되는 비정질 실리콘의 두께는 $100\sim1000\text{\AA}$ 로 형성되도록 할 수 있다.
- <61> 상기 반도체층 및 얼라인 마크 형성 단계에서 상기 얼라인 마크의 폭은 $1\sim20\mu\text{m}$ 이 되도록 할 수 있다.
- <62> 상기 반도체층 및 얼라인 마크 형성 단계에서 상기 얼라인 마크에는 SGS 결정화법에 의해 촉매 금속이 잔류할 수 있다.
- <63> 상기 촉매 금속은 $1.0\text{E}16\sim1.0\text{E}20\text{atoms}/\text{cm}^3$ 의 체적 농도로 상기 얼라인 마크에 잔류할 수 있다.
- <64> 상기와 같이 하여 본 발명에 의한 유기 전계 발광 표시 장치 및 그 제조 방법은 기판중 비표시 영역에 형성되는 얼라인 마크를 표시 영역에 형성된 반도체층과 같은 재질 예를 들면, SGS 결정화법으로 형성된 다결정 실리콘으로 형성함으로써, 별도의 얼라인 마크 형성 공정을 생략할 수 있게 된다.
- <65> 즉, 본 발명은 표시 영역의 반도체층 형성을 위한 비정질 실리콘의 결정화 공정중 비표시 영역에도 소정 패턴으로 비정질 실리콘을 결정화하고, 상기 비표시 영역에 형성된 소정 패턴의 다결정 실리콘을 그대로 얼라인 마크로 이용함으로써, 종래와 같은 별도의 얼라인 마크 형성 공정을 생략할 수 있게 된다.
- <66> 또한, 상기와 같이 하여 본 발명에 의한 유기 전계 발광 표시 장치 및 그 제조 방법은 종래와 같은 얼라인 마크 형성을 위한 별도의 마스크, 얼라인 마크 재료, 사진 식각 공정 등을 생략할 수 있음으로써, 생산 수율이 더욱 향상된다.
- <67> 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명하면 다음과 같다.
- <68> 도 2를 참조하면, 본 발명에 따른 얼라인 마크를 갖는 유기 전계 발광 표시 장치의 일례가 개략 평면도로서 도시되어 있다.
- <69> 도 2에 도시된 바와 같이, 본 발명에 따른 유기 전계 발광 표시 장치(100)는 표시 영역(111)과 비표시 영역(112)을 갖는 기판(110)과, 상기 기판(110)의 표시 영역(111)에 형성되는 적어도 하나의 화소 영역(120)과, 상기 기판(110)의 비표시 영역(112)에 SGS(Super Grained Silicon) 결정화법에 의해 형성된 적어도 하나의 얼라인 마크(130)를 포함한다. 여기서, 상기 화소 영역(120) 및 얼라인 마크(130)는 기판(110)의 면적에 비해 실제로 상당히 작은 크기를 갖지만, 본 발명의 이해를 위해 과장되게 확대 도시되어 있음을 유의한다.
- <70> 상기 기판(110)에는 데이터 구동부(140), 주사 구동부(150) 및 발광 제어 구동부(160)가 전기적으로 더 연결되거나, 또는 상기 기판(110)에 상기 데이터 구동부(140), 주사 구동부(150) 및 발광 제어 구동부(160)가 직접 형성될 수도 있다. 또한, 상기 기판(110)은 통상적으로 유기 전계 발광 표시 패널로 볼 수도 있으나, 여기서는 설명의 편의상 기판(110)으로 정의한다.
- <71> 상기 기판(110)은 대략 사각 형상의 표시 영역(111)과, 상기 표시 영역(111)의 둘레에 사각 띠 모양으로 형성된 비표시 영역(112)으로 구분할 수 있다. 상기 표시 영역(111)에는 세로 방향으로 다수의 데이터선(D1~Dm)이 형성되고, 가로 방향으로 다수의 주사선(S1~Sn) 및 발광 제어선(E1~En)이 형성될 수 있다.
- <72> 상기 화소 영역(120)은 상기 기판(110)중 표시 영역(111)으로서 상기 데이터선(D1~Dm), 주사선(S1~Sn) 및 발광 제어선(E1~En)의 상호 교차 영역에 형성될 수 있다. 이러한 화소 영역(120)은 트랜지스터 및 유기 전계 발광 소자에 의해 형성될 수 있다.
- <73> 상기 얼라인 마크(130)는 상기 기판(110)중 비표시 영역(112)에 적어도 하나가 형성될 수 있다. 이러한 얼라인

마크(130)는 아래에서 상세히 설명하겠지만 비정질 실리콘의 결정화 공정, 게이트 전극 형성 공정, 소스/드레인 전극 형성 공정 등의 각종 공정에서 그것의 위치를 제어하는데 기준 위치가 됨으로써, 표시 영역(111) 내에서 최적 특성의 트랜지스터를 얻을 수 있도록 하는 역할을 한다. 물론, 이밖에도 표시 영역(111)내에서 유기 전계 발광 소자 등의 형성시 위치 제어용으로 이용할 수도 있다. 이러한 얼라인 마크(130)는 실질적으로 SGS 결정화법에 의해 형성된 다결정 실리콘일 수 있으나, 여기서 그 결정화 방법 및 재질을 한정하는 것은 아니다. 물론, 상기 얼라인 마크(130)는 SGS 결정화법에 의해 형성될 수 있는 모든 재료가 가능하다. 또한, 상기 얼라인 마크(130)는 상,하,좌,우 대칭 또는 상,하,좌,우 비대칭 형태로 형성될 수 있으며, 개수는 1~1000개 사이로 형성될 수 있다. 그러나, 여기서 상기 얼라인 마크(130)의 위치 및 개수를 한정하는 것은 아니다.

<74> 도 3a 내지 도 3f를 참조하면, 도 2에 도시된 얼라인 마크의 가능한 여러 가지 다른 모양이 확대 평면도로 도시되어 있다.

<75> 도 3a 내지 도 3f에 도시된 바와 같이, 상기 얼라인 마크는 대략 삼각형(130_a)(도 3a), 사각형(130_b)(도 3b), 마름모형(130_c)(도 3c), 오각형(130_d)(도 3d), 십자형(130_e)(도 3e), "┐"자형(130_f)(도 3f) 및 그 등가 형태중 선택된 어느 하나 또는 그 혼합 형태로 형성될 수 있다. 그러나, 여기서 상기 얼라인 마크(130)의 형태 또는 모양을 한정하는 것은 아니며, 이밖에도 다양한 형태 또는 모양이 가능함을 인식하여야 한다.

<76> 또한, 상기 얼라인 마크(130)는 면적이 대략 $100\sim900\mu\text{m}^2$ 가 되도록 형성함이 바람직하다. 이러한 면적의 한정은 아래에서 상세히 설명하겠지만, 결정화 공정중 상기 얼라인 마크(130)를 형성하기 위한 확산 불가능 막의 위치 제어용 개구(開口)의 크기와 같다. 즉, 상기 개구의 크기가 $100\mu\text{m}^2$ 이하이면, 결정화가 거의 진행되지 않아 얼라인 마크 역시 형성되지 않고, 또한, 상기 개구의 크기가 $900\mu\text{m}^2$ 이상이면, 상기 개구의 크기보다 훨씬 크게 결정화 영역이 형성되는 동시에 모양이 불규칙하게 되어 얼라인 마크로 사용할 수 없다.

<77> 일례로, 도 3b에 도시된 바와 같이 얼라인 마크(130_b)가 정사각형일 경우, 이를 형성하기 위한 확산 불가능 막의 위치 제어용 개구 크기는 한변이 대략 $20\mu\text{m}$ 또는 그 이하가 되도록 설정함이 가장 바람직하다. 실질적으로 현재 사용되고 있는 금속 촉매의 크기 및 농도 등을 고려할 때 실험적으로나 이론적으로 상기 얼라인 마크(130_b)의 면적 또는 위치 제어용 개구의 면적은 대략 $400\mu\text{m}^2$ 일 때가 가장 바람직하다.

<78> 더불어, 이러한 얼라인 마크의 모양은 정사각형 외에도 매우 다양하게 변경 가능하므로, 어떠한 모양을 갖는다고 해도 그 폭은 대략 $20\mu\text{m}$ 또는 그 이하로 형성함이 가장 바람직하다. 즉, 상기 얼라인 마크의 폭이 대략 $20\mu\text{m}$ 이상이 되면, 얼라인 마크를 형성하는 결정화 영역이 불규칙한 모양으로 형성되기 때문에, 공정중 얼라인 마크의 기능을 상실한다. 물론, 상기 얼라인 마크의 폭은 현미경으로 관찰 가능하다면 대략 $1\sim20\mu\text{m}$ 범위도 괜찮다.

<79> 여기서, 상기 SGS 결정화법이라 함은 비정질 실리콘위에 금속 촉매의 확산 또는 침투를 조절하는 캡핑층과 금속 촉매를 형성한 후, 열처리하여 상기 비정질 실리콘의 결정립 크기가 비교적 큰 다결정 실리콘으로 형성하는 결정화법을 의미한다. 물론, 이러한 SGS 결정화법에 의해 상기 얼라인 마크 및 반도체층에는 결정립 경계가 존재하지 않거나(가장 바람직한 경우임) 또는 적어도 하나의 결정립 경계가 존재할 수 있다. 또한 상기 얼라인 마크는 상기 반도체층의 넓이 및 폭보다 클 수 있으므로, 적어도 하나 이상의 결정립 경계가 존재할 수 있으며, 여기서 상기 얼라인 마크의 결정립 경계의 개수를 한정하는 것은 아니다.

<80> 도 4는 얼라인 마크와 화소 회로 사이의 관계를 도시한 유기 전계 발광 표시 장치의 단면도이다.

<81> 도 4에 도시된 바와 같이 본 발명에 의한 유기 전계 발광 표시 장치(200)는 기관(210), 버퍼층(220), 반도체층(230), 얼라인 마크(240), 게이트 절연막(250), 게이트 전극(260), 층간 절연막(270), 소스/드레인 전극(280), 절연막(290) 및 유기 전계 발광 소자(300)를 포함한다.

<82> 상기 기관(210)은 상면과 하면이 대략 평평하며, 상면과 하면 사이의 두께는 대략 $0.05\sim1\text{mm}$ 정도로 형성될 수 있다. 상기 기관(210)의 두께가 대략 0.05mm 이하인 경우에는 공정중 세정, 식각 및 열처리 공정 등에 의해 손상되기 쉽고 또한 외력에 약한 단점이 있다. 또한, 상기 기관(210)의 두께가 대략 1mm 이상인 경우에는 최근의 슬립화 추세에 있는 각종 표시 장치에 적용하기 곤란하다. 또한, 상기 기관(210)은 통상의 글래스, 플라스틱, 스테인레스 스틸, 나노복합재료 및 그 등가물중 선택된 어느 하나로 형성될 수 있으나, 이러한 재질로 본 발명을 한정하는 것은 아니다. 한편, 도면에서 상기 기관(210)은 표시 영역(211)과 비표시 영역(212)으로 구분 표시되어 있다. 상술한 바와 같이 상기 기관(210)중 표시 영역(211)에는 반도체층(230)이나 유기 전계 발광 소자(300) 등을 갖는 화소 영역이 형성되고, 상기 비표시 영역(212)에는 얼라인 마크(240) 및 각종 구동부들이 형성

될 수 있다.

- <83> 상기 버퍼층(220)은 상기 기판(210)의 상면으로서 상기 표시 영역(211) 및 비표시 영역(212)에 모두 형성될 수 있다. 이러한 버퍼층(220)은 반도체층(230), 열라인 마크(240) 또는 유기 전계 발광 소자(300)쪽으로 습기(H_2O), 수소(H_2) 또는 산소(O_2) 등이 상기 기판(210)을 관통하여 침투하지 않도록 하는 역할을 한다. 이를 위해, 상기 버퍼층(220)은 반도체 공정중 쉽게 형성할 수 있는 실리콘 산화막(SiO_2), 실리콘 질화막(Si_3N_4), 무기막 및 그 등가물중 선택된 적어도 어느 하나로 형성할 수 있으나, 이러한 재질로 본 발명을 한정하는 것은 아니다. 물론, 이러한 버퍼층(220)은 경우에 따라 형성하지 않을 수도 있다.
- <84> 상기 반도체층(230)은 상기 기판(210)중 표시 영역(211)과 대응되는 상기 버퍼층(220)의 상면에 형성될 수 있다. 물론, 상기 반도체층(230)은 상기 열라인 마크(240)와 일정 거리 이격되어 있다. 상기 반도체층(230)은 채널 영역(231)과, 상기 채널 영역(231)의 양측에 형성된 소스/드레인 영역(232)으로 이루어질 수 있다. 이러한 반도체층(230)은 SGS 결정화법에 의해 형성된 다결정 실리콘 및 그 등가물중 선택된 어느 하나일 수 있다. 물론, 이러한 반도체층(230)은 박막 트랜지스터로 이용될 수 있다. 상기 박막 트랜지스터가 다결정 실리콘 박막 트랜지스터일 경우, 상기 다결정 실리콘 박막 트랜지스터는 촉매 금속과 캡핑층을 이용하여 결정화하는 방법 즉, SGS 결정화법에 의해 형성된 것일 수 있다. 이 경우 상기 반도체층(230)에는 결정립 경계가 존재하지 않거나 또는 적어도 하나의 결정립 경계가 존재할 수 있다. 물론, 상기 박막 트랜지스터는 PMOS, NMOS 및 그 등가 형태 중 선택된 적어도 어느 하나일 수 있으나, 본 발명에서 상기 박막 트랜지스터의 도전 형태를 한정하는 것도 아니다.
- <85> 상기 열라인 마크(240)는 상기 기판(210)중 비표시 영역(212)과 대응되는 버퍼층(220)의 상면에 상기 반도체층(230)과 동일한 재질로 형성될 수 있다. 즉, 상기 열라인 마크(240) 역시 SGS 결정화법에 의해 형성된 다결정 실리콘 및 그 등가물중 선택된 어느 하나일 수 있으나, 여기서 그 재질을 한정하는 것은 아니다. 이때에도 상기 열라인 마크(240)에는 결정립 경계가 존재하지 않거나 또는 적어도 하나의 결정립 경계가 존재할 수 있다. 물론, 열라인 마크의 넓이 또는 폭에 따라 더 많은 갯수의 결정립 경계가 형성될 수도 있다. 더불어, 상기 열라인 마크(240)는 두께가 대략 100~1000Å이 바람직하다. 상기 열라인 마크(240)의 두께가 대략 100Å 이하일 경우에는 충분히 불투명하지 않아서 현미경으로 파악되지 않을 수 있고, 상기 두께가 대략 1000Å 이상일 경우에는 충분히 현미경으로 파악되는데 불필요하게 두께가 두꺼워지는 문제가 있다.
- <86> 더불어, 비록 도 4에 도시하지는 않았지만 상기 열라인 마크(240)의 평면 형태는 상술한 바와 같이 삼각형, 사각형, 마름모형, 오각형, 십자형, "ㄴ"형 및 그 등가형중 선택된 어느 하나 또는 혼합 형태가 가능하다. 그러나, 여기서 상기 열라인 마크(240)의 평면 형태를 한정하는 것은 아니다.(이러한 열라인 마크의 평면 형태는 도 3a 내지 도 3f 참조)
- <87> 또한, 상기 열라인 마크(240)는 평면 면적을 대략 $100\sim900\mu m^2$ 로 형성함이 바람직하다. 실질적으로 상기 열라인 마크(240)는 하기하겠지만 면적이 $100\mu m^2$ 이하로 형성되기 어렵고, 면적이 $900\mu m^2$ 이상일 경우에는 열라인 마크(240)의 모양이 불규칙한 모양이 되어 열라인 마크(240)로 사용하기 어렵다. 더불어, 상기 열라인 마크(240)의 평면 면적은 실험적으로 또는 이론적으로 대략 $400\mu m^2$ 일 때, SGS 결정화법에 의해 가장 양호하게 형성되는 것으로 확인되고 있다.
- <88> 더불어, 이러한 열라인 마크(240)의 모양은 정사각형 외에도 매우 다양하게 변경 가능하므로, 어떠한 모양을 갖는다고 해도 그 폭은 대략 $20\mu m$ 또는 그 이하로 형성함이 가장 바람직하다. 즉, 상기 열라인 마크의 폭이 대략 $20\mu m$ 이상이 되면, 열라인 마크를 형성하는 결정화 영역이 불규칙한 모양으로 형성되기 때문에, 공정중 열라인 마크의 기능을 상실한다. 물론, 상기 열라인 마크의 폭은 현미경으로 관찰 가능하다면 대략 1~ $20\mu m$ 범위도 괜찮다.
- <89> 상기 게이트 절연막(250)은 상기 반도체층(230) 및 열라인 마크(240)의 상면에 형성될 수 있다. 물론, 이러한 게이트 절연막(250)은 상기 반도체층(230) 및 열라인 마크(240)의 외주연인 버퍼층(220) 위에도 형성될 수 있다. 또한, 상기 게이트 절연막(250)은 반도체 공정중 쉽게 얻을 수 있는 실리콘 산화막, 실리콘 질화막, 무기막 또는 그 등가물중 선택된 적어도 어느 하나로 형성할 수 있으며, 여기서 그 재질을 한정하는 것은 아니다.
- <90> 상기 게이트 전극(260)은 상기 게이트 절연막(250)의 상면에 형성될 수 있다. 좀더 구체적으로, 상기 게이트 전극(260)은 상기 반도체층(230)중 채널 영역(231)과 대응되는 게이트 절연막(250) 위에 형성될 수 있다. 주지된 바와 같이 이러한 게이트 전극(260)은 상기 게이트 절연막(250)의 하부 채널 영역(231)에 전계를 인가함으로써,

상기 채널 영역(231)에 정공 또는 전자의 채널이 형성되도록 한다. 또한, 상기 게이트 전극(260)은 통상의 금속(Mo, MoW, Ti, Cu, Al, AlNd, Cr, Mo 합금, Cu 합금, Al 합금 등), 도핑된 다결정 실리콘 및 그 등가물중 선택된 어느 하나로 형성될 수 있으나, 여기서 그 재질을 한정하는 것은 아니다. 더불어, 상기와 같은 게이트 전극(260)의 위치는 상기 얼라인 마크(240)를 기준 위치로 하여 형성할 수 있음으로써, 상기 반도체층과 대응되는 가장 최적의 위치에 형성할 수 있게 된다.

<91> 상기 층간 절연막(270)은 상기 게이트 전극(260)의 상면에 형성될 수 있다. 물론, 이러한 층간 절연막(270)은 상기 게이트 전극(260)의 외주연인 게이트 절연막(250) 위에도 형성될 수 있다. 더욱이, 이러한 층간 절연막(270)은 상기 얼라인 마크(240)와 대응되는 게이트 절연막(250) 위에도 형성될 수 있다. 더불어, 상기 층간 절연막(270)은 폴리머 계열, 플라스틱 계열, 유리 계열 및 그 등가 계열중 선택된 어느 하나로 형성될 수 있으나 여기서 상기 층간 절연막(270)의 재질을 한정하는 것은 아니다.

<92> 상기 소스/드레인 전극(280)은 상기 층간 절연막(270)의 상면에 형성될 수 있다. 물론, 상기 소스/드레인 전극(280)과 반도체층(230) 사이에는 층간 절연막(270)을 관통하는 도전성 콘택(281)(electrically conductive contact)이 형성될 수 있다. 즉, 상기 도전성 콘택(281)에 의해 상기 반도체층(230)중 소스/드레인 영역(232)과 소스/드레인 전극(280)이 상호 전기적으로 연결된다. 더불어, 상기 소스/드레인 전극(280)은 상기 게이트 전극(260)과 같은 금속 재질로 형성될 수 있으며, 여기서 그 재질을 한정하는 것은 아니다. 더불어, 상기와 같은 소스/드레인 전극(280)의 위치는 상기 얼라인 마크(240)를 기준 위치로 하여 형성할 수 있음으로써, 상기 반도체층과 대응되는 가장 최적의 위치에 형성할 수 있게 된다.

<93> 한편, 상기와 같은 반도체층(230)(즉, 박막 트랜지스터)은 통상 동일 평면 구조(coplanar structure)로 정의될 수 있다. 그러나, 본 발명에 개시된 반도체층(230)은 동일 평면 구조로만 한정되는 것은 아니고, 지금까지 알려진 모든 박막 트랜지스터의 구조 예를 들면, 반전 동일 평면 구조(inverted coplanar structure), 지그재그형 구조(staggered structure), 반전 지그재그형 구조(inverted staggered structure) 및 그 등가 구조중 선택된 적어도 어느 하나가 가능하며, 본 발명에서 상기 반도체층(230)의 구조를 한정하는 것은 아니다. 더불어, 상기와 같은 소스/드레인 전극(280)의 위치는 상기 얼라인 마크(240)를 기준 위치로 하여 형성할 수 있음으로써, 상기 반도체층과 대응되는 가장 최적의 위치에 형성할 수 있게 된다.

<94> 상기 절연막(290)은 상기 소스/드레인 전극(280)의 상면에 형성될 수 있다. 물론, 이러한 절연막(290)은 상기 소스/드레인 전극(280)의 외주연인 층간 절연막(270)도 덮는다. 더욱이, 이러한 절연막(290)은 얼라인 마크(240)와 대응되는 층간 절연막(270) 위에도 형성된다. 상기 절연막(290)은 다시 보호막(291)과, 상기 보호막(291)의 상면에 형성된 평탄화막(292)을 포함하여 이루어질 수 있다. 상기 보호막(291)은 상기 소스/드레인 전극(280) 및 층간 절연막(270)을 덮으며, 상기 소스/드레인 전극(280) 및 게이트 전극(260) 등을 보호하는 역할을 한다. 이러한 보호막(291)은 통상의 무기막 및 그 등가물중 선택된 어느 하나로 형성될 수 있으나, 본 발명에서 상기 보호막(291)의 재질을 한정하는 것은 아니다. 또한, 상기 평탄화막(292)은 상기 보호막(291)을 덮는다. 이러한 평탄화막(292)은 소자 전체의 표면을 평탄하게 해주는 것으로서 BCB(Benzo Cyclo Butene), 아크릴 및 그 등가물중 선택된 적어도 어느 하나로 형성될 수 있으나, 여기서 그 재질을 한정하는 것은 아니다.

<95> 상기 유기 전계 발광 소자(300)는 상기 절연막(290)의 상면에 형성될 수 있다. 이러한 유기 전계 발광 소자(300)는 다시 애노드(310), 상기 애노드(310)의 상면에 형성된 유기 박막(320) 및 상기 유기 박막(320)의 상면에 형성된 캐소드(330)를 포함할 수 있다. 상기 애노드(310)은 ITO(Indium Tin Oxide), ITO(Indium Tin Oxide)/Ag, ITO(Indium Tin Oxide)/Ag/ITO(IZO:Indium Zinc Oxide) 및 그 등가물중 선택된 적어도 어느 하나로 형성될 수 있으나, 본 발명에서 상기 애노드(310)의 재질을 한정하는 것은 아니다. 상기 ITO는 일함수가 균일하여 유기 전계 발광 박막에 대한 정공 주입 장벽이 작은 투명 도전막이고, 상기 Ag는 전면 발광 방식에서 특히 유기 박막(320)으로부터의 빛을 상면으로 반사시키는 막이다. 한편, 상기 유기 박막(320)은 전자와 정공이 만나 여기자(exciton)를 형성하여 발광하는 발광층(emitting layer, EML), 전자의 이동 속도를 적절히 조절하는 전자 수송층(electron transport layer, ETL), 정공의 이동 속도를 적절히 조절하는 정공 수송층(hole transport layer, HTL)으로 이루어질 수 있다. 또한, 상기 전자 수송층에는 전자의 주입 효율을 향상시키는 전자 주입층(electron injecting layer, EIL)이 형성되고, 상기 정공 수송층에는 정공의 주입 효율을 향상시키는 정공 주입층(hole injecting layer, HIL)이 더 형성될 수 있다. 더불어, 상기 캐소드(330)는 Al, MgAg 합금, MgCa 합금 및 그 등가물중 선택된 적어도 어느 하나일 수 있으나 본 발명에서 상기 캐소드(330)의 재질을 한정하는 것은 아니다. 다만, 본 발명에서 전면 발광식을 택할 경우 상기 Al은 두께를 매우 얇게 해야 하는데, 그럴 경우 저항이 높아져 전자 주입 장벽이 커지는 단점이 있다. 상기 MgAg 합금은 상기 Al에 비해 전자 주입 장벽이 작고, 상기 MgCa 합금은 상기 MgAg 합금에 비해 전자 주입 장벽이 더 낮다. 그러나, 이러한 MgAg 합금 및 MgCa 합금은

주변 환경에 민감하고 산화되어 절연층을 형성할 수 있으므로 외부와의 차단을 완벽하게 해주어야 한다. 더불어, 상기 유기 전계 발광 소자(300)중 애노드(310)와 상기 소스/드레인 전극(280)은 상기 절연막(290)(보호막(291), 평탄화막(292))을 관통하여 형성된 도전성 비아(311)(electrically conductive via)에 의해 상호 전기적으로 연결될 수 있다. 한편, 여기에서 본 발명은 기관(210)의 상부 방향으로 발광하는 전면 발광 방식을 중심으로 설명했으나, 이에 한정되지 않고 기관(210)의 하부 방향으로 발광하는 배면 발광 방식 또는 기관(210)의 상부와 하부 방향으로 동시에 발광하는 양면 발광에도 모두 적용 가능하다.

<96> 한편, 본 발명은 상기 유기 전계 발광 소자(300)의 외주연인 절연막(290) 위에 화소 정의막(293)이 더 형성될 수 있다. 이러한 화소 정의막(293)은 적색 유기 전계 발광 소자, 녹색 유기 전계 발광 소자, 청색 유기 전계 발광 소자 사이의 경계를 명확히 해주워 화소 사이의 발광 경계 영역이 명확해지도록 한다. 또한, 이러한 화소 정의막(293)은 폴리이미드(polyimide) 및 그 등가물중 선택된 적어도 어느 하나로 형성될 수 있으나, 여기서 상기 화소 정의막(293)의 재질을 한정하는 것은 아니다. 더불어, 이러한 화소 정의막(293)은 상기 얼라인 마크(240)와 대응되는 절연막(290) 위에도 형성될 수 있으나, 경우에 따라서는 생략될 수도 있다.

<97> 도 5를 참조하면, 본 발명에 따른 얼라인 마크를 갖는 유기 전계 발광 표시 장치의 제조 방법이 순서도로서 도시되어 있다.

<98> 도 5에 도시된 바와 같이, 본 발명에 따른 얼라인 마크를 갖는 유기 전계 발광 표시 장치의 제조 방법은 표시 영역과 비표시 영역을 갖는 기관을 준비하는 기관 준비 단계(S1), 버퍼층 형성 단계(S2), 비정질 실리콘 증착 단계(S3), 캡핑층 형성 단계(S4), 얼라인 마크/반도체층 형성 단계(S5), 캡핑층 제거 단계(S6), 박막 트랜지스터 형성 단계(S7) 및 유기 전계 발광 소자 형성 단계(S8)를 포함한다.

<99> 도 6a 내지 도 6h를 참조하면, 본 발명에 따른 얼라인 마크를 갖는 유기 전계 발광 표시 장치의 제조 방법이 단면도로서 도시되어 있다. 상기 도 5 및 도 6a 내지 도 6h를 함께 참조하여 본 발명에 의한 얼라인 마크를 갖는 유기 전계 발광 표시 장치의 제조 방법을 설명한다.

<100> 도 5 및 도 6a에 도시된 바와 같이 상기 기관 준비 단계(S1)에서는, 상면과 하면이 대략 평평하고 일정 두께를 갖는 기관(210)을 제공한다.

<101> 상기 기관(210)은 통상의 글래스, 플라스틱, 스테인레스 스틸, 나노 복합재료 및 그 등가물중 선택된 어느 하나로 준비할 수 있으나, 본 발명에서 상기 기관(210)의 재질이나 종류를 한정하는 것은 아니다. 또한, 상기 기관(210)은 두께가 대략 0.05~1mm 정도인 것을 준비함이 좋다. 상기 기관(210)의 두께가 대략 0.05mm 이하인 경우에는 제조 공정중 세정, 식각 및 열처리 공정 등에 의해 손상되기 쉽고 취급이 어려우며 또한 외력에 파손되기 쉬운 단점이 있다. 또한, 상기 기관(210)의 두께가 대략 1mm 이상인 경우에는 최근의 슬림화 추세에 있는 각종 표시 장치에 적용하기 곤란한 단점이 있다. 여기서, 상기 기관(210)은 추후 표시 영역(211)과 비표시 영역(212)으로 구분될 수 있다. 상기 표시 영역(211)은 회로와 유기 전계 발광 소자(300) 등으로 화소 영역이 형성될 영역이고, 상기 비표시 영역(212)은 얼라인 마크(240) 등이 형성될 영역이다.

<102> 도 5 및 도 6b에 도시된 바와 같이 상기 버퍼층 형성 단계(S2)에서는 상기 기관(210)의 상면에 일정 두께의 버퍼층(220)을 형성한다. 즉, 상기 기관(210)중 표시 영역(211)과 비표시 영역(212)에 모두 일정 두께의 버퍼층(220)을 형성한다. 이러한 버퍼층(220)은 실리콘 산화막, 실리콘 질화막, 무기막 및 그 등가물중 선택된 적어도 어느 하나를 이용하여 형성할 수 있으나, 여기서 그 재질을 한정하는 것은 아니다. 상기 버퍼층(220)은 수분, 수소 또는 산소 등이 상기 기관(210)을 통하여 얼라인 마크(240), 반도체층(230) 또는 유기 전계 발광 소자(300) 등에 침투되지 않도록 하는 역할을 한다. 물론, 이러한 버퍼층(220)은 그 표면에 얼라인 마크(240), 반도체층(230) 및 각종 막(layer)이 잘 형성되도록 도와주는 역할도 한다.

<103> 도 5 및 도 6c에 도시된 바와 같이 상기 비정질 실리콘 증착 단계(S3)에서는 상기 버퍼층(220)의 상면에 일정 두께의 비정질 실리콘(340)을 증착한다. 즉, 상기 기관(210)중 표시 영역(211)과 비표시 영역(212)에 모두 일정 두께의 비정질 실리콘(340)을 증착한다. 예를 들면, 상기 비정질 실리콘(340)은 PECVD(Plasma Enhanced Chemical Vapor Deposition), LPCVD(Low Pressure Chemical Vapor Deposition), 스퍼터링(sputtering) 및 그 등가 방식중 선택된 적어도 어느 하나의 방법으로 형성할 수 있으며, 여기서 상기 비정질 실리콘(340)의 형성 방법을 한정하는 것은 아니다.

<104> 더불어, 상기 비표시 영역(212)의 버퍼층(220)에 형성되는 비정질 실리콘(340)은 두께가 대략 100~1000 Å 정도 되도록 형성함이 좋다. 상기 비정질 실리콘(340)의 두께가 대략 100 Å 이하일 경우에는 결정화된 후 충분히 불투명하지 않아서 현미경으로 파악되지 않을 수 있고, 상기 두께가 대략 1000 Å 이상일 경우에는 결정화된 후 층

분히 현미경으로 파악되지만 불필요하게 두께가 두꺼워지는 문제가 있다.

- <105> 도 5 및 도 6d에 도시된 바와 같이 상기 캡핑층 형성 단계(S4)에서는 확산 불가능막(351)과 확산 가능막(352)으로 이루어진 캡핑층(350)을 상기 비정질 실리콘(340)의 상면에 형성한다. 즉, 상기 표시 영역(211) 및 비표시 영역(212)과 대응되는 모든 버퍼층(220)의 상면에 일정 크기의 위치 제어용 개구(353)를 갖는 확산 불가능막(351)을 형성하고, 이어서 상기 위치 제어용 개구(353) 및 상기 확산 불가능막(351)을 덮는 확산 가능막(352)을 형성한다.
- <106> 여기서, 상기 확산 불가능막(351)은 실리콘 산화막 및 그 등가물중 선택된 어느 하나로 형성할 수 있으나 여기서 그 재질을 한정하는 것은 아니다. 또한, 상기 확산 가능막(352)은 실리콘 질화막 및 그 등가물중 선택된 어느 하나로 형성할 수 있으나 여기서 그 재질을 한정하는 것은 아니다.
- <107> 한편, 상기 확산 불가능막(351)에 형성되는 위치 제어용 개구(353)는 기판(210)중 비표시 영역(212)과 대응되는 영역에 적어도 하나를 형성하고, 또한 상기 기판(210)중 표시 영역(211)과 대응되는 영역에 적어도 하나를 형성한다. 상기 비표시 영역(212)에 형성하는 위치 제어용 개구(353)는 얼라인 마크(240)의 형성을 위한 것이고, 상기 표시 영역(211)에 형성하는 위치 제어용 개구(353)는 반도체층(230) 즉, 트랜지스터의 형성을 위한 것이다. 더불어, 상기 비표시 영역(212)에 형성하는 위치 제어용 개구(353)는 크기가 대략 $100\sim900\mu\text{m}^2$ 가 되도록 함이 바람직하다. 즉, 상기 개구(353)의 크기가 $100\mu\text{m}^2$ 이하이면, 촉매 금속이 비정질 실리콘(340)에 거의 도달하지 않아 결정화가 조금밖에 진행되지 않고, 따라서 얼라인 마크(240)로 사용할 수 없는 문제가 있다. 또한, 상기 얼라인 마크(240)를 형성하기 위한 개구(353) 크기가 $900\mu\text{m}^2$ 이상이면, 다량의 촉매 금속이 비정질 실리콘(340)에 도달하여 상기 개구(353)의 크기보다 훨씬 크게 결정화 영역이 형성되기 때문에 얼라인 마크(240)로 사용할 수 없는 문제가 있다. 일례로, 상기 얼라인 마크(240)가 평면상 정사각형일 경우, 이를 형성하기 위한 확산 불가능막(351)의 개구(353) 크기는 실험적으로나 이론적으로 대략 $400\mu\text{m}^2$ 일때 가장 바람직한 것으로 확인되었다.
- <108> 더불어, 이러한 얼라인 마크의 모양은 정사각형 외에도 매우 다양하게 변경 가능하므로, 어떠한 모양을 갖는다고 해도 그 폭은 대략 $20\mu\text{m}$ 또는 그 이하로 형성함이 가장 바람직하다. 즉, 상기 얼라인 마크의 폭이 대략 $20\mu\text{m}$ 이상이 되면, 얼라인 마크를 형성하는 결정화 영역이 불규칙한 모양으로 형성되기 때문에, 공정중 얼라인 마크의 기능을 상실한다. 물론, 상기 얼라인 마크의 폭은 현미경으로 관찰 가능하다면 대략 $1\sim20\mu\text{m}$ 범위도 괜찮다.
- <109> 더불어, 상기 표시 영역(211)에 형성하는 위치 제어용 개구(353)의 크기는 만들고자 하는 반도체층(230) 즉, 트랜지스터의 크기에 따라 다양하게 설계하면 된다.
- <110> 도 5 및 도 6e에 도시된 바와 같이 상기 얼라인 마크/반도체층 형성 단계(S5)에서는 기판(210)중 비표시 영역(212)에는 다결정 실리콘으로 얼라인 마크(240)가 형성되도록 하고, 기판(210)중 표시 영역(211)에는 다결정 실리콘으로 반도체층(230)이 형성되도록 한다. 물론, 반도체층(230)을 형성하기 위해서는 몇가지 공정이 더 진행되어야 하지만 일단 표시 영역(211)에 형성되는 다결정 실리콘을 반도체층(230)으로 부르기로 한다.
- <111> 여기서, 상기 캡핑층(350) 즉, 확산 가능막(352) 위에 촉매 금속(354)을 올려 놓은 상태에서 이를 소정 온도로 열처리하면, 상기 촉매 금속(354)이 캡핑층(350)을 통과하여 캡핑층(350)과 비정질 실리콘(340)의 계면에서 결정화 시드(seed)가 형성되면서 거대 바운드리(boundary)를 갖는 다결정 실리콘이 형성된다. 더불어, 여기서 상기 캡핑층(350) 위에 올라가는 촉매 금속(354)은 대략 $1.0\text{E}18\sim1.0\text{E}22\text{atoms}/\text{cm}^3$ 의 체적 농도로 형성할 수 있다. 상기 촉매 금속의 체적 농도가 $1.0\text{E}18\text{atoms}/\text{cm}^3$ 이하일 경우에는 SGS 결정화법에 의한 결정화가 잘 이루어지지 않고, 상기 촉매 금속의 체적 농도가 $1.0\text{E}22\text{atoms}/\text{cm}^3$ 이상일 경우에는 얼라인 마크, 반도체층 및 버퍼층에 과도한 촉매 금속이 잔류하여 누설 전류가 증가하는 문제가 있다.
- <112> 상기 촉매 금속(354)은 예를 들면, 니켈(Ni), 팔라듐(Pd), 티타늄(Ti), 은(Ag), 금(Au), 알루미늄(Al), 주석(Sn), 안티몬(Sb), 구리(Cu), 코발트(Co), 몰리브덴(Mo), 테르븀(Tr), 루테튬(Ru), 로듐(Rh), 카드뮴(Cd), 백금(Pt) 및 그 등가물중 선택된 어느 하나일 수 있으나, 여기서 그 재질을 한정하는 것은 아니다.
- <113> 또한, 상기 열처리 온도는 $400\sim700^\circ\text{C}$ 로 조절함이 바람직하다. 상기 열처리 온도가 400°C 이하일 경우에는 촉매 금속(354)에 의한 결정화가 제대로 수행되지 않고, 상기 열처리 온도가 700°C 이상일 경우에는 기판(210)이 용융될 수 있다.
- <114> 도 5 및 도 6f에 도시된 바와 같이 상기 캡핑층 제거 단계(S6)에서는, 상기 확산 불가능막(351) 및 확산 가능막

(352)으로 이루어진 캡핑층(350)을 비정질 실리콘 및 다결정 실리콘으로부터 식각하여 제거한다.

- <115> 더불어, 이러한 캡핑층 제거 단계후에는 바로 패터닝(patterning) 단계를 수행할 수 있다. 즉, 비표시 영역(212)에서 얼라인 마크(240)로 사용할 영역과, 표시 영역(211)에서 반도체층(230)으로 사용할 영역을 제외한 나머지 비정질 실리콘 또는 다결정 실리콘을 모두 식각하여 제거한다. 물론, 이러한 공정에 의해 상기 얼라인 마크(240)로서는 다결정 실리콘이 남게 된다. 더욱이, 이러한 다결정 실리콘으로 만들어진 얼라인 마크(240)는 반도체층(230)이 형성될 층과 동일 층을 이루게 된다.
- <116> 도 5 및 도 6g에 도시된 바와 같이 트랜지스터 형성 단계(S7)에서는, 상기 표시 영역(211)의 버퍼층(220) 위에 트랜지스터를 형성한다. 좀더 구체적으로, 상기 버퍼층(220) 위의 반도체층(230) 및 얼라인 마크(240) 위에 일정 두께의 게이트 절연막(250)을 공통적으로 형성한다. 이어서, 상기 반도체층(230)중 채널 영역(231)으로 이용할 결정화된 영역과 대응되는 게이트 절연막(250) 위에 게이트 전극(260)을 형성한 후 패터닝한다. 이어서, P형 불순물 또는 N형 불순물을 게이트 전극(260) 양측의 반도체층(230)에 이온주입하고 활성화시킴으로써, 소스/드레인 영역(232)이 형성되도록 한다. 이어서, 층간 절연막(270)을 형성한 후 콘택(281)을 형성하며, 마지막으로 상기 반도체층(230)중 소스/드레인 영역(232)과 전기적으로 연결되도록 소스/드레인 전극(280)을 형성한 후 패터닝한다. 여기서, 상기 게이트 전극(260) 및 소스/드레인 전극(280)은 상술한 얼라인 마크(240)를 기준 위치로 하여 최적의 위치에 형성할 수 있다.
- <117> 더불어, 이러한 공정 이후에는 상기 소스/드레인 전극(280) 및 층간 절연막(270) 위에 절연막(290)을 형성한다. 상술한 바와 같이 이러한 절연막(290)은 보호막(291)과 평탄화막(292)으로 이루어질 수 있다. 상기 보호막(291)은 상기 소스/드레인 전극(280) 및 층간 절연막(270)을 덮는다. 상기 보호막(291)은 통상의 무기막 및 그 등가물중 선택된 적어도 어느 하나를 증착 또는 코팅하여 형성할 수 있다. 상기 평탄화막(292)은 소자 전체의 표면을 평탄하게 해주는 것으로서 BCB(Benzo Cyclo Butene), 아크릴 및 그 등가물중 선택된 적어도 어느 하나를 코팅 또는 증착하여 형성할 수 있다.
- <118> 한편, 상기 층간 절연막(270)과, 보호막(291) 및 평탄화막(292)으로 이루어진 절연막(290) 역시 상기 얼라인 마크(240)와 대응되는 비표시 영역(212)에 형성될 수 있음은 당연하다. 더불어, 이러한 공정 완료후에는 화소 정의막(293)도 추가적으로 더 형성될 수 있으며, 이러한 화소 정의막(293) 역시 상기 얼라인 마크(240)와 대응되는 비표시 영역(212)에도 형성될 수 있다. 상기 화소 정의막(293)은 통상의 폴리이미드 및 그 등가물중 선택된 적어도 어느 하나를 코팅하거나 증착하여 형성한다. 물론, 이러한 코팅이나 증착후에는 통상의 포토레지스트 도포, 노광, 현상, 식각 및 포토레지스트 박리 등의 공정을 통해 상술한 유기 전계 발광 소자(300)가 외부로 노출되도록 한다.
- <119> 마지막으로 도 5 및 도 6h에 도시된 바와 같이 유기 전계 발광 소자 형성 단계(S8)에서는 상기 절연막(290) 위에 애노드(310), 유기 박막(320) 및 캐소드(330)를 순차적으로 형성한다. 상기 애노드(310)는 ITO(Indium Tin Oxide), ITO(Indium Tin Oxide)/Ag, ITO(Indium Tin Oxide)/Ag/ITO(IZO:Indium Zinc Oxide) 및 그 등가물중 선택된 어느 하나를 증착하여 형성할 수 있으나, 본 발명에서 상기 애노드(310)의 재질이나 형성 방법을 한정하는 것은 아니다. 일례로, 상기 애노드(310)는 RF 스퍼터링, DC 스퍼터링, 이온빔 스퍼터링 및 진공 증착 방법중 선택된 어느 하나의 방법으로 형성할 수 있다. 이후, 포토레지스트 도포, 노광, 현상, 식각 및 포토레지스트 박리 등의 공정을 통해 원하는 위치에 원하는 면적의 애노드(310)를 형성한다. 물론, 이때 상기 애노드(310)는 상기 절연막(290)을 관통하는 도전성 비아(311)를 통하여 상기 소스/드레인 전극(280)에 전기적으로 연결된다. 여기서, 상기 ITO는 일함수가 균일하여 유기 전계 발광 박막에 대한 정공 주입 장벽이 작은 투명 도전막 역할을 하고, 상기 Ag는 전면 발광 방식에서 특히 유기 전계 발광 박막으로터의 빛을 상면으로 반사시키는 역할을 한다. 상기 유기 전계 발광 박막은 주입된 바와 같이 정공의 주입 효율을 향상시키는 정공 주입층(hole injecting layer, HIL), 정공의 이동 속도를 적절히 조절하는 정공 수송층(hole transport layer, HTL), 전자와 정공이 만나 여기자(exciton)를 형성하여 발광하는 발광층(emitting layer, EML), 전자의 이동 속도를 적절히 조절하는 전자 수송층(electron transport layer, ETL), 전자의 주입 효율을 향상시키는 전자 주입층(electron injecting layer, EIL)을 순차적으로 형성하여 이루어질 수 있으나, 이러한 층 종류로 본 발명을 한정하는 것은 아니다. 일례로, 이러한 유기 박막(320)은 용액 상태로 도포하는 스핀 코팅, 딥 코팅, 스프레이법, 스크린 인쇄법, 잉크젯 프린팅법 등의 습식 코팅 방법으로 형성하거나, 또는 스퍼터링, 진공 증착 등의 건식 코팅 방법으로 형성할 수 있다. 상기 유기 박막(320)중 전자 주입층 표면에는 상기 캐소드(330)를 형성한다. 이러한 캐소드(330)는 Al, MgAg 합금, MgCa 합금 및 그 등가물중 선택된 적어도 어느 하나를 증착하여 형성할 수 있으나, 본 발명에서 상기 캐소드(330)의 재질이나 형성 방법을 한정하는 것은 아니다. 일례로, 상기 캐소드(330)는 RF 스퍼터링, DC 스퍼터링, 이온빔 스퍼터링 및 진공 증착 방법중 선택된 어느 하나의 방법으로 형성될 수

있다. 이후, 포토레지스트 도포, 노광, 현상, 식각 및 포토레지스트 박리 등의 공정을 통해 원하는 위치에 원하는 면적의 캐소드(330)를 형성한다. 더불어, 본 발명에서 전면 발광식을 택할 경우 캐소드(330)로서 상기 Al을 사용하게 되면 빛 방출율을 크게 하기 위해 두께를 매우 얇게 해야 하는데, 그럴 경우 저항이 높아져 전자 주입 장벽이 커질 수 있다. 따라서, 이때에는 캐소드(330)로서 Al보다 전자 주입 장벽이 낮은 MgAg 합금, MgCa 합금 및 그 등가물중 선택된 적어도 어느 하나를 이용할 수 있다. 물론, 이밖에도 상기 캐소드(330)는 상기 ITO 및 IZO중 선택된 어느 하나로 형성할 수도 있다. 여기서, 상기 MgAg 합금 및 MgCa 합금은 주변 환경에 민감하고 산화되어 절연층을 형성할 수 있으므로 외부와의 차단을 완벽하게 해주어야 한다.

<120> 더욱이, 여기에서 본 발명은 기관(210)의 상부 방향으로 발광하는 전면 발광 방식을 중심으로 설명했으나, 이에 한정되지 않고 기관(210)의 하부 방향으로 발광하는 배면 발광 방식 또는 기관(210)의 상부와 하부 방향으로 동시에 발광하는 양면 발광에도 모두 적용 가능하다.

<121> 도 7은 본 발명에 따른 유기 전계 발광 표시 장치중에서 게이트 절연막, 얼라인 마크와 반도체층, 버퍼층의 측매 금속 농도 프로파일을 도시한 그래프이다.

<122> 상기와 같이 본 발명에 의한 유기 전계 발광 표시 장치는 측매 금속을 이용한 SGS 결정화법으로 다결정 실리콘을 형성하기 때문에, 반도체층, 얼라인 마크 및 버퍼층에 각각 일정 농도의 측매 금속이 잔류하게 된다. 상기 반도체층 및 얼라인 마크에 잔류하는 측매 금속은 대략 $1.0E16 \sim 1.0E20 \text{ atoms/cm}^3$ 의 체적 농도로 잔류하도록 제어함이 바람직하다. 상기 측매 금속의 체적 농도가 $1.0E20 \text{ atoms/cm}^3$ 이상일 경우에는 반도체층 등에서 누설 전류가 증가할 수 있기 때문에 바람직하지 않다. 물론, 가장 바람직한 경우는 상기 반도체층 및 얼라인 마크에서 측매 금속이 전혀 잔류하지 않는 경우이나 이는 SGS 결정화법을 이용하는 한 현실적으로 어렵다. 더불어, 도 7에서 볼 수 있는 바와 같이 상기 얼라인 마크와 반도체층의 측매 금속 농도는 깊이가 깊어질수록 서서히 감소한다. 그러나, 상기 측매 금속은 상기 얼라인 마크와 버퍼층 사이의 계면, 또는 반도체층과 버퍼층 사이의 계면에서 약간 증가하다가, 상기 버퍼층의 깊이가 깊어질 수록 그 측매 금속의 농도가 현저히 작아진다. 더불어, 상기 버퍼층에도 측매 금속이 잔류하게 되는데 그 체적 농도는 대략 $2.0E18 \text{ atoms/cm}^3$ 의 이하가 되도록 제어함이 바람직하다. 즉, 상기 버퍼층에 잔류하는 측매 금속의 체적 농도가 $2.0E18 \text{ atoms/cm}^3$ 이상이 되면 누설 전류가 허용치 이상으로 흐를 수 있기 때문이다. 물론, 버퍼층의 깊이가 깊어질 수록 상기 측매 금속의 체적 농도가 점차 작아지는 것은 확실하나, 측정 장비의 한계로 인해 얼마의 농도까지 떨어지는지는 확인되지 않고 있다.

발명의 효과

<123> 상기와 같이 하여 본 발명에 의한 유기 전계 발광 표시 장치 및 그 제조 방법은 기관중 비표시 영역에 형성되는 얼라인 마크를 표시 영역에 형성된 트랜지스터와 같은 재질 예를 들면, SGS 결정화법에 의해 형성된 다결정 실리콘으로 형성함으로써, 별도의 얼라인 마크 형성 공정을 생략할 수 있는 효과가 있다.

<124> 즉, 본 발명은 표시 영역의 트랜지스터 형성을 위한 비정질 실리콘의 결정화 공정중 비표시 영역에도 소정 패턴으로 비정질 실리콘을 결정화하고, 상기 비표시 영역에 형성된 소정 패턴의 다결정 실리콘을 그대로 얼라인 마크로 이용함으로써, 종래와 같은 별도의 얼라인 마크 형성 공정을 생략할 수 있는 효과가 있다.

<125> 또한, 상기와 같이 하여 본 발명에 의한 유기 전계 발광 표시 장치 및 그 제조 방법은 종래와 같은 얼라인 마크 형성을 위한 별도의 마스크, 얼라인 마크 재료, 사진 식각 공정 등을 생략할 수 있음으로써, 생산 수율이 더욱 향상되는 효과가 있다.

<126> 이상에서 설명한 것은 본 발명에 따른 유기 전계 발광 표시 장치 및 그 제조 방법을 실시하기 위한 하나의 실시예에 불과한 것으로서, 본 발명은 상기한 실시예에 한정되지 않고, 이하의 특허청구범위에서 청구하는 바와 같이 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변형 실시가 가능한 범위까지 본 발명의 기술적 정신이 있다고 할 것이다.

도면의 간단한 설명

<1> 도 1은 일반적인 유기 전계 발광 소자의 구성을 도시한 개략도이다.

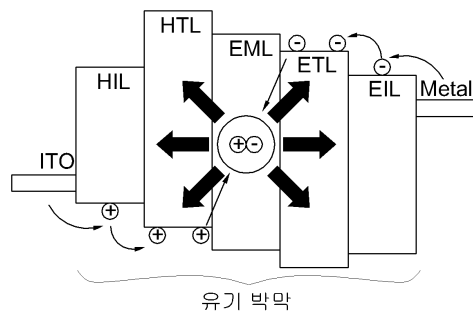
<2> 도 2는 본 발명에 따른 얼라인 마크를 갖는 유기 전계 발광 표시 장치를 도시한 개략 평면도이다.

<3> 도 3a 내지 도 3f는 도 2에 도시된 얼라인 마크의 가능한 여러 가지 다른 모양을 도시한 확대 평면도이다.

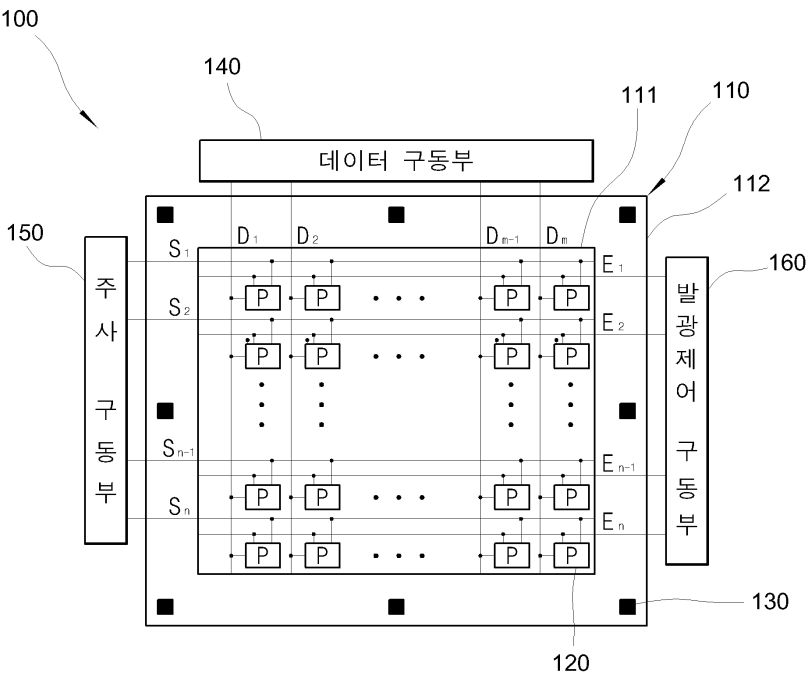
- | | | |
|------|---|------------------|
| <4> | 도 4는 유기 전계 발광 표시 장치중 화소 회로의 일례를 도시한 회로도이다. | |
| <5> | 도 5는 본 발명에 따른 엘라인 마크를 갖는 유기 전계 발광 표시 장치의 제조 방법을 도시한 순서도이다. | |
| <6> | 도 6a 내지 도 6h는 본 발명에 따른 엘라인 마크를 갖는 유기 전계 발광 표시 장치의 제조 방법을 도시한 단면도이다. | |
| <7> | 도 7은 본 발명에 따른 유기 전계 발광 표시 장치중에서 게이트 절연막, 엘라인 마크와 반도체층, 및 버퍼층의 측매 금속 농도 프로파일을 도시한 그래프이다. | |
| <8> | < 도면의 주요 부분에 대한 부호의 설명> | |
| <9> | 100,200; 본 발명에 의한 유기 전계 발광 표시 장치 | |
| <10> | 110,210; 기판 | 111,211; 표시 영역 |
| <11> | 112, 212; 비표시 영역 | 220; 버퍼층 |
| <12> | 230; 반도체층 | 231; 채널 영역 |
| <13> | 232; 소스/드레인 영역 | 130, 240; 엘라인 마크 |
| <14> | 250; 게이트 절연막 | 260; 게이트 전극 |
| <15> | 270; 층간 절연막 | 280; 소스/드레인 전극 |
| <16> | 281; 컨택 | 290; 절연막 |
| <17> | 291; 보호막 | 292; 평탄화막 |
| <18> | 293; 화소 정의막 | 300; 유기 전계 발광 소자 |
| <19> | 310; 애노드 | 320; 유기 박막 |
| <20> | 330; 캐소드 | |

도면

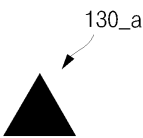
도면1



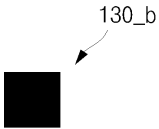
도면2



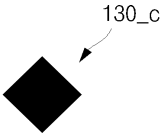
도면3a



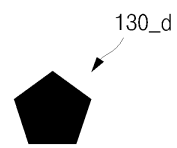
도면3b



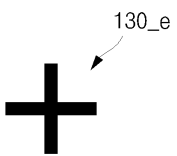
도면3c



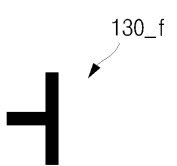
도면3d



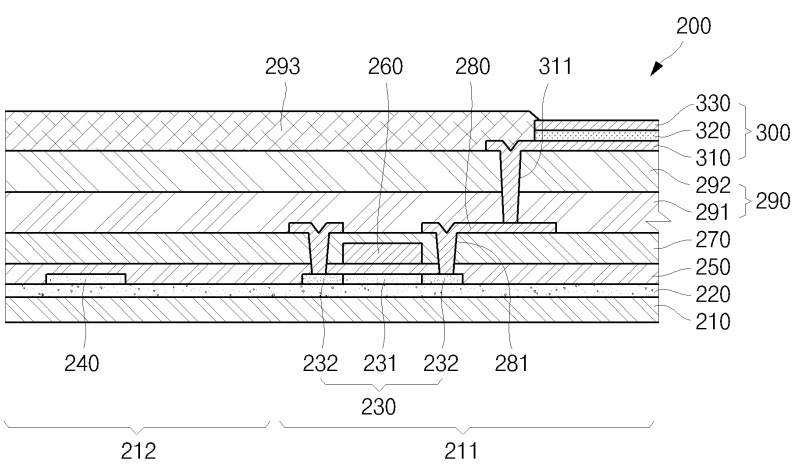
도면3e



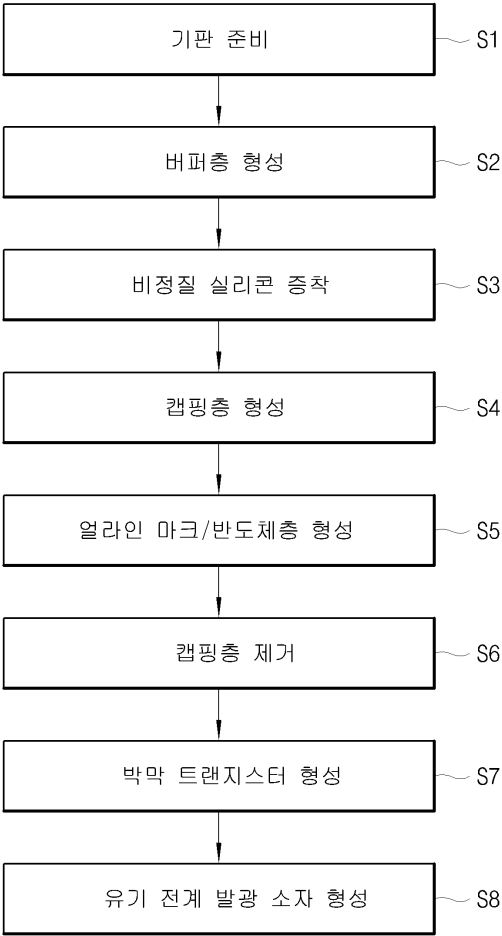
도면3f



도면4



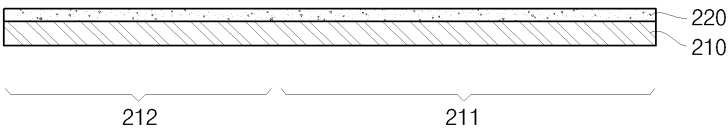
도면5



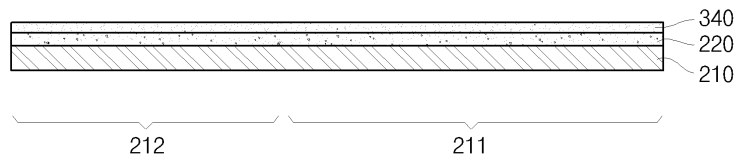
도면6a



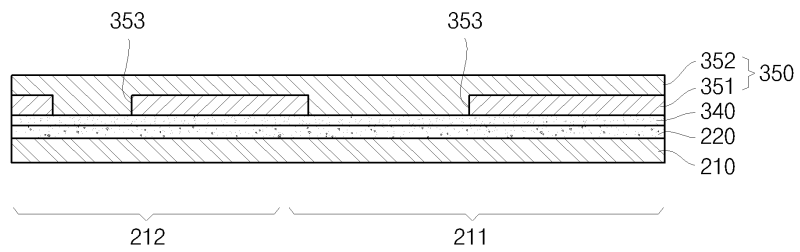
도면6b



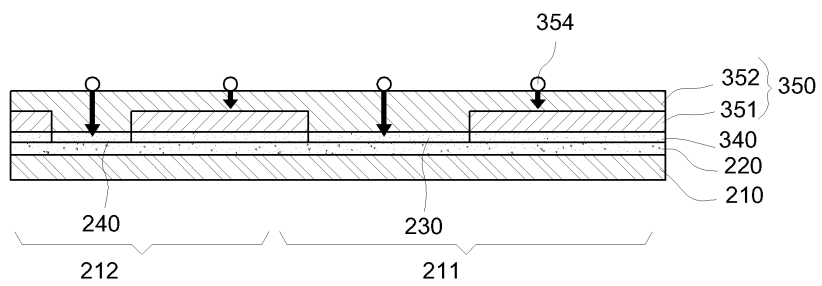
도면6c



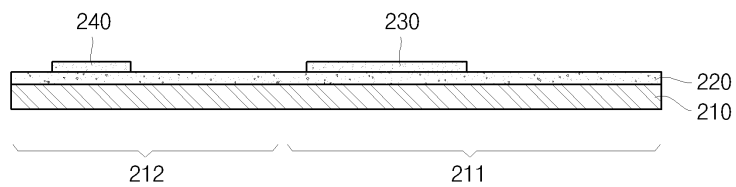
도면6d



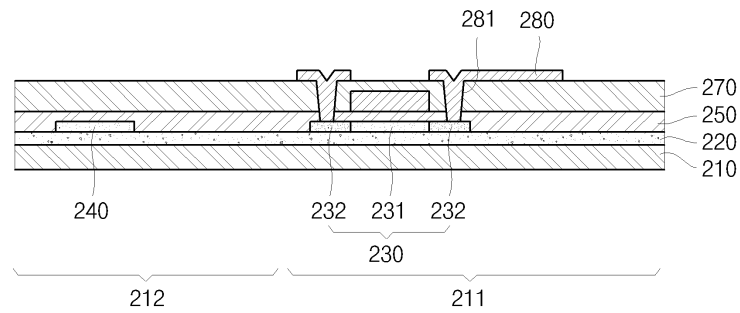
도면6e



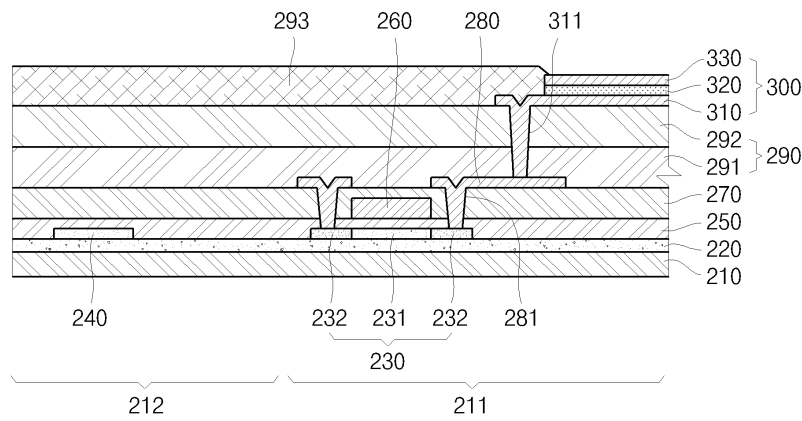
도면6f



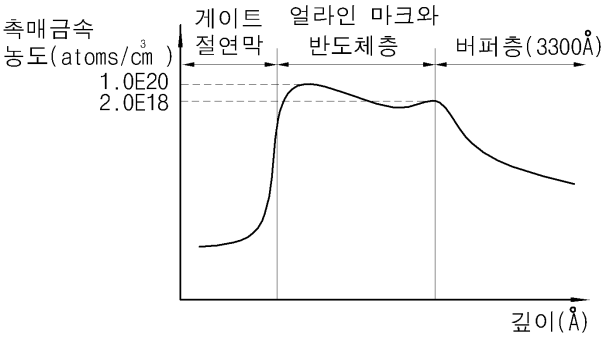
도면6g



도면6h



도면7



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR100788551B1	公开(公告)日	2007-12-26
申请号	KR1020060138320	申请日	2006-12-29
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	YANG TAE HOON 양태훈 LEE KI YONG 이기용 SEO JIN WOOK 서진욱 KANG TAE WOOK 강태욱 PARK BYOUNG KEON 박병건 JUNG SEI HWAN 정세환		
发明人	양태훈 이기용 서진욱 강태욱 박병건 정세환		
IPC分类号	H05B33/02 H05B33/10		
CPC分类号	H01L27/1214 H01L27/1288 H01L27/3244 H01L27/1277		
代理人(译)	Seogyongmin		
外部链接	Espacenet		

摘要(译)

有机电致发光显示器及其制造方法技术领域本发明涉及有机发光显示器及其制造方法，更具体地，涉及有机电致发光显示器件及其制造方法，其中对准标记与SGS结晶工艺一起形成以形成薄膜晶体管以减少掩模的数量，。本发明提供一种制造有机发光显示器的方法，包括：具有显示区域和非显示区域的基板;至少一个像素区域，其中薄膜晶体管和有机电致发光元件在基板的显示区域中彼此电连接;一种有机电致发光显示装置，包括通过一种方法和制造该方法的方法形成的至少一个对准标记。

