



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년 12월 07일
(11) 등록번호 10-0784013
(24) 등록일자 2007년 12월 03일

(51) Int. Cl.

G09G 3/30 (2006.01) *G09G 3/20* (2006.01)

(21) 출원번호 10-2006-0033722

(22) 출원일자 2006년04월13일

심사청구일자 2006년04월13일

(65) 공개번호 10-2007-0102070

(43) 공개일자 2007년10월18일

(56) 선행기술조사문헌

JP2003108066 A

JP2003295824 A

JP2004184489 A

KR1020070000097 A

전체 청구항 수 : 총 15 항

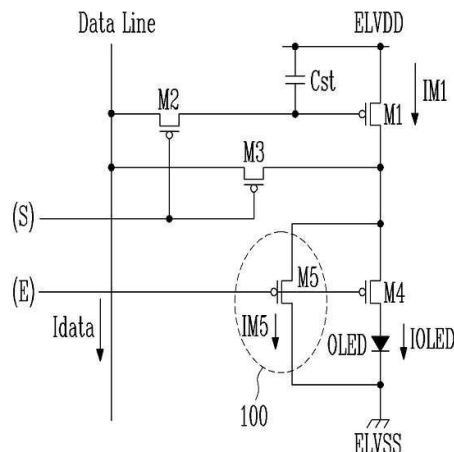
심사관 : 천대식

(54) 유기 전계 발광 표시장치의 화소 회로 및 그 구동 방법.

(57) 요약

본 발명은 유기 전계 발광 표시장치의 화소 회로 및 그 구동 방법에 관한 것으로, 더욱 상세하게는 전류 구동 방식에서 균일한 저계조의 화상을 얻을 수 있는 유기 전계 발광 표시장치의 화소 회로에 관한 것이다. 본 발명에 따른 유기 전계 발광 표시장치의 화소 회로는 유기 발광 다이오드, 제 1 전원선과 접속되어, 제 1 기간 동안 제 1 전류가 프로그래밍 되는 제 1 트랜지스터, 데이터선과 상기 제 1 트랜지스터의 게이트와 접속되고, 상기 제 1 기간 동안 턴온(turn on) 되는 제 2 트랜지스터, 상기 데이터선과 상기 제 1 트랜지스터의 드레인과 접속되고, 상기 제 1 기간 동안 턴온되는 제 3 트랜지스터, 상기 제 1 트랜지스터의 드레인과 상기 유기 발광 다이오드의 애노드 전극에 접속되고, 제 2 기간 동안 턴온되는 제 4 트랜지스터, 상기 제 1 전원선과 상기 제 1 트랜지스터의 게이트와 접속되는 커패시터 및 상기 제 4 트랜지스터와 접속되어 상기 제 1 전류를 분배하는 전류분배부를 포함한다.

대표도 - 도2



특허청구의 범위

청구항 1

유기 발광 다이오드;

제 1 전원선과 접속되고, 제 1 기간 동안 제 1 전류가 프로그래밍 되는 제 1 트랜지스터;

데이터선과 상기 제 1 트랜지스터의 게이트와 접속되고, 상기 제 1 기간 동안 턴 온(turn on) 되는 제 2 트랜지스터;

상기 데이터선과 상기 제 1 트랜지스터의 드레인과 접속되고, 상기 제 1 기간 동안 턴 온되는 제 3 트랜지스터;

상기 제 1 트랜지스터의 드레인과 상기 유기 발광 다이오드의 애노드 전극에 접속되고, 제 2 기간 동안 턴 온되는 제 4 트랜지스터;

상기 제 1 전원선과 상기 제 1 트랜지스터의 게이트와 접속되는 커패시터; 및

상기 제 4 트랜지스터의 소스와 상기 유기발광 다이오드의 캐소드 전극에 접속되는 제 5트랜지스터가 포함되어 상기 제 1 전류를 분배하는 전류분배부를 포함하며,

상기 제 1전류는 상기 제 5트랜지스터를 통과하는 제 2전류와 제 4트랜지스터를 통과하는 제 3전류를 더한 값이고,

상기 제 2 전류량과 제 3전류량의 비는 상기 제 4트랜지스터와 제 5트랜지스터의 게이트 폭과 길이의 비에 따라 결정됨을 특징으로 하는 유기 전계 발광 표시장치의 화소 회로.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

제 1항에 있어서,

상기 제 5 트랜지스터의 게이트 폭과 길이의 비는 상기 제 4 트랜지스터의 게이트 폭과 길이의 비보다 큰 유기 전계 발광 표시장치의 화소 회로.

청구항 6

제 5항에 있어서,

상기 제 5 트랜지스터의 게이트 길이는 상기 제 4 트랜지스터의 게이트 길이 보다 작도록 형성되고, 상기 제 5 트랜지스터의 게이트 폭은 상기 제 4 트랜지스터의 게이트 폭보다 크도록 형성된 유기 전계 발광 표시장치의 화소 회로.

청구항 7

제 5항에 있어서,

상기 제 5 트랜지스터의 게이트 길이와 상기 제 4 트랜지스터의 게이트 길이는 같도록 형성되고, 상기 제 5 트랜지스터의 게이트 폭은 상기 제 4 트랜지스터의 게이트 폭보다 크도록 형성된 유기 전계 발광 표시장치의 화소 회로.

청구항 8

제 1항에 있어서,

상기 제 1 기간이 종료된 상기 제 2 기간에 상기 제 1 전류가 분배되는 유기 전계 발광 표시장치의 화소 회로.

청구항 9

유기 발광 다이오드;

제 1 전원선과 접속되어, 제 1 기간 동안 제 1 전류가 프로그래밍 되는 제 1 트랜지스터;

데이터선과 상기 제 1 트랜지스터의 게이트와 접속되어, 상기 제 1 기간 동안 턴온(turn on) 되는 제 2 트랜지스터;

상기 데이터선과 상기 제 1 트랜지스터의 드레인과 접속되어, 상기 제 1 기간 동안 턴온되는 제 3 트랜지스터;

상기 제 1 트랜지스터의 드레인과 상기 유기 발광 다이오드의 애노드 전극에 접속되어, 제 2 기간 동안 턴온되는 제 4 트랜지스터;

상기 제 1 전원선과 상기 제 1 트랜지스터의 게이트와 접속되는 커패시터;

상기 제 1 전류를 분배하기 위해 제 5트랜지스터 및 제 6트랜지스터가 포함되는 전류 분배부가 포함되며,

상기 제 5트랜지스터는 제 4트랜지스터의 소스와 제 6트랜지스터의 소스 사이에 연결되고, 상기 제 6트랜지스터는 다이오드 커넥션되어 상기 제 5 트랜지스터의 드레인과 유기 발광다이오드의 캐소드 전극 사이에 연결되며,

상기 제 1 전류는 상기 제 5 트랜지스터를 통과하는 제 2 전류와 상기 제 4 트랜지스터를 통과하는 제 3 전류를 더한 값이고, 상기 제 2 전류량과 상기 제 3 전류량의 비는, 상기 제 4 트랜지스터와 상기 제 5 트랜지스터 각각의 게이트 폭과 길이의 비에 따라 결정되는 유기 전계 발광 표시장치의 화소 회로.

청구항 10

제 9항에 있어서,

상기 제 5 트랜지스터의 드레인과 상기 제 6 트랜지스터의 소스 사이에 위치한 제 1 노드와 상기 제 4 트랜지스터의 드레인과 상기 유기 발광 다이오드의 애노드 전극 사이에 위치한 제 2 노드의 전위는 동일하게 형성되는 유기 전계 발광 표시장치의 화소 회로.

청구항 11

삭제

청구항 12

삭제

청구항 13

제 9항에 있어서,

상기 제 5 트랜지스터의 게이트 폭과 길이의 비는 상기 제 4 트랜지스터의 게이트 폭과 길이의 비보다 큰 유기 전계 발광 표시장치의 화소 회로.

청구항 14

제 13항에 있어서,

상기 제 5 트랜지스터의 게이트 길이는 상기 제 4 트랜지스터의 게이트 길이 보다 작도록 형성되고, 상

기 제 5 트랜지스터의 게이트 폭은 상기 제 4 트랜지스터의 게이트 폭보다 크도록 형성된 유기 전계 발광 표시 장치의 화소 회로.

청구항 15

제 13항에 있어서,

상기 제 5 트랜지스터의 게이트 길이와 상기 제 4 트랜지스터의 게이트 길이는 같도록 형성되고, 상기 제 5 트랜지스터의 게이트 폭은 상기 제 4 트랜지스터의 게이트 폭보다 크도록 형성된 유기 전계 발광 표시 장치의 화소 회로.

청구항 16

제 9항에 있어서,

상기 제 1 기간이 종료된 상기 제 2 기간에 상기 제 1 전류가 분배되는 유기 전계 발광 표시 장치의 화소 회로.

청구항 17

제 1 기간동안 제 2 트랜지스터와 제 3 트랜지스터를 턴온시켜, 제 1 트랜지스터에 제 1 전류가 흐르도록 하는 단계;

상기 제 1 전류에 대응하는 크기의 전압이 커패시터에 충전되는 단계;

제 2 기간동안 제 4 트랜지스터와 제 5 트랜지스터를 턴온시켜 상기 제 1 전류를, 상기 제 5 트랜지스터를 통과하는 제 2 전류와 유기발광다이오드를 통과하는 제 3 전류로 분배하는 단계; 및

상기 제 3 전류에 대응하는 밝기로 상기 유기발광다이오드가 발광되는 단계를 포함하며,

상기 제 2 전류량과 상기 제 3 전류량의 비는, 상기 제 4 트랜지스터와 상기 제 5 트랜지스터 각각의 게이트 폭과 길이의 비에 따라 결정되는 유기 전계 발광 표시 장치의 화소 회로 구동방법.

청구항 18

제 17항에 있어서,

상기 제 2 전류는 상기 제 3 전류보다 큰 값인 유기 전계 발광 표시 장치의 화소 회로 구동방법.

청구항 19

제 1 기간동안 제 2 트랜지스터와 제 3 트랜지스터를 턴온시켜, 제 1 트랜지스터에 제 1 전류가 흐르도록 하는 단계;

상기 제 1 전류에 대응하는 크기의 전압이 커패시터에 충전되는 단계;

제 2 기간동안 제 4 트랜지스터와 제 5 트랜지스터를 턴온시켜 상기 제 1 전류를, 상기 제 5 트랜지스터 및 제 6 트랜지스터를 통과하는 제 2 전류와 유기발광다이오드를 통과하는 제 3 전류로 분배하는 단계; 및

상기 제 3 전류에 대응하는 밝기로 상기 유기발광다이오드가 발광되는 단계를 포함하며,

상기 제 2 전류량과 상기 제 3 전류량의 비는, 상기 제 4 트랜지스터와 상기 제 5 트랜지스터 각각의 게이트 폭과 길이의 비에 따라 결정되는 유기 전계 발광 표시 장치의 화소 회로 구동방법.

청구항 20

제 19항에 있어서,

상기 제 2 전류는 상기 제 3 전류보다 큰 값인 유기 전계 발광 표시 장치의 화소 회로 구동방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <11> 본 발명은 유기 전계 발광 표시장치의 화소 회로 및 그 구동 방법에 관한 것으로, 더욱 상세하게는 전류구동 방식에서 균일한 저계조의 화상을 얻을 수 있는 유기 전계 발광 표시장치의 화소 회로 및 그 구동 방법에 관한 것이다.
- <12> 최근, 음극선관과 비교하여 무게가 가볍고 부피가 작은 각종 평판 표시장치들이 개발되고 있으며 특히 발광효율, 휘도 및 시야각이 뛰어나고 응답속도가 빠른 유기 전계 발광 표시장치가 주목받고 있다.
- <13> 이러한 유기 전계 발광 표시장치는 형광성 유기 화합물을 전기적으로 여기시켜 발광시키는 표시장치로서, 복수의 화소들을 전압구동 하거나 전류구동하여 화상을 표시한다.
- <14> 전압 구동 방식에서의 복수의 화소 각각은 입력되는 데이터 전압에 따라 소정 휘도의 빛을 생성함으로써 화상을 표시한다. 전압 구동 방식은 대면적 고해상도 패널 구동에서 전류 구동 방식에 비해 간편하다. 하지만 TFT(Thin Film Transistor) 소자의 공정 편차로 인한 디스플레이 화질의 불균일하다는 문제점이 있다.
- <15> 이와 같은 문제점을 극복하기 위해 아날로그 데이터 신호가 전류형태로 화소에 인가되는 전류 구동 방식이 제안되었다. 이러한 전류 구동 방식은 데이터를 전류로 인가받아 전류값이 화소 내의 TFT 특성에 따라 적절한 전압값으로 변환한다. 따라서, TFT의 특성 편차가 발생하여도 그 편차를 보상할 수 있으므로, 구동 TFT의 게이트 전압이 형성되어 균일한 화질을 구현할 수 있다.
- <16> 그러나, 데이터 신호로서 공급되는 전류는 미세 전류이기 때문에 데이터를 충전하는데 많은 시간이 소요된다.

수학식 1

$$Q=It$$

- <17>
- <18> 상기 수학식 1에서 Q는 충전되는 데이터 전하량, I는 전류, t 는 충전시간을 나타낸다.
- <19> 즉, 각 계조에 대응하는 데이터 전하량이 충전될 때 전류의 양이 줄어들면 그만큼 충전 시간을 증가시켜야 한다. 또한, 전류구동 화소 회로에서 저계조의 데이터를 화상으로 표현하기 위해 저전류로 프로그래밍(programming)하게 되면 충전 및 방전되는 시간이 오래 걸린다. 이에 따라 프로그래밍 에러가 커져 저계조 표현에 어려움이 있고, TFT 특성 편차에 의해 화면 특성도 매우 불균일해지는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

- <20> 따라서, 상술한 종래 문제점을 해결하기 위한 본 발명의 목적은, 저계조 표현시 높은 전류로 프로그래밍하고, 발광시에는 전류를 분배하여 낮은 전류를 사용함으로써 균일한 화상을 얻을 수 있는 유기 전계 발광 표시장치의 화소 회로구조를 제공하기 위한 것이다.

발명의 구성 및 작용

- <21> 상술한 목적을 달성하기 위한 본 발명의 일 측면은 유기 발광 다이오드, 제 1 전원선과 접속되어, 제 1 기간 동안 제 1 전류가 프로그래밍 되는 제 1 트랜지스터, 데이터선과 상기 제 1 트랜지스터의 게이트와 접속되고, 상기 제 1 기간 동안 턴온(turn on) 되는 제 2 트랜지스터, 상기 데이터선과 상기 제 1 트랜지스터의 드레인과 접속되고, 상기 제 1 기간 동안 턴온되는 제 3 트랜지스터, 상기 제 1 트랜지스터의 드레인과 상기 유기 발광 다이오드의 애노드 전극에 접속되고, 제 2 기간 동안 턴온되는 제 4 트랜지스터, 상기 제 1 전원선과 상기 제 1 트랜지스터의 게이트와 접속되는 커패시터 및 상기 제 4 트랜지스터와 접속되어 상기 제 1 전류를 분배하는 전류분배부를 포함하는 유기 전계 발광 표시장치의 화소 회로를 제공하는 것이다.

- <22> 본 발명의 다른 측면은 유기 발광 다이오드, 제 1 전원선과 접속되어, 제 1 기간 동안 제 1 전류가 프로그래밍 되는 제 1 트랜지스터, 데이터선과 상기 제 1 트랜지스터의 게이트와 접속되어, 상기 제 1 기간 동안 턴온(turn on) 되는 제 2 트랜지스터, 상기 데이터선과 상기 제 1 트랜지스터의 드레인과 접속되어, 상기 제 1 기간 동안 턴온되는 제 3 트랜지스터, 상기 제 1 트랜지스터의 드레인과 상기 유기 발광 다이오드의 애노드 전극에 접속되어, 제 2 기간 동안 턴온되는 제 4 트랜지스터, 상기 제 4 트랜지스터의 소스와 상기 유기 발광 다이오드의 캐소드 전극과 접속되어 상기 제 1 전류를 분배하는 제 5 트랜지스터, 상기 제 1 전원선과 상기 제 1 트랜지스터의 게이트와 접속되는 커패시터 및 상기 제 5 트랜지스터의 드레인에 접속되며 다이오드 연결된 제 6 트랜지스터를 포함하는 유기 전계 발광 표시장치의 화소 회로를 제공하는 것이다.
- <23> 본 발명의 또 다른 측면은 제 1 기간동안 제 2 트랜지스터와 제 3 트랜지스터를 턴온시켜, 제 1 트랜지스터에 제 1 전류가 흐르도록 하는 단계, 상기 제 1 전류에 대응하는 크기의 전압이 커패시터에 충전되는 단계, 제 2 기간동안 제 4 트랜지스터와 제 5 트랜지스터를 턴온시켜 상기 제 1 전류를, 상기 제 5 트랜지스터를 통과하는 제 2 전류와 유기발광다이오드를 통과하는 제 3 전류로 분배하는 단계 및 상기 제 3 전류에 대응하는 밝기로 상기 유기발광다이오드가 발광되는 단계를 포함하는 유기 전계 발광 표시장치의 화소 회로 구동방법을 제공하는 것이다.
- <24> 본 발명의 또 다른 측면은 제 1 기간동안 제 2 트랜지스터와 제 3 트랜지스터를 턴온시켜, 제 1 트랜지스터에 제 1 전류가 흐르도록 하는 단계, 상기 제 1 전류에 대응하는 크기의 전압이 커패시터에 충전되는 단계, 제 2 기간동안 제 4 트랜지스터와 제 5 트랜지스터를 턴온시켜 상기 제 1 전류를, 상기 제 5 트랜지스터 및 제 6 트랜지스터를 통과하는 제 2 전류와 유기발광다이오드를 통과하는 제 3 전류로 분배하는 단계 및 상기 제 3 전류에 대응하는 밝기로 상기 유기발광다이오드가 발광되는 단계를 포함하는 유기 전계 발광 표시장치의 화소 회로 구동방법을 제공하는 것이다.
- <25> 이하, 본 발명의 바람직한 실시예를 첨부한 도면을 참조하여 설명하면 다음과 같다.
- <26> 도 1은 본 발명에 따른 유기 전계 발광 표시장치의 일례를 나타낸 평면 개념도이다.
- <27> 도 1을 참조하여 설명하면, 본 발명에 따른 유기 전계 발광 표시장치는 화소부(10), 주사 구동부(20), 데이터 구동부(30) 및 전원 구동부(40)를 포함한다.
- <28> 화소부(10)는 유기 발광 다이오드(미도시)를 각각 구비하는 $n \times m$ 개의 화소(5)와, 행방향으로 형성되어 주사 신호를 전달하는 n 개의 주사선($S1, S2, \dots, S_n$)과 발광 제어신호를 전달하는 n 개의 발광제어선($E1, E2, \dots, E_n$), 열 방향으로 형성되어 데이터 신호를 전달하는 m 개의 데이터 선($D1, D2, \dots, D_m$) 및 전원을 전달하는 m 개의 제 1 전원선($L1$)과 제 2 전원선($L2$)을 포함한다.
- <29> 화소부(10)는 주사 신호, 발광제어신호, 데이터 신호 및 제 1 전원(ELV_{dd})과 제 2 전원(ELV_{ss})에 의해 유기 발광 다이오드(미도시)를 발광시켜 화상을 표시한다. 도면에 의하면, 제 1 전원선($L1$)은 화소부(10)내에서 열 방향으로 배열되어 있으나, 이는 행 방향으로 배열되어도 무방하다. 또한, 도면에 의하면 제 2 전원선($L2$)은 화소부(10)내에서 행 방향으로 배열되어 있으나, 이는 등가적인 회로를 표현한 것으로서, 제 2 전원선($L2$)은 화소부(10) 전 영역에 형성되어 각 화소(5)에 전기적으로 접속될 수도 있다.
- <30> 한편, 화소부(10)에 포함되는 화소(5)는 저계조의 화상을 표현하는데 있어서 프로그래밍(programming) 기간 동안 높은 값의 전류를 인가받아 커패시터(미도시)를 빠른 시간 안에 충전한다. 그리고, 발광(emission) 기간 동안에는 전달받은 높은 값의 전류를 분배하여 유기 발광 다이오드에 낮은 값의 전류가 흐르도록 한다. 즉, 저계조의 화상을 표현하더라도 커패시터의 충, 방전시 높은값의 전류를 사용할 수 있으므로 프로그래밍 시간을 단축할 수 있다. 이러한 전류 분배형의 화소 구조에 대한 설명은 후술하여 더욱 상세히 하도록 한다.
- <31> 주사 구동부(20)는 주사선($S1, S2, \dots, S_n$)과 접속되어 화소부(10)에 주사 신호를 인가하는 수단이다.
- <32> 데이터 구동부(30)는 데이터 선($D1, D2, \dots, D_m$)과 접속되어 화소부(10)에 데이터 신호를 인가하는 수단이다. 이때, 데이터 구동부(30)는 프로그래밍(programming) 기간 동안 복수의 화소(5)에 데이터 전류를 공급한다.
- <33> 전원 공급부(40)는 각 화소(1)에 제 1 전원(ELV_{dd}) 및 제 2 전원(ELV_{ss})을 인가하도록 하는 역할을 한다.
- <34> 도 2는 도 1의 유기 전계 발광 표시장치에 채용된 화소의 일 실시예를 나타낸 회로도이고, 도 3은 본

발명의 일 실시예에 따른 화소의 타이밍도이다.

- <35> 도 2 및 도 3을 결부하여 설명하면, 본 발명에 따른 화소는 유기 발광 다이오드(oled), 제 1 트랜지스터(M1), 제 2 트랜지스터(M2), 제 3 트랜지스터(M3), 제 4 트랜지스터(M4), 커패시터(Cst) 및 전류 분배부(100)를 포함한다.
- <36> 제 1 트랜지스터(M1)는 소스가 제 1 전원(ELVdd)선과 접속되고 드레인이 제 4 트랜지스터(M4)의 소스와 접속되며, 제 1 기간(T1) 동안 제 1 전류(IM1)가 프로그래밍 된다.
- <37> 제 2 트랜지스터(M2)는 소스가 데이터 선(Data Line)과 접속되고, 드레인이 제 1 트랜지스터(M1)의 게이트와 접속되며, 제 1 기간(T1) 동안 턴온(turn on)된다.
- <38> 제 3 트랜지스터(M3)는 드레인이 데이터 선(Data Line)과 접속되고, 소스가 제 1 트랜지스터(M1)의 드레인과 접속되며, 제 1 기간(T1) 동안 턴 온 된다.
- <39> 제 4 트랜지스터(M4)는 소스가 제 1 트랜지스터(M1)의 드레인에 접속되고, 드레인이 유기 발광 다이오드(OLED)의 애노드 전극에 접속되며, 제 2 기간(T2) 동안 턴온된다.
- <40> 커패시터(Cst)는 제 1 전원(ELVdd)선과 제 1 트랜지스터(M1)의 게이트에 접속되고, 제 1 기간(T1) 동안 제 1 전류(IM1)에 대응하는 전압을 충전한다.
- <41> 전류 분배부(100)는 제 4 트랜지스터(M4)의 소스 및 유기 발광 다이오드(OLED)의 캐소드와 접속되어 제 1 전류(IM1)를 분배하는 역할을 한다. 한편, 전류 분배부(100)는 일례로 제 5 트랜지스터(M5)로 구성될 수 있다.
- <42> 상술한 구조를 갖는 화소 회로의 동작을 살펴보면, 먼저, 제 1 기간(T1)이 되면, 제 2 트랜지스터(M2)와 제 3 트랜지스터(M3)가 턴 온(turn on) 된다. 이에 따라 제 1 트랜지스터(M1)는 다이오드 연결이 되어, 표현하고자 하는 데이터 전류에 대응하는 제 1 전류(IM1)가 흐른다. 그리고 커패시터(Cst)에는 제 1 전류(IM1)에 대응하는 전압이 충전된다.
- <43> 이 후, 제 2 트랜지스터(M2)와 제 3 트랜지스터(M3)는 턴 오프(turn off) 되고, 제 2 기간(T2)이 되면, 제 4 트랜지스터(M4)와 제 5 트랜지스터(M5)가 턴 온(turn on) 된다. 이에 따라 제 1 전류(IM1)는 제 4 트랜지스터(M4)와 제 5 트랜지스터(M5)의 두 경로로 분배되어 유기 발광 다이오드(OLED)로 일부만 공급된다. 즉, 유기 발광 다이오드(OLED)에 흐르는 전류 값을 감소시킴으로써 저계조의 화상을 표현할 시에도 화소별로 균일한 화상을 얻을 수 있다.
- <44> 한편, 프로그래밍 된 전류(IM1)와 분배된 전류(IM5, IOLED)의 관계는 다음과 같은 식이 성립한다.

수학식 2

$$IM1 = IM5 + IOLED$$

- <45>
- <46> 상기 수학식 2에서 IM1은 제 1 전류, IM5는 제 2 전류, IOLED는 제 3 전류이다. 즉, 유기 발광 다이오드(OLED)에 흐르는 제 3 전류(IOLED)의 양은 프로그래밍된 전류 값인 제 1 전류(IM1)에서 제 2 전류(IM5)를 뺀 만큼의 값이므로, 저계조를 표현함에 있어서도 큰 데이터 전류를 사용할 수 있다.
- <47> 이때, 데이터 전류는 큰 값을 가지므로 프로그래밍 에러(Programming error)는 매우 작아지고, 저계조 표현시에도 제 1 전류(IM1)는 데이터 전류(Idata)와 거의 같은 값을 가진다. 따라서, 저계조에서의 TFT 특성 편차에 의한 화면 불균일성도 해결된다. 여기에서 데이터 전류(Idata)는 제 4 트랜지스터(M4)와 제 5 트랜지스터(M5)의 폭(W)과 길이(L)의 비에 의해 결정된다. 이에 대한 자세한 설명은 도 4a 및 도 4b를 참조하여 후술하도록 한다.
- <48> 도 4a는 도 3의 제 4 트랜지스터의 일례를 나타낸 사시도이고, 도 4b는 도 3의 제 5 트랜지스터의 일례를 나타낸 사시도이다.
- <49> 도 4a 및 도 4b를 참조하여 설명하면 데이터 전류(Idata)는 제 4 트랜지스터(M4)와 제 5 트랜지스터(M5)의 폭(W)과 길이(L)의 비에 의해 결정되므로, 예를 들어 제 4 트랜지스터(M4)와 제 5 트랜지스터(M5)의 관

계가

수학식 3

$$(n-1) * (W4/L4) = W5/L5 \quad \text{라면,}$$

수학식 4

$$IOLED = \frac{IM1}{n}$$

<50>

<51>

<52>

상기 수학 식에서 W4와 L4는 각각 제 4 트랜지스터(M4)의 폭과 길이를, W5와 L5는 각각 제 5 트랜지스터(M5)의 폭과 길이를 나타낸다.

<53>

또한, 일반적으로 저제조 표현 시 발광에 필요한 전류보다 훨씬 큰 전류로 프로그래밍을 해야 화소 간 균일한 특성을 얻을 수 있으므로, (W5/L5)는 (W4/L4) 보다 크게 설계한다. 따라서, L5<L4, W5>W4 이 되도록 형성하는 것이 바람직하며, L5=L4, W5=W4와 같이 형성할 수도 있다.

<54>

도 5는 도 1의 유기 전계 발광 표시장치에 채용된 화소의 다른 실시예를 나타낸 회로도이고, 도 6은 본 발명의 다른 실시예에 따른 화소의 타이밍도이다.

<55>

도 5 및 도 6을 결부하여 설명하면 본 발명에 따른 화소는 유기 발광 다이오드(oled'), 제 1 트랜지스터(M1'), 제 2 트랜지스터(M2'), 제 3 트랜지스터(M3'), 제 4 트랜지스터(M4'), 제 5 트랜지스터(M5'), 제 6 트랜지스터(M6') 및 커패시터(Cst')를 포함한다.

<56>

제 1 트랜지스터(M1')는 소스가 제 1 전원(ELVdd')선과 접속되고 드레인이 제 4 트랜지스터(M4')의 소스와 접속되며, 제 1 기간(T1') 동안 제 1 전류(IM1')가 프로그래밍 된다.

<57>

제 2 트랜지스터(M2')는 소스가 데이터 선(Data Line')과 접속되고, 드레인이 제 1 트랜지스터(M1')의 게이트와 접속되며, 제 1 기간(T1') 동안 턴 온(turn on)된다.

<58>

제 3 트랜지스터(M3')는 드레인이 데이터 선(Data Line)과 접속되고, 소스가 제 1 트랜지스터(M1')의 드레인과 접속되며, 제 1 기간(T1') 동안 데이터선(Data Line)과 제 1 트랜지스터(M1')의 드레인과 접속되고, 제 1 기간(T1') 동안 턴 온 된다.

<59>

제 4 트랜지스터(M4')는 소스가 제 1 트랜지스터(M1')의 드레인에 접속되고, 드레인이 유기 발광 다이오드(OLED')의 애노드 전극에 접속되며, 제 2 기간(T2') 동안 턴온된다.

<60>

제 5 트랜지스터(M5)는 제 4 트랜지스터(M4)의 소스 및 제 6트랜지스터의 소스 사이에 연결되어 제 1 전류(IM1)를 분배하는 역할을 한다.

<61>

제 6 트랜지스터(M6')는 소스가 제 5 트랜지스터(M5)의 드레인에 접속되고, 유기 발광다이오드의 캐소드 전극에 연결되는 게이트와 드레인이 상호 접속되어 다이오드 연결(Diode connection)이 된다. 즉, 제 6 트랜지스터(M6')를 추가함으로써, 제 1 노드(A)와 제 2 노드(B) 간의 전압이 동일하도록 조절할 수 있다.

<62>

즉, 제 5 트랜지스터(M5')의 드레인이 제 2 전원(ELVSS)로 고정되어 있으므로, 채널 길이 변화(channel length modulation)에 의해 제 4 트랜지스터(M4)의 드레인 전압과 차이가 생겨 동작점이 달라진다. 따라서, 원하는대로 전류가 분배되지 않을 수 있다. 이를 개선하기 위해 다이오드 연결된 제 6 트랜지스터(M6')를 제 5 트랜지스터(M5')의 드레인에 접속되도록 더 구비함으로써, 제 1 노드(A)와 제 2 노드(B)의 전위를 동일하게 조절할 수 있다.

<63>

커패시터(Cst')는 제 1 전원(ELVdd')선과 제 1 트랜지스터(M1')의 게이트에 접속되고, 제 1 기간(T1') 동안 제 1 전류(IM1')에 대응하는 전압을 충전한다.

<64> 상술한 구조를 갖는 화소 회로의 동작을 살펴보면, 먼저, 제 1 기간(T1')이 되면, 제 2 트랜지스터(M2')와 제 3 트랜지스터(M3')가 턴 온(turn on) 된다. 이에 따라 제 1 트랜지스터(M1')는 다이오드 연결이 되어, 표현하고자 하는 데이터 전류에 대응하는 제 1 전류(IM1')가 흐른다. 그리고 커패시터(Cst')에는 제 1 전류(IM1')에 대응하는 전압이 충전된다.

<65> 이 후, 제 2 트랜지스터(M2')와 제 3 트랜지스터(M3')는 턴 오프(turn off) 되고, 제 2 기간(T2')이 되면, 제 4 트랜지스터(M4')와 제 5 트랜지스터(M5')가 턴 온(turn on) 된다. 이에 따라 제 1 전류(IM1')는 제 4 트랜지스터(M4')와 제 5 트랜지스터(M5')의 두 경로로 분배되어 일부만 유기 발광 다이오드(OLED)로 공급된다. 즉, 유기 발광 다이오드(OLED')에 흐르는 전류 값을 감소시킴으로써 저계조의 화상을 표현할 시에도 화소별로 균일한 화상을 얻을 수 있다.

<66> 한편, 프로그래밍 된 전류값(IM1')과 분배된 전류(IM5', IOLED')의 관계는 다음과 같은 식이 성립한다.

수학식 5

$$IM1' = IM5' + IOLED'$$

<67> <68> 상기 수학식 5에서 IM1'은 제 1 전류, IM5'는 제 2 전류, IOLED'는 제 3 전류이다. 즉, 유기 발광 다이오드(OLED')에 흐르는 제 3 전류(IOLED')의 양은 프로그래밍된 전류값인 제 1 전류(IM1')에서 제 2 전류(IM5')를 뺀 만큼만 흐르므로 저계조를 표현함에 있어서도 큰 데이터 전류를 사용할 수 있다.

<69> 이때, 데이터 전류는 큰 값을 가지므로 프로그래밍 에러(Programming error)가 매우 작아지고, 저계조 표현시에도 제 1 전류(IM1')는 데이터 전류(Idata')와 거의 같은 값을 가진다. 따라서, 저계조에서의 TFT 특성 편차에 의한 화면 불균일도 해결된다. 여기에서 제 3 전류(IOLED)는 제 4 트랜지스터(M4')와 제 5 트랜지스터(M5')의 폭(W)과 길이(L)의 비에 의해 결정된다.

<70> 일례로, 제 5 트랜지스터(M5')의 게이트 폭과 길이의 비는 제 4 트랜지스터(M4')의 게이트 폭과 길이의 비보다 크게 형성될 수 있다. 일반적으로 저계조 표현 시 발광에 필요한 전류보다 훨씬 큰 전류로 프로그래밍을 해야 화소 간 균일한 특성을 얻을 수 있으므로, 제 5 트랜지스터(M5')의 게이트 폭과 길이의 비는 제 4 트랜지스터(M4')의 게이트 폭과 길이의 비보다 보다 크게 설계한다.

<71> 이때, 제 5 트랜지스터(M5')의 게이트 길이는 제 4 트랜지스터(M4')의 게이트 길이 보다 작도록 형성되고, 제 5 트랜지스터(M5')의 게이트 폭은 제 4 트랜지스터(M4')의 게이트 폭보다 크도록 형성될 수 있다.

<72> 또한, 제 5 트랜지스터(M5')의 게이트 길이와 제 4 트랜지스터(M4')의 게이트 길이는 같도록 형성되고, 제 5 트랜지스터(M5')의 게이트 폭은 제 4 트랜지스터(M4')의 게이트 폭보다 크도록 형성될 수도 있다.

<73> 한편, 전류가 분배되는 시점은 계조에 대응하는 전류가 프로그래밍 되는 제 1 기간(T1')이 종료된 후 유기 발광 다이오드(OLED')가 발광하는 제 2 기간(T2')이다.

발명의 효과

<74> 본 발명에 따른 유기 전계 발광 표시장치의 화소 회로에 의하면, 저계조 표현시 높은 전류로 프로그래밍하고, 발광시에는 전류를 분배하여 낮은 전류를 사용함으로써 저계조에서도 균일한 화상을 얻을 수 있다. 또한, 추가적인 동작, 신호 및 복잡한 회로 없이 효율적으로 저계조 표현이 가능하다.

도면의 간단한 설명

<1> 도 1은 본 발명에 따른 유기 전계 발광 표시장치의 일례를 나타낸 평면 개념도이다.

<2> 도 2는 도 1의 유기 전계 발광 표시장치에 채용된 화소의 일 실시예를 나타낸 회로도이다.

<3> 도 3은 본 발명의 일 실시예에 따른 화소의 타이밍도이다.

<4> 도 4a는 도 3의 제 4 트랜지스터의 일례를 나타낸 사시도이고, 도 4b는 도 3의 제 5 트랜지스터의 일례를 나타낸 사시도이다.

<5> 도 5는 도 1의 유기 전계 발광 표시장치에 채용된 화소의 다른 실시예를 나타낸 회로도이다.

<6> 도 6은 본 발명의 다른 실시예에 따른 화소의 타이밍도이다.

<7> *** 도면의 주요 부호에 대한 설명 ***

<8> 제 1 트랜지스터: M1, M1'

제 4 트랜지스터: M4, M4'

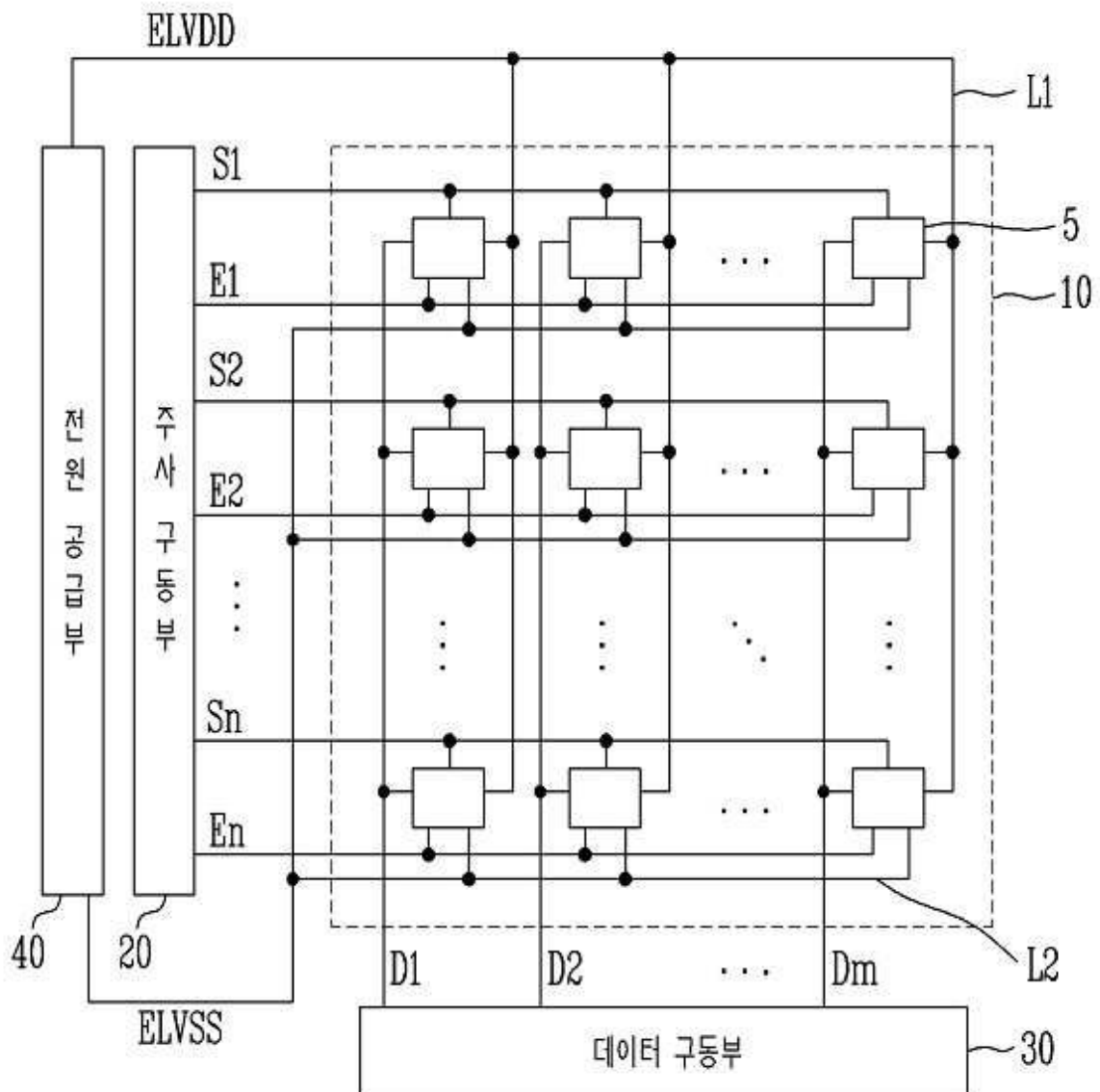
<9> 제 5 트랜지스터: M5, M5'

제 6 트랜지스터: M6, M6'

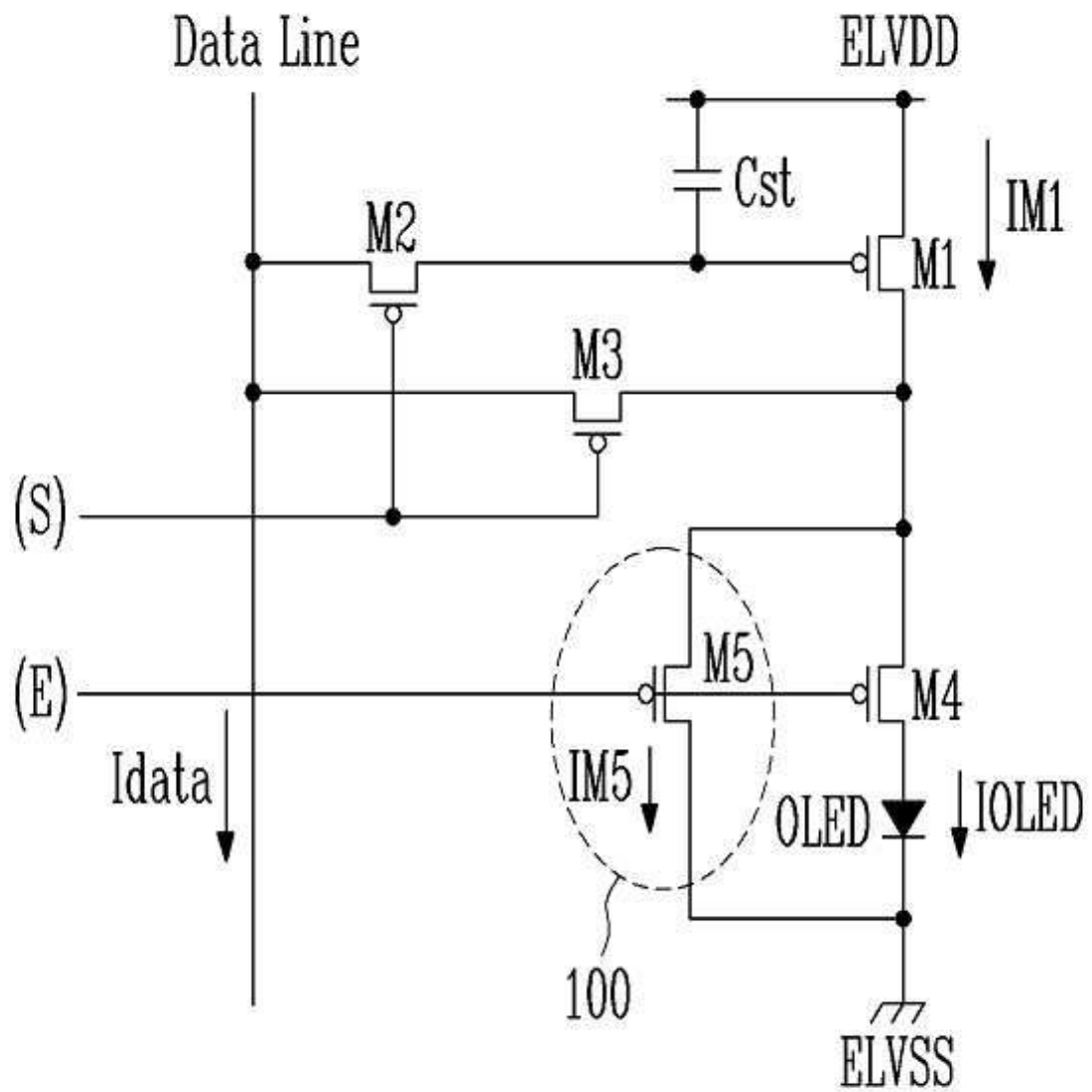
<10> 전류 분배부: 100

도면

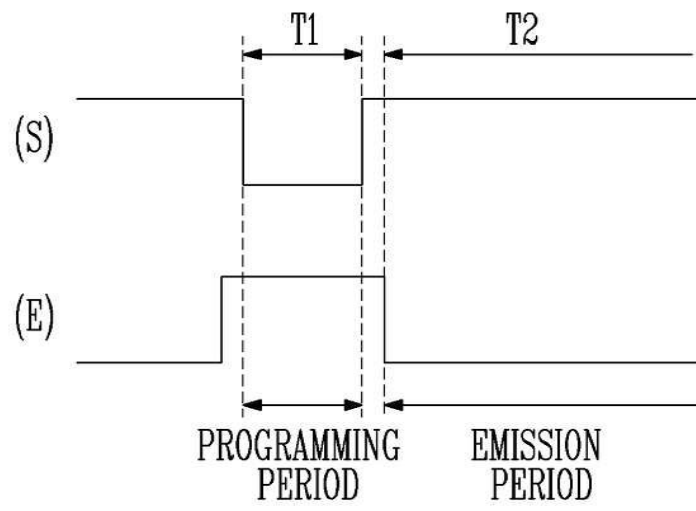
도면1



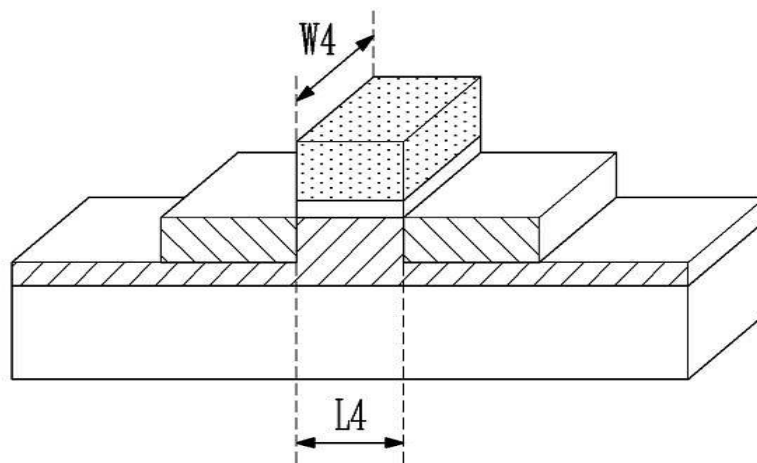
도면2



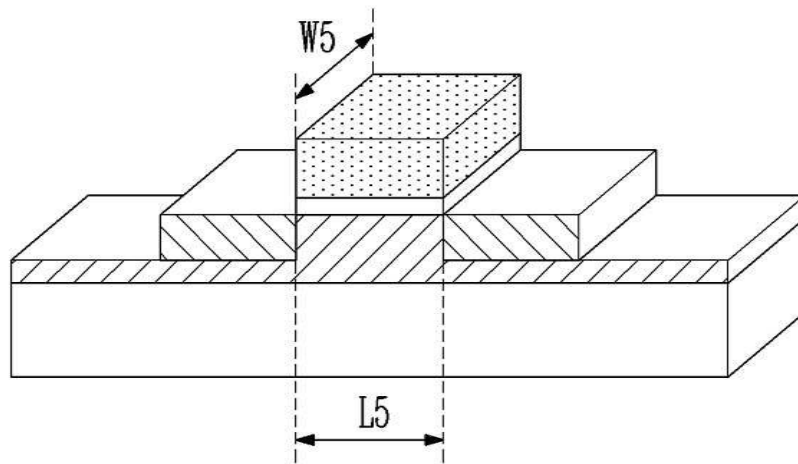
도면3



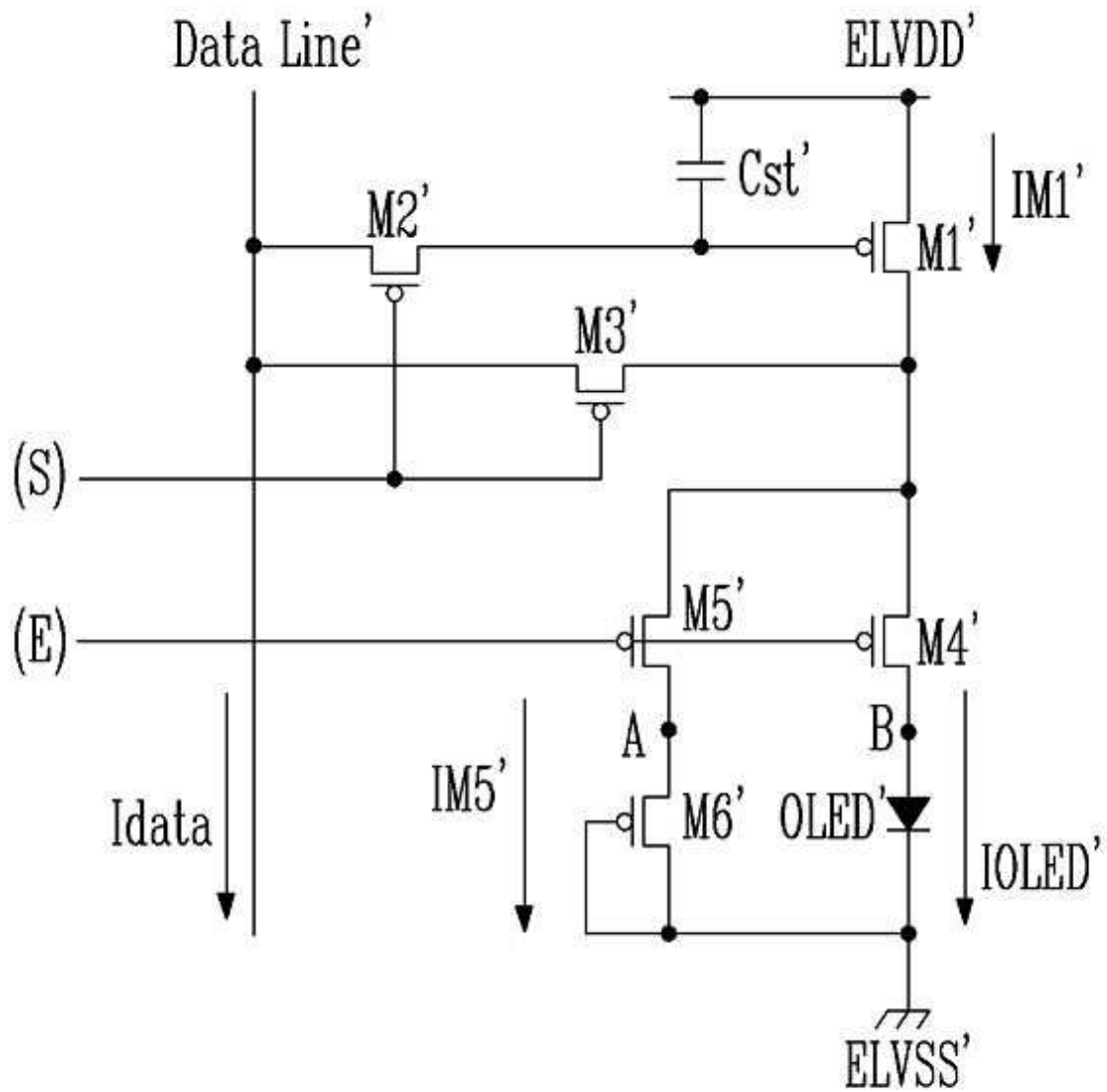
도면4a



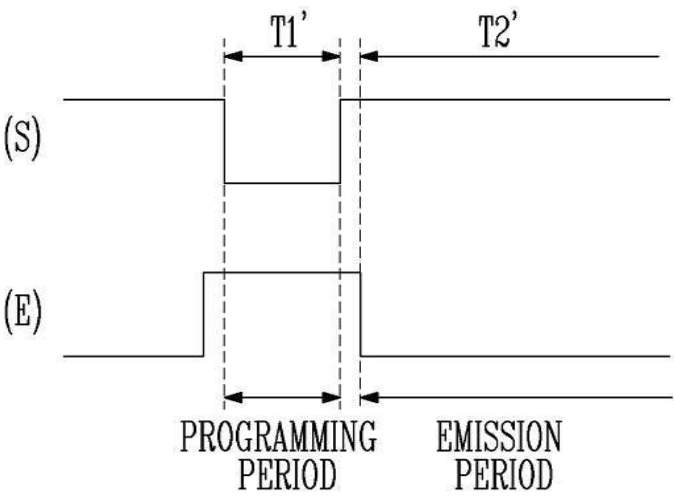
도면4b



도면5



도면6



专利名称(译)	有机电致发光显示装置的像素电路及其驱动方法。		
公开(公告)号	KR100784013B1	公开(公告)日	2007-12-07
申请号	KR1020060033722	申请日	2006-04-13
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	KYUNGHOON CHUNG		
发明人	KYUNGHOON CHUNG		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/325 G09G5/10 G09G2320/0233 H01L27/3265		
代理人(译)	SHIN , YOUNG MOO		
其他公开文献	KR1020070102070A		
外部链接	Espacenet		

摘要(译)

提供了一种OLED装置的像素电路及其驱动方法，以通过使用低灰度表示中的高电流和发光模式中的低电流来获得低灰度下的均匀图像。连接到第一源极电压线的第一晶体管（M1）在第一时段期间控制第一电流（IM1）。在第一时段期间，连接到数据线和第一晶体管的栅极的第二晶体管（M2）导通。在第一时段期间，连接到数据线和第一晶体管的漏极的第三晶体管（M3）导通。在第二时段期间，导通至OLED（有机发光显示）器件（OLED）的漏极和阳极的第四晶体管（M4）导通。电容器（Cst）连接到第一源极电压线和第一晶体管的栅极。连接到第四晶体管的电流分配单元（100）分配第一电流。

