



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2007년07월12일
<i>H05B 33/26</i> (2006.01)	(11) 등록번호	10-0739065
<i>H05B 33/10</i> (2006.01)	(24) 등록일자	2007년07월06일

(21) 출원번호	10-2005-0114785	(65) 공개번호	10-2007-0056304
(22) 출원일자	2005년11월29일	(43) 공개일자	2007년06월04일
심사청구일자	2005년11월29일		

(73) 특허권자 삼성에스디아이 주식회사
 경기 수원시 영통구 신동 575

(72) 발명자 성동영
 경기 용인시 기흥읍 공세리 428-5

 최웅식
 경기 용인시 기흥읍 공세리 428-5

(74) 대리인 팬코리아특허법인

(56) 선행기술조사문헌	
KR1020020079196 A	KR1020040071363 A
JP2003015548 A	JP2004264634 A

심사관 : 추장희

전체 청구항 수 : 총 18 항

(54) 유기 발광 표시장치 및 이의 제조 방법

(57) 요약

IR 드루프를 감소시킨 유기 발광 표시장치 및 이의 제조 방법을 제공한다. 본 발명의 실시예에 따른 유기 발광 표시장치는 구동 TFT로 사용하는 제2 TFT의 소오스 전극에 전기적으로 연결되는 공통 전원 라인을 평탄화막의 상부에 배치되는 발광 소자의 제1 전극과 동일한 물질, 예컨대 Ag를 포함하는 ITO/Ag/ITO로 평탄화막의 상부에 형성한다. 이러한 구성에 의하면, 제1 전극과 동일한 물질로 공통 전원 라인을 형성함으로써, 공통 전원 라인의 IR 드루프를 감소시킬 수 있다.

대표도

도 6

특허청구의 범위

청구항 1.

구동 회로 기관의 서브 픽셀 영역에 배치되는 제1 TFT;

상기 구동 회로 기관의 서브 픽셀 영역에 배치되고 상기 제1 TFT와 함께 구동 회로부를 구성하며, 제2 반도체층과, 게이트 절연막을 사이에 두고 제2 반도체층의 상부에 형성되는 제2 게이트 전극과, 층간 절연막의 상부에 형성되는 소오스 전극 및 드레인 전극을 포함하는 제2 TFT;

상기 게이트 절연막의 상부에서 상기 제2 게이트 전극과 일체로 형성되는 커패시터용 하부 전극;

상기 층간 절연막의 상부에 형성되는 커패시터용 상부 전극;

상기 층간 절연막의 상부에서 상기 커패시터용 상부 전극 및 상기 제2 TFT의 소오스 전극과 일체로 형성되는 보조 공통 전원 라인;

비아를 통해 상기 제2 TFT의 드레인 전극에 전기적으로 연결되는 제1 전극과, 제1 전극의 상측에 배치되는 제2 전극 및 제1 전극과 제2 전극 사이에 배치된 발광층을 포함하며, 상기 구동 회로부의 상부에 배치되는 발광 소자; 및

상기 제1 전극과 동일한 물질로 동일한 층상에 형성되며, 비아를 통해 상기 제2 TFT의 소오스 전극에 전기적으로 연결되는 공통 전원 라인

을 포함하고,

상기 보조 공통 전원 라인과 상기 제2 TFT의 소오스 전극 및 상기 커패시터용 상부 전극 중에서 적어도 하나가 상기 공통 전원 라인에 전기적으로 연결되는 유기 발광 표시장치.

청구항 2.

제 1항에 있어서,

상기 제1 전극은 애노드 전극으로 이루어지는 유기 발광 표시장치.

청구항 3.

제 2항에 있어서,

상기 애노드 전극은 Ag를 포함하는 유기 발광 표시장치.

청구항 4.

제 3항에 있어서,

상기 애노드 전극은 ITO/Ag/ITO로 이루어지는 유기 발광 표시장치.

청구항 5.

삭제

청구항 6.

제 1항에 있어서,

상기 게이트 절연막의 상부에는 상기 제1 TFT의 제1 게이트 전극 및 제1 게이트 전극과 전기적으로 연결되는 스캔 라인이 더욱 제공되고, 상기 층간 절연막의 상부에는 상기 제1 TFT의 소오스 전극 및 드레인 전극과, 상기 제1 TFT의 소오스 전극과 일체로 형성되는 데이터 라인이 제공되는 유기 발광 표시장치.

청구항 7.

삭제

청구항 8.

제 6항에 있어서,

상기 커패시터용 하부 전극은 비아를 통해 상기 제1 TFT의 드레인 전극에 전기적으로 연결되고, 상기 공통 전원 라인은 상기 평탄화막의 상부에 위치하며, 상기 커패시터용 상부 전극은 상기 공통 전원 라인에 비아를 통해 전기적으로 연결되는 유기 발광 표시장치.

청구항 9.

삭제

청구항 10.

제 1항에 있어서,

상기 보조 공통 전원 라인은 상기 공통 전원 라인이 형성된 방향을 따라 인접 배치된 서브 픽셀과 전기적으로 단선되는 유기 발광 표시장치.

청구항 11.

제 1항에 있어서,

상기 보조 공통 전원 라인은 상기 공통 전원 라인이 형성된 방향을 따라 인접 배치된 서브 픽셀과 전기적으로 연결되는 유기 발광 표시장치.

청구항 12.

구동 회로 기판;

소오스 영역과 드레인 영역 및 채널 영역을 구비하며, 상기 구동 회로 기판의 서브 픽셀 영역에 배치되는 제1 TFT의 제1 반도체층 및 제2 TFT의 제2 반도체층;

상기 제1 및 제2 반도체층의 상부에 형성되는 게이트 절연막;

상기 게이트 절연막의 상부에 형성되는 제1 TFT의 제1 게이트 전극 및 제2 TFT의 제2 게이트 전극과, 상기 제1 게이트 전극과 전기적으로 연결되는 스캔 라인과, 상기 제2 게이트 전극과 같은 물질로 형성되는 커패시터용 하부 전극;

상기 제1 및 제2 게이트 전극, 상기 스캔 라인 및 상기 게이트 절연막의 상부에 형성되는 층간 절연막;

상기 층간 절연막의 상부에 배치되는 커패시터용 상부 전극과, 상기 제1 및 제2 TFT의 소오스 전극 및 드레인 전극과, 상기 제1 TFT의 소오스 전극과 일체로 형성되며 상기 스캔 라인과 직교하도록 배치되는 데이터 라인과, 상기 상부 전극 및 상기 제2 TFT의 소오스 전극과 일체로 형성되는 보조 공통 전원 라인;

상기 제1 및 제2 제2 TFT의 소오스 전극 및 드레인 전극과 상기 데이터 라인 및 상기 층간 절연막의 상부에 형성되는 평탄화막;

비아를 통해 상기 제2 TFT의 드레인 전극에 전기적으로 연결되는 제1 전극과, 제1 전극의 상부에 제공되는 발광층 및 발광층의 상부에 제공되는 제2 전극을 포함하며, 상기 평탄화막의 상부에 제공되는 발광 소자; 및

상기 제1 전극과 동일한 물질로 동일한 층상에 제공되며, 비아를 통해 상기 제2 TFT의 소오스 전극에 전기적으로 연결되는 공통 전원 라인

을 포함하는 유기 발광 표시장치.

청구항 13.

제 12항에 있어서,

상기 하부 전극은 비아를 통해 상기 제1 TFT의 드레인 전극과 전기적으로 연결되고, 상기 상부 전극은 비아를 통해 상기 공통 전원 라인과 전기적으로 연결되는 유기 발광 표시장치.

청구항 14.

삭제

청구항 15.

제 12항에 있어서,

상기 보조 공통 전원 라인이 상기 공통 전원 라인이 형성된 방향을 따라 인접 배치된 서브 픽셀과 전기적으로 단선되는 유기 발광 표시장치.

청구항 16.

제 12항에 있어서,

상기 보조 공통 전원 라인이 상기 공통 전원 라인이 형성된 방향을 따라 인접 배치된 서브 픽셀과 전기적으로 연결되는 유기 발광 표시장치.

청구항 17.

제 12항, 제 13항, 제 15항, 및 제 16항 중 어느 한 항에 있어서,

상기 제1 전극은 애노드 전극으로 이루어지는 유기 발광 표시장치.

청구항 18.

제 17항에 있어서,

상기 애노드 전극은 Ag를 포함하는 유기 발광 표시장치.

청구항 19.

제 18항에 있어서,

상기 애노드 전극은 ITO/Ag/ITO로 이루어지는 유기 발광 표시장치.

청구항 20.

구동 회로 기관의 서브 픽셀 영역에 제1 TFT의 제1 반도체층 및 제2 TFT의 제2 반도체층을 형성하는 단계;

게이트 절연막을 형성하는 단계;

제1 TFT의 제1 게이트 전극 및 제1 게이트 전극과 연결되는 스캔 라인과, 제2 TFT의 제2 게이트 전극 및 제2 게이트 전극과 연결되는 커패시터용 하부 전극을 형성하는 단계;

층간 절연막을 형성하는 단계;

제1 TFT의 소오스 전극 및 드레인 전극과, 제2 TFT의 소오스 전극 및 드레인 전극과, 제1 TFT의 소오스 전극과 일체로 형성되는 데이터 라인과, 커패시터용 상부 전극과, 상기 상부 전극 및 상기 제2 TFT의 소오스 전극과 연결되는 보조 공통 전원 라인을 형성하는 단계;

평탄화막을 형성하는 단계;

상기 제2 TFT의 소오스 전극과 상기 상부 전극에 전기적으로 연결되는 공통 전원 라인 및 상기 제2 TFT의 드레인 전극에 전기적으로 연결되는 제1 전극을 서로 동일한 물질로 형성하는 단계; 및

상기 제1 전극 위에 발광층 및 제2 전극을 순차적으로 적층하는 단계

를 포함하는 유기 발광 표시장치의 제조 방법.

청구항 21.

삭제

청구항 22.

제 20항에 있어서,

상기 보조 공통 전원 라인을 상기 공통 전원 라인의 방향을 따라 인접 배치된 서브 픽셀과 전기적으로 단선시키는 유기 발광 표시장치의 제조 방법.

청구항 23.

제 20항에 있어서,

상기 보조 공통 전원 라인을 상기 공통 전원 라인의 방향을 따라 인접 배치된 서브 픽셀과 전기적으로 연결시키는 유기 발광 표시장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 발광 표시장치 및 이의 제조 방법에 관한 것으로서, 보다 상세하게는 IR 드롭(drop)으로 인한 화질 저하를 방지할 수 있는 유기 발광 표시장치 및 이의 제조 방법에 관한 것이다.

최근, 음극선관의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 이러한 평판 표시장치는 액정 표시장치(LCD: Liquid Crystal Display), 전계 방출 표시장치(FED: Field Emission Display), 플라즈마 표시장치(PDP: Plasma Display Panel) 및 유기 발광 표시장치(Organic Light Emitting Display) 등이 있다.

이 중에서 상기 유기 발광 표시장치는 유기 화합물을 전기적으로 여기시켜 발광시키는 자발광형 표시 소자로서, $N \times M$ 개의 유기 발광 소자들을 전압 구동 또는 전류 구동하여 영상을 표현할 수 있도록 되어 있다.

상기 유기 발광 소자는 다이오드 특성을 가져서 유기 발광 다이오드(Organic Light Emitting Diode)라고도 불리며, 이는 정공 주입 전극인 애노드 전극과, 발광층인 유기 박막과 전자 주입 전극인 캐소드 전극의 구조로 이루어져, 각 전극으로부터 각각 정공과 전자를 유기박막 내부로 주입시켜 주입된 정공과 전자가 결합한 엑시톤(exiton)이 여기상태로부터 기저상태로 떨어질 때 발광이 이루어진다.

통상적으로, 상기한 유기 발광 표시장치는 구동 회로부가 형성된 구동 회로 기판을 포함한다. 구동 회로 기판에는 버퍼막이 제공되며, 버퍼막 위에는 복수의 박막 트랜지스터(이하, 'TFT'라 한다)들을 포함하는 구동 회로부가 형성된다.

상기 구동 회로부는 한 개의 유기 발광 셀을 구성하는 3개(적색, 녹색, 청색)의 서브 픽셀(sub pixel)에 대해 적어도 2개의 TFT를 각각 구비한다.

상기 2개의 TFT중 하나인 제1 TFT는 복수의 유기 발광 셀들 중에서 발광시키고자 하는 셀을 선택하는 작용을 하는 스위칭 TFT로서, 제1 TFT의 제1 게이트 전극은 스캔 라인과 전기적으로 연결되고, 소오스 전극은 스캔 라인과 직교하도록 배치된 데이터 라인과 전기적으로 연결되며, 드레인 전극은 제1 반도체층의 드레인 영역 및 커패시터용 하부 전극에 전기적으로 연결된다.

그리고, 2개의 TFT중 다른 하나인 제2 TFT는 선택된 유기 발광 셀의 발광층을 발광시키기 위한 구동 전원을 인가하는 구동 TFT로서, 제2 TFT의 제2 게이트 전극은 커패시터용 하부 전극에 전기적으로 연결되고, 소오스 전극은 공통 전원 라인과 전기적으로 연결된다.

이에, 서브 픽셀 영역에 상기한 구동 회로부와 발광 소자를 형성하는 과정에 대해 간략하게 설명하면 다음과 같다.

구동 회로부를 형성하기 위해, 상기 구동 회로 기판의 일면에 버퍼막을 형성한 후, 버퍼막 상부의 제1 TFT 영역과 제2 TFT 영역에 제1 및 제2 반도체층을 각각 형성한다.

여기에서, 상기 제1 및 제2 반도체층은 소오스 영역과 드레인 영역 및 채널 영역이 각각 형성된 층, 예컨대 폴리실리콘을 말한다. 그리고, 상기 제1 및 제2 반도체층은 서브 픽셀 영역에 각각 한 개씩 형성한다. 따라서, 구동 회로 기판의 액티브 영역에는 서브 픽셀의 2배에 해당하는 반도체층들이 형성된다.

이어서, 제1 및 제2 반도체층과 버퍼막 위에 게이트 절연막을 형성하고, 각 TFT 영역의 게이트 절연막 위로 제1 및 제2 게이트 전극을 각각 형성한다. 이때, 제1 TFT의 제1 게이트 전극에 연결되는 스캔 라인과, 제2 TFT의 게이트 전극에 연결되는 캐패시터용 하부 전극도 동시에 형성한다.

계속하여, 복수의 비아홀을 구비하는 층간 절연막을 상기한 구조물 위에 형성하고, 층간 절연막 위에 제1 TFT의 소오스 전극과 드레인 전극, 제2 TFT의 소오스 전극과 드레인 전극, 제1 TFT의 소오스 전극과 전기적으로 연결되는 데이터 라인 및 제2 TFT의 소오스 전극과 전기적으로 연결되는 공통 전원 라인을 형성한다.

이때, 상기 제1 TFT의 드레인 전극은 캐패시터의 하부 전극에도 전기적으로 연결한다.

이후, 상기한 구조물 위에 평탄화막을 형성한 후, 평탄화막 위에 발광 소자를 형성한다.

상기 발광 소자는 제1 및 제2 전극으로 이루어지는 화소 전극과, 제1 및 제2 전극들 사이에 배치되는 발광층(emitting layer; EML)을 포함한다.

구체적으로, 상기 화소 전극은 정공 주입 전극인 애노드 전극과 전자 주입 전극인 캐소드 전극을 포함하는데, 통상의 유기 발광 표시장치에서는 하층의 제1 전극이 애노드 전극으로 작용하고, 상층의 제2 전극이 캐소드 전극으로 작용하며, 하층의 제1 전극은 제2 TFT의 드레인 전극과 전기적으로 연결된다.

그리고, 상기 발광층은 전자 수송층(Electron Transport Layer; ETL)과 정공 수송층(Hole Transport Layer; HTL)을 포함한 다층 구조로 이루어지며, 전자 주입층(Electron Injection Layer; EIL)과 정공 주입층(Hole Injection Layer; HIL)을 더욱 포함할 수 있다.

이러한 구성의 유기 발광 표시장치에 있어서, 상기한 제1 TFT의 소오스 전극과 드레인 전극, 제2 TFT의 소오스 전극과 드레인 전극, 제1 TFT의 소오스 전극과 전기적으로 연결되는 데이터 라인 및 제2 TFT용 소오스 전극과 전기적으로 연결되는 공통 전원 라인은 통상적으로 Ti/Al/Ti로 이루어진다.

그런데, 상기 Al은 비저항이 $2.2 \times 10^{-6} \Omega \cdot \text{cm}$ 이므로, Al을 포함하는 공통 전원 라인은 비교적 큰 저항값을 나타내게 된다.

따라서, 공통 전원 라인을 따라 IR 드롭(drop)이 발생하게 되면, IR 드롭으로 인해 휘도 불균일 및 크로스 토크의 문제점이 야기되며, 이러한 문제점은 유기 발광 표시장치의 대면적화가 진행될수록 더욱 크게 발생된다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 문제점을 해결하기 위한 것으로서, 그 목적은 IR 드롭을 감소시킨 유기 발광 표시장치를 제공하는 것이다.

본 발명의 다른 목적은 상기한 유기 발광 표시장치를 효과적으로 제조할 수 있는 제조 방법을 제공하는 것이다.

발명의 구성

상기한 목적을 달성하기 위하여 본 발명은,

구동 TFT로 사용하는 제2 TFT의 소오스 전극에 전기적으로 연결되는 공통 전원 라인을 평탄화막의 상부에 배치되는 발광 소자의 제1 전극, 예컨대 애노드 전극과 동일한 물질로 동일한 층상에 형성한 유기 발광 표시장치에 의해 달성할 수 있다.

이러한 구성에 의하면, Ag를 포함하는 전극 물질, 예컨대 ITO/Ag/ITO로 애노드 전극을 형성할 때 상기 공통 전원 라인도 동시에 형성함으로써, 공통 전원 라인의 IR 드롭을 감소시킬 수 있다.

본 발명의 실시예에 의하면, 평탄화막의 상부에 형성되는 상기 공통 전원 라인은 비아를 통해 제2 TFT의 소오스 전극에 전기적으로 연결된다. 그리고, 상기 제1 전극은 비아를 통해 상기 제2 TFT의 드레인 전극에 전기적으로 연결된다.

상기한 구성의 유기 발광 표시장치에 있어서, 제2 TFT의 소오스 전극은 보조 공통 전원 라인과 일체로 형성할 수 있으며, 보조 공통 전원 라인은 공통 전원 라인이 형성된 방향을 따라 인접 배치된 서브 픽셀의 보조 공통 전원 라인과 전기적으로 단선 또는 연결되도록 형성할 수 있다.

인접 서브 픽셀간의 보조 공통 전원 라인을 전기적으로 연결하면, 공통 전원 라인의 단선시에 상기 보조 공통 전원 라인이 공통 전원 라인의 역할을 하게 되므로 암점 발현을 방지할 수 있다.

그리고, 제1 TFT의 소오스 전극과 전기적으로 연결되는 데이터 라인은 이 전극과 동일한 층, 예컨대 층간 절연막의 상부에 상기 전극과 일체로 형성할 수 있다.

다른 예로, 상기 데이터 라인은 공통 전원 라인과 마찬가지로 제1 전극과 동일한 물질로 동일한 층, 예컨대 평탄화막의 상부에 형성할 수 있다.

이 경우, 상기 데이터 라인은 제1 TFT의 소오스 전극과 비아를 통해 전기적으로 연결할 수 있다.

그리고, 제1 TFT의 드레인 전극은 게이트 절연막의 상부에 형성된 커패시터용 하부 전극과 비아를 통해 전기적으로 연결되며, 층간 절연막의 상부에 형성되는 커패시터용 상부 전극(또는 보조 공통 전원 라인 또는 제2 TFT의 소오스 전극)은 평탄화막 상부에 제공된 공통 전원 라인과 비아를 통해 전기적으로 연결된다.

이러한 구성의 유기 발광 표시장치는 공통 전원 라인이 Ag를 포함하는 전극 형성 물질로 이루어지므로, IR 드롭을 감소시킬 수 있다.

이하, 첨부한 도면을 참조하여 본 발명의 실시예를 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

이하의 실시예를 설명함에 있어서, 층, 막 등의 부분이 다른 부분의 "상부"에 형성된다고 할 때, 이는 다른 부분의 "바로 위에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

그리고, 이하의 실시예는 2개의 TFT와 1개의 커패시터로 이루어지는 2Tr-1Cap 구조의 구동 회로부를 예로 들어 설명하지만, 본 발명은 구동 회로부의 구조에 제약받지 않으며, 상기 구동 회로부는 제품(application)에 따라 다양한 형태로 변형이 가능하다.

도 1 내지 도 5는 본 발명의 일실시예에 따른 유기 발광 표시장치의 제조 방법을 나타내기 위해 주요부 구성을 개략적으로 나타내는 사시도이고, 도 6은 도 5의 "VI-VI" 단면도이며, 도 7은 도 5의 "VII-VII" 단면도이다. 여기에서, 상기 도 6 및 도 7은 도 5의 구동 회로 기판에 발광 소자를 형성한 것으로 가정하고 도시하였다.

본 발명의 실시예에 따른 유기 발광 표시장치는 구동 회로 기판(10)을 구비한다. 상기 구동 회로 기판(10)으로는 투명한 재질의 글라스 기판 또는 불투명한 재질의 수지재 기판을 사용할 수 있으며, 휘어질 수 있을 정도의 얇은 금속재 기판도 사용이 가능하다.

도면의 간략화를 위해, 도 1 내지 도 5에는 한 개의 서브 픽셀 영역 중 구동 회로부가 형성되는 영역의 구동 회로 기판만 도시하였다.

이를 참조로 하여 본 발명의 실시예를 설명하면, 도 1에 도시한 바와 같이 구동 회로 기판(10)에 버퍼막(20)을 형성하고, 버퍼막(20) 상부의 제1 TFT 영역과 제2 TFT 영역에 제1 반도체층(110)과 제2 반도체층(210)을 각각 형성한다.

여기에서, 상기한 제1 및 제2 반도체층(110,210)은 소오스 영역(112,212)과 드레인 영역(114,214) 및 채널 영역(116,216)을 각각 구비하는 폴리실리콘을 말한다.

이어서, 도 2에 도시한 바와 같이 게이트 절연막(22)을 형성하고, 게이트 절연막(22) 상부에 제1 게이트 전극(120), 이 전극과 일체로 형성되는 스캔 라인(310), 제2 게이트 전극(220) 및 이 전극과 일체로 형성되는 커패시터(320)용 하부 전극(322)을 각각 형성한다.

계속하여, 도 3 및 도 4에 도시한 바와 같이 층간 절연막(24)을 형성하고, 층간 절연막(24)의 상부에는 Ti/Al/Ti를 이용하여 제1 TFT의 소오스 전극(130) 및 드레인 전극(140), 제1 TFT의 소오스 전극(130)과 일체로 형성되는 데이터 라인(330), 제2 TFT의 소오스 전극(230) 및 드레인 전극(240), 제2 TFT의 소오스 전극(230)과 일체로 형성되는 보조 공통 전원 라인(340), 및 이 라인(340)과 일체로 형성되는 커패시터(320)용 상부 전극(324)을 각각 형성한다.

상기 데이터 라인(330)은 스캔 라인(310)과 직교하는 방향으로 제공하며, 제1 TFT의 소오스 전극(130)은 비아(132)를 통해 소오스 영역(112)과 전기적으로 연결하고, 드레인 전극(140)은 비아(142)를 통해 드레인 영역(114)과 전기적으로 연결하며, 또다른 비아(144)를 통해 커패시터(320)용 하부 전극(322)과 전기적으로 연결한다.

그리고, 제2 TFT의 소오스 전극(230)은 제2 TFT의 소오스 영역(212)과 비아(232)를 통해 전기적으로 연결하며, 드레인 전극(240)은 드레인 영역(214)과 비아(242)를 통해 전기적으로 연결한다.

이후, 도 5에 도시한 바와 같이 평탄화막(26)을 형성하고, 평탄화막(26)의 상부에는 공통 전원 라인(350)과 제1 전극(410)을 형성한다. 여기에서, 상기 제1 전극(410)은 정공 주입 전극으로서의 애노드 전극이다.

이때, 상기한 공통 전원 라인(350)과 제1 전극(410)은 Ag를 포함하는 물질, 바람직하게는 ITO/Ag/ITO의 다층 구조로 형성한다.

공통 전원 라인(350)은 스캔 라인(310)과 직교하는 방향으로 상기 데이터 라인(330)과 마주보는 위치에 형성한다. 그리고, 공통 전원 라인(350)은 제2 TFT의 소오스 전극(230)과 비아(352)를 통해 전기적으로 연결한다. 도시하지는 않았지만, 상기 공통 전원 라인(350)은 비아를 통해 하부의 커패시터용 상부 전극(324)과 전기적으로 연결할 수도 있다.

그리고, 제1 전극(410)은 제2 TFT의 드레인 전극(240)과 비아(412)를 통해 전기적으로 연결한다.

이후, 화소 정의막(440)을 형성하여 상기 제1 전극(410)을 노출시키고, 제1 전극(410) 위에 발광층(420) 및 제2 전극(430)을 형성하여 화소부(400)를 형성한다. 여기에서, 상기 제2 전극(430)은 전자 주입 전극으로서의 캐소드 전극이다. 물론, 제품 사양에 따라 상기 제1 전극 및 제2 전극은 서로 바뀔 수도 있다.

상기한 공정에 따라 구동 회로 기판(10)의 구조물들을 모두 형성한 후에는 도시하지 않은 인캡 글라스 또는 메탈 캡을 사용하거나 봉지용 박막을 형성하여 봉지 작업을 진행한다.

이러한 구성의 실시예에 의하면, 공통 전원 라인(350)이 Ag를 포함하는 제1 전극(410)과 동일한 물질, 예컨대 ITO/Ag/ITO로 형성된다. 그런데, 상기 Ag는 비저항이 $1.62 \times 10^{-6} \Omega \cdot \text{cm}$ 이므로, 보조 공통 전원 라인(340)을 구성하는 Al에 비해 비저항이 낮다.

따라서, Ag를 포함하는 전극 형성 물질로 이루어진 공통 전원 라인(350)은 Al을 포함하는 물질로 이루어지는 경우에 비해 IR 드롭을 감소시킬 수 있으므로, 불필요하게 낭비되는 전압을 줄일 수 있어 소비전력을 감소시킬 수 있고, 수직 크로스 토크를 억제하여 화질을 개선할 수 있다.

도 8은 본 발명의 다른 실시예에 따른 유기 발광 표시장치의 주요부 구성을 개략적으로 나타내는 사시도이다.

본 실시예의 유기 발광 표시장치는 보조 공통 전원 라인(340')이 공통 전원 라인(350)이 형성된 방향을 따라 인접 배치된 서브 픽셀의 보조 공통 전원 라인과 전기적으로 단선되는 것을 제외하고는 전술한 실시예와 동일한 구성으로 이루어지므로, 이에 대한 설명은 생략한다.

그리고, 도시하지는 않았지만 상기 데이터 라인, 또는 데이터 라인과 제1 TFT의 소오스 전극 및 드레인 전극을 공통 전원 라인과 마찬가지로 평탄화막 위에 형성할 수 있다.

이상을 통해 본 발명의 바람직한 실시예에 대하여 설명하였지만, 본 발명은 이에 한정되는 것이 아니고 특허청구범위와 발명의 상세한 설명 및 첨부한 도면의 범위 안에서 여러 가지로 변형하여 실시하는 것이 가능하고 이 또한 본 발명의 범위에 속하는 것은 당연하다.

발명의 효과

이상에서 설명한 바와 같이 본 발명의 실시예에 따른 유기 발광 표시장치는 Al에 비해 비저항이 낮은 물질, 예컨대 Ag를 포함하는 애노드 전극 형성 물질로 공통 전원 라인을 형성하고 있으므로, IR 드롭을 감소시킬 수 있다.

따라서, 불필요하게 낭비되는 전압을 줄일 수 있어 소비전력을 감소시킬 수 있고, 수직 크로스 토크를 억제하여 화질을 개선할 수 있는 등의 효과가 있다.

도면의 간단한 설명

도 1 내지 도 5는 본 발명의 일실시예에 따른 유기 발광 표시장치의 제조 방법을 나타내기 위해 주요부 구성을 개략적으로 나타내는 사시도이다.

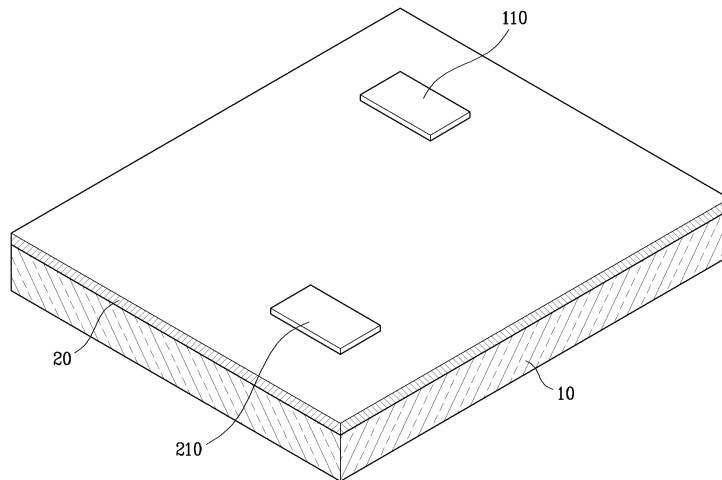
도 6은 도 5의 구동 회로 기판에 발광 소자가 형성된 상태를 나타내는 "VI-VI" 단면도이다.

도 7은 도 5의 구동 회로 기판에 발광 소자가 형성된 상태를 나타내는 "VII-VII" 단면도이다.

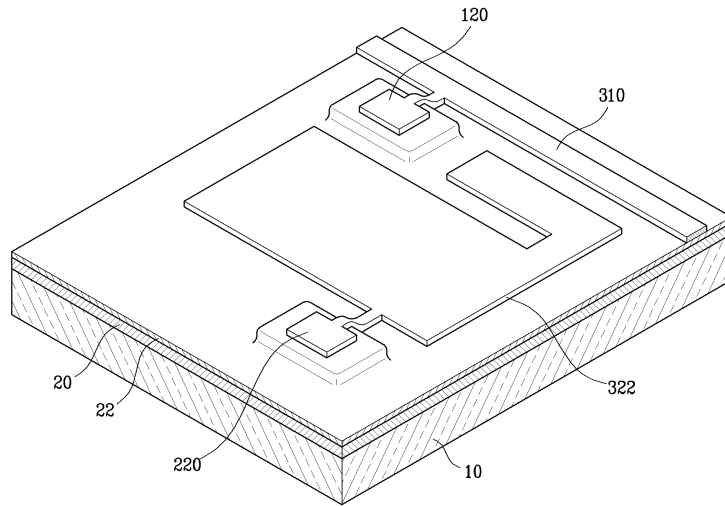
도 8은 본 발명의 다른 실시예에 따른 유기 발광 표시장치의 주요부 구성을 개략적으로 나타내는 사시도이다.

도면

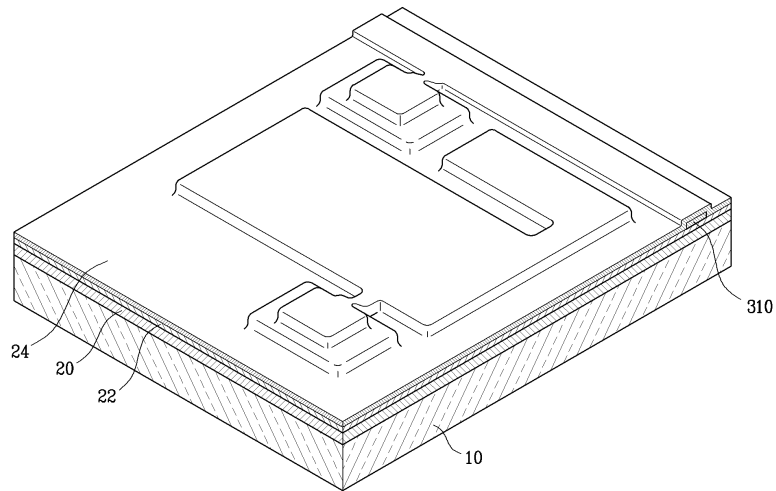
도면1



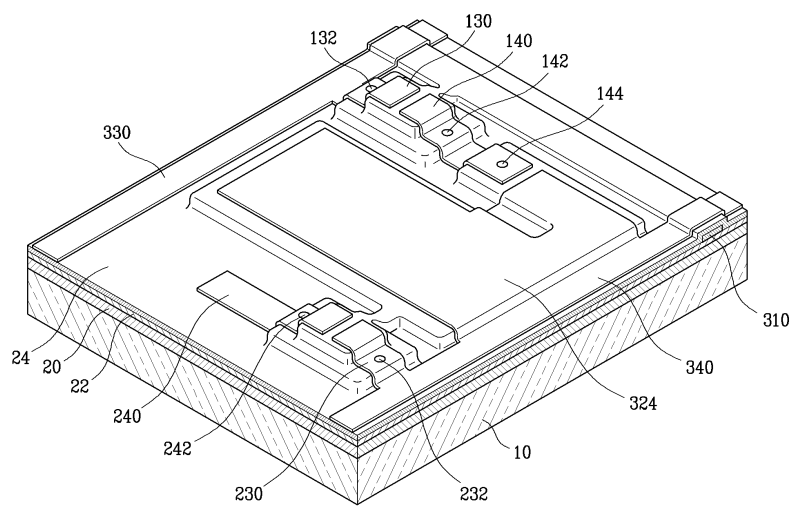
도면2



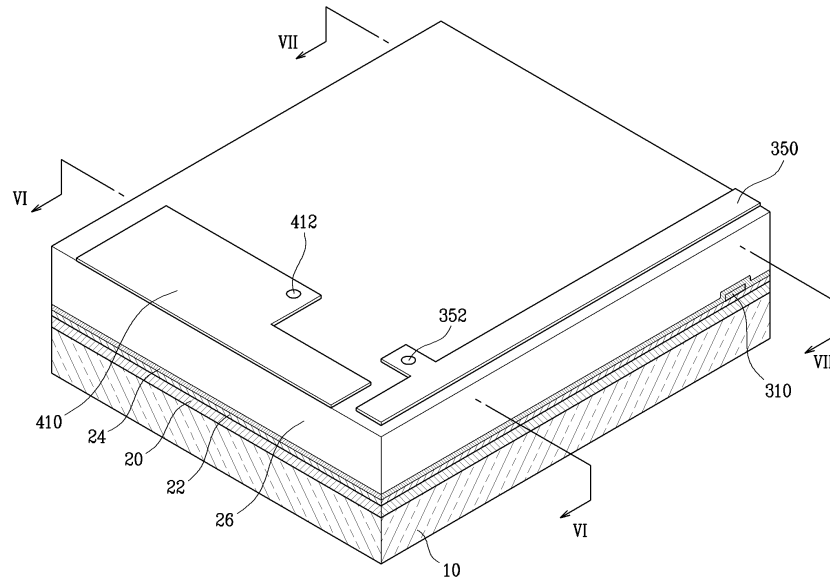
도면3



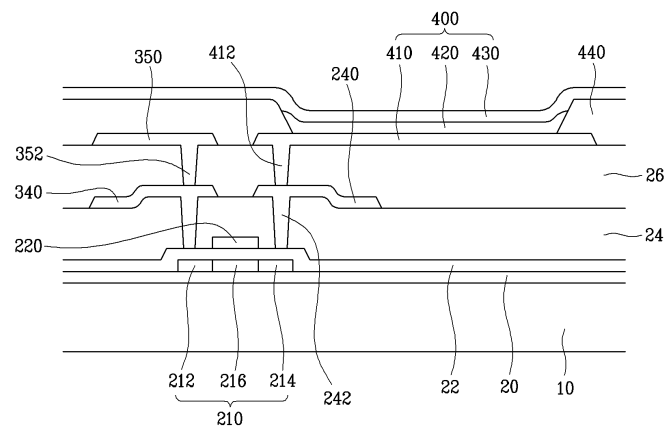
도면4



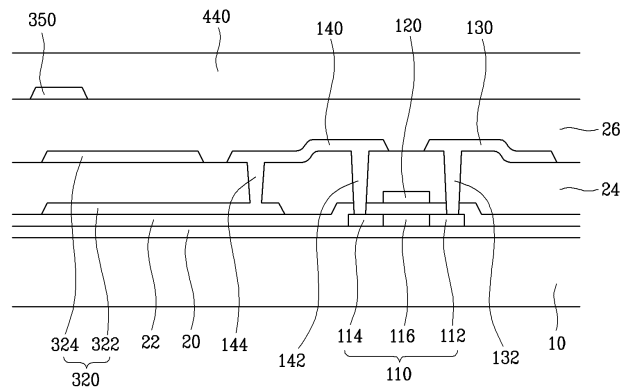
도면5



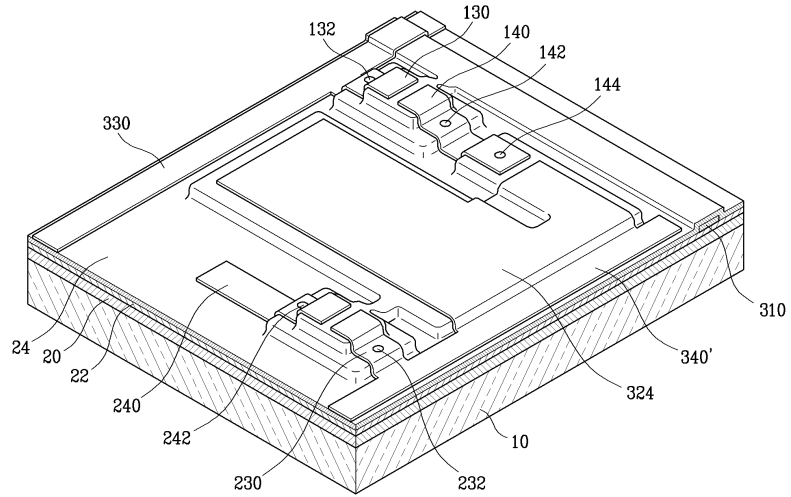
도면6



도면7



도면8



专利名称(译)	有机发光显示装置及其制造方法		
公开(公告)号	KR100739065B1	公开(公告)日	2007-07-12
申请号	KR1020050114785	申请日	2005-11-29
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	SUNG DONG YOUNG 성동영 CHOI MICHAEL 최웅식		
发明人	성동영 최웅식		
IPC分类号	H05B33/26 H05B33/10		
CPC分类号	H01L27/3244 H01L27/3276 H01L27/1214 H01L51/5206 H01L27/124 H01L27/3262 H01L27/3265 H01L2227/323		
其他公开文献	KR1020070056304A		
外部链接	Espacenet		

摘要(译)

提供了降低IR降的有机发光显示装置及其制造方法。它在平坦化膜的上部形成ITO / Ag / ITO，其中根据本发明优选实施方案的有机发光显示装置包括诸如发光器件的第一电极的材料，并且用于例如，Ag。诸如发光器件的第一电极的材料是电连接在用作驱动TFT的第2TFT源电极中的平坦化膜的上部中的公共电源线。根据该配置，公共电源线形成为诸如第一电极的材料。以这种方式，可以减小公共电力线的IR压降。OLED，普通电源线，亮度，电阻率，阳极，。

