



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.		(45) 공고일자	2007년01월19일
<i>H05B 33/26</i> (2006.01)		(11) 등록번호	10-0671655
<i>H05B 33/10</i> (2006.01)		(24) 등록일자	2007년01월12일
(21) 출원번호	10-2005-0120896	(65) 공개번호	
(22) 출원일자	2005년12월09일	(43) 공개일자	
심사청구일자	2005년12월09일		

(73) 특허권자	삼성에스디아이 주식회사 경기 수원시 영통구 신동 575
(72) 발명자	김영재 경기 용인시 기흥읍 공세리 428-5 삼성SDI 중앙연구소
(74) 대리인	신영무

심사관 : 추장희

전체 청구항 수 : 총 10 항

(54) 유기 발광 표시장치 및 그 제조방법

(57) 요약

본 발명은 화소 영역을 효율적으로 활용할 수 있도록 한 유기 발광 표시장치에 관한 것이다.

본 발명의 유기 발광 표시장치는 복수의 주사선, 데이터선 및 전원 공급선에 접속된 복수의 화소를 포함하는 화소부와, 상기 주사선에 주사신호를 인가하는 주사 구동부 및 상기 데이터선에 데이터 신호를 인가하는 데이터 구동부를 구비하며, 상기 화소들 각각은 유기 반도체층을 포함하는 적어도 하나의 유기 박막 트랜지스터를 포함하며, 상기 복수의 화소 중 하나의 행에 인접하게 위치한 적어도 두 개의 화소는 상기 복수의 전원 공급선 중 어느 하나의 전원 공급선을 공유한다.

이에 의하여, 공정이 더 단순화됨과 아울러 저장용 커패시터를 형성하기 위한 영역이 더 확보되는 등 화소 영역을 효율적으로 활용할 수 있게 된다.

대표도

도 3

특허청구의 범위

청구항 1.

복수의 주사선, 데이터선 및 전원 공급선에 접속된 복수의 화소를 포함하는 화소부;

상기 주사선에 주사신호를 인가하는 주사 구동부; 및

상기 데이터선에 데이터 신호를 인가하는 데이터 구동부를 구비하며,

상기 화소들 각각은 유기 반도체층을 포함하는 적어도 하나의 유기 박막 트랜지스터를 포함하며, 상기 복수의 화소 중 하나의 행에 인접하게 위치한 적어도 두 개의 화소는 상기 복수의 전원 공급선 중 어느 하나의 전원 공급선을 공유하는 유기 발광 표시장치.

청구항 2.

제1 항에 있어서,

상기 전원 공급선을 공유하는 화소들은 상기 전원 공급선을 중심으로 서로 대칭되는 구조로 형성된 유기 발광 표시장치.

청구항 3.

제1 항에 있어서,

상기 화소들 각각은

제1 전원과 제2 전원 사이에 접속되는 유기 발광 다이오드;

상기 주사선, 상기 데이터선 및 제1 노드에 접속된 제1 트랜지스터;

상기 제1 노드와 상기 제2 전원 사이에 접속된 저장용 커패시터; 및

상기 제1 노드, 상기 유기 발광 다이오드 및 상기 제2 전원 사이에 접속되는 제2 트랜지스터를 포함하는 유기 발광 표시장치.

청구항 4.

제3 항에 있어서,

상기 제2 전원을 공급받는 전원 공급선을 공유하는 화소들의 상기 제2 트랜지스터의 소스 전극들은 상기 전원 공급선에 공통으로 접속되며, 상기 전원 공급선과 동일한 물질로 형성된 유기 발광 표시장치.

청구항 5.

제3 항에 있어서,

상기 제1 트랜지스터와 상기 제2 트랜지스터는 반도체층을 기준으로 게이트 전극의 위치가 서로 상이한 구조로 형성된 유기 발광 표시장치.

청구항 6.

제1 항에 있어서,

상기 유기 박막 트랜지스터는 엔모스 타입으로 형성되며, 상기 유기 박막 트랜지스터의 유기 반도체층은 펜타센으로 이루어진 유기 발광 표시장치.

청구항 7.

기관 상의 각 화소 영역에 유기 반도체층을 구비한 제1 및 제2 트랜지스터를 형성하는 단계; 및

상기 각 화소 영역에 형성된 복수의 화소들 중 하나의 행에 인접한 적어도 두 화소 사이에 적어도 하나의 전원 공급선을 형성하는 단계를 포함하며,

상기 전원 공급선은 상기 인접한 적어도 두 화소 각각에 구비되는 상기 제2 트랜지스터들과 공통으로 접속되도록 형성하는 유기 발광 표시장치의 제조방법.

청구항 8.

제7 항에 있어서,

상기 전원 공급선과 상기 전원 공급선에 접속되는 상기 제2 트랜지스터들의 소스 전극은 동일한 재료로 형성하는 유기 발광 표시장치의 제조방법.

청구항 9.

제7 항에 있어서,

상기 전원 공급선에 공통으로 접속된 화소들은 상기 전원 공급선을 중심으로 서로 대칭되도록 형성하는 유기 발광 표시장치의 제조방법.

청구항 10.

제7 항에 있어서,

상기 제1 및 제2 트랜지스터는 반도체층을 기준으로 게이트 전극의 위치가 서로 상이하도록 형성하는 유기 발광 표시장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 발광 표시장치 및 그 제조방법에 관한 것으로, 특히 화소 영역을 효율적으로 활용할 수 있도록 한 유기 발광 표시장치 및 그 제조방법에 관한 것이다.

최근, 음극선관과 비교하여 무게가 가볍고 부피가 작은 각종 평판 표시장치들이 개발되고 있으며 특히 발광효율, 휘도 및 시야각이 뛰어나고 응답속도가 빠른 발광 표시장치가 주목받고 있다.

이러한 발광 표시장치로는 유기 발광 다이오드(Organic Light Emitting Diode, OLED)를 이용한 유기 발광 표시장치와 무기 발광 다이오드(Light Emitting Diode, LED)를 이용한 무기 발광 표시장치가 있다. 유기 발광 다이오드는 애노드 전극, 캐소드 전극 및 이들 사이에 위치하여 전자와 정공의 결합에 의하여 발광하는 유기 발광층을 포함한다. 무기 발광 다이오드는 유기 발광 다이오드와 달리 무기물인 발광층, 일례로 PN 접합된 반도체로 이루어진 발광층을 포함한다.

도 1은 종래의 유기 발광 표시장치의 화소 영역에 구비된 복수의 화소들을 나타내는 회로도이다.

도 1을 참조하면, 종래의 유기 발광 표시장치의 화소 영역에는 주사선(S[n]), 데이터선(D) 및 제1 전원선(L1)에 접속되는 복수의 화소들이 구비된다. 편의상, 왼쪽에서 오른쪽 방향으로 제1 화소(10), 제2 화소(20), 제3 화소(30) 및 제4 화소(40)라 칭하기로 한다. 여기서, 적색 유기 발광 다이오드(OLED_R)를 포함하는 제1 화소(10) 및 제4 화소(40)는 적색 부화소이고, 녹색 유기 발광 다이오드(OLED_G)를 포함하는 제2 화소(20)는 녹색 부화소이며, 청색 유기 발광 다이오드(OLED_B)를 포함하는 제3 화소(30)는 청색 부화소이다. 그리고, 제1 화소(10), 제2 화소(20) 및 제3 화소(30)와 같이 동일한 행에 인접하게 위치한 적색, 녹색 및 청색 부화소는 하나의 화소를 이룬다.

이와 같은 각각의 화소들은 제1 트랜지스터(M1), 제2 트랜지스터(M2), 저장용 커패시터(Cst) 및 유기 발광 다이오드(OLED)를 구비한다.

제1 트랜지스터(M1)의 게이트 전극은 주사선(S[n])에 접속된다. 그리고, 제1 트랜지스터(M1)의 제1 전극은 데이터선(D)에 접속되고, 제2 전극은 제1 노드(N1)에 접속된다. 여기서, 제1 트랜지스터(M1)의 제1 전극과 제2 전극은 서로 다른 전극이다. 예를 들어, 제1 전극이 소스 전극이면 제2 전극은 드레인 전극이다. 이와 같은 제1 트랜지스터(M1)는 주사선(S[n])으로 주사신호가 공급될 때 턴-온되어 데이터선(D)으로 공급되는 데이터신호를 제1 노드(N1)로 공급한다.

제2 트랜지스터(M2)의 게이트 전극은 제1 노드(N1)에 접속된다. 그리고, 제2 트랜지스터(M2)의 제1 전극은 제1 전원선(L1)에 접속되고, 제2 전극은 유기 발광 다이오드(OLED)의 애노드 전극에 접속된다. 이와 같은 제2 트랜지스터(M2)는 자신의 게이트 전극에 공급되는 전압(즉, 제1 노드(N1)의 전압)에 대응하여 제1 전원(ELVDD)으로부터 유기 발광 다이오드(OLED)의 애노드 전극으로 흐르는 전류를 제어한다.

저장용 커패시터(Cst)의 제1 단자는 제1 노드(N1)에 접속되고, 제2 단자는 제1 전원선(L1)에 접속된다. 이와 같은 저장용 커패시터(Cst)는 주사선(S[n])에 주사신호가 공급될 때 제1 노드(N1)로 공급되는 데이터신호에 대응되는 전압을 저장하고, 저장된 전압을 한 프레임 동안 유지한다.

유기 발광 다이오드(OLED)의 애노드 전극은 제2 트랜지스터(M2)의 제2 전극에 접속되고, 캐소드 전극은 제2 전원(ELVSS)에 접속된다. 여기서, 유기 발광 다이오드(OLED)는 애노드 전극, 캐소드 전극 및 이들 사이에 위치하여 전자와 정공의 결합에 의하여 발광하는 유기 발광층을 포함한다. 이와 같은 유기 발광 다이오드(OLED)는 유기 발광층에 포함되는 물질에 따라 적색, 녹색 및 청색 중 어느 하나의 빛을 생성하며, 제2 트랜지스터(M2)로부터 공급되는 전류에 대응하는 휘도로 발광한다.

전술한 화소들에 있어서, 제1 내지 제4 화소들(10 내지 40) 각각은 서로 다른 제1 전원선(L1)과 접속된다. 즉, 종래에는 수평방향으로 형성되는 j (j 는 자연수) 개의 화소들과 접속되도록 j 개의 제1 전원선(L1)이 형성된다. 하지만, 이와 같은 화소들 각각이 서로 다른 제1 전원선(L1)과 접속되면 화소들이 형성될 면적이 줄어들게 된다. 이에 따라, 종래에는 화소들의 개구율이 감소되고, 화소 영역이 효율적으로 활용되지 못하는 문제점이 발생되었다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 화소 영역을 효율적으로 활용할 수 있도록 한 유기 발광 표시장치를 제공하는 것이다.

발명의 구성

상기 목적을 달성하기 위하여, 본 발명의 제1 측면은 복수의 주사선, 데이터선 및 전원 공급선에 접속된 복수의 화소를 포함하는 화소부와, 상기 주사선에 주사신호를 인가하는 주사 구동부 및 상기 데이터선에 데이터 신호를 인가하는 데이터 구동부를 구비하며, 상기 화소들 각각은 유기 반도체층을 포함하는 적어도 하나의 유기 박막 트랜지스터를 포함하며, 상기 복수의 화소 중 하나의 행에 인접하게 위치한 적어도 두 개의 화소는 상기 복수의 전원 공급선 중 어느 하나의 전원 공급선을 공유하는 유기 발광 표시장치를 제공한다.

바람직하게, 상기 전원 공급선을 공유하는 화소들은 상기 전원 공급선을 중심으로 서로 대칭되는 구조로 형성된다. 상기 화소들 각각은 제1 전원과 제2 전원 사이에 접속되는 유기 발광 다이오드와, 상기 주사선, 상기 데이터선 및 제1 노드에 접속된 제1 트랜지스터와, 상기 제1 노드와 상기 제2 전원 사이에 접속된 저장용 커패시터 및 상기 제1 노드, 상기 유기 발광 다이오드 및 상기 제2 전원 사이에 접속되는 제2 트랜지스터를 포함한다. 상기 제2 전원을 공급받는 전원 공급선을 공유하는 화소들의 상기 제2 트랜지스터의 소스 전극들은 상기 전원 공급선에 공통으로 접속되며, 상기 전원 공급선과 동일한 물질로 형성된다. 상기 제1 트랜지스터와 상기 제2 트랜지스터는 반도체층을 기준으로 게이트 전극의 위치가 서로 상이한 구조로 형성된다. 상기 유기 박막 트랜지스터는 엔모스 타입으로 형성되며, 상기 유기 박막 트랜지스터의 유기 반도체층은 펜타센으로 이루어진다.

본 발명의 제2 측면은 기판 상의 각 화소 영역에 유기 반도체층을 구비한 제1 및 제2 트랜지스터를 형성하는 단계 및 상기 각 화소 영역에 형성된 복수의 화소들 중 하나의 행에 인접한 적어도 두 화소 사이에 적어도 하나의 전원 공급선을 형성하는 단계를 포함하며, 상기 전원 공급선은 상기 인접한 적어도 두 화소 각각에 구비되는 상기 제2 트랜지스터들과 공통으로 접속되도록 형성하는 유기 발광 표시장치의 제조방법을 제공한다.

바람직하게, 상기 전원 공급선과 상기 전원 공급선에 접속되는 상기 제2 트랜지스터들의 소스 전극은 동일한 재료로 형성한다. 상기 전원 공급선에 공통으로 접속된 화소들은 상기 전원 공급선을 중심으로 서로 대칭되도록 형성한다. 상기 제1 및 제2 트랜지스터는 반도체층을 기준으로 게이트 전극의 위치가 서로 상이하도록 형성한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있는 바람직한 실시 예가 첨부된 도 2 내지 도 8을 참조하여 자세히 설명하면 다음과 같다.

도 2는 본 발명의 실시예에 의한 유기 발광 표시장치를 나타내는 도면이다.

도 2를 참조하면, 본 발명의 실시예에 의한 유기 발광 표시장치는 화소부(200), 주사 구동부(220) 및 데이터 구동부(230)를 구비한다.

화소부(200)는 유기 발광 다이오드(OLED)(미도시)를 구비한 복수의 화소(210)로 이루어져 있으며, 각각의 화소들(210)은 주사선들(S[1] 내지 S[n]) 및 데이터선들(D[1]_R 내지 D[m]_B)에 의하여 구획된 영역에 형성된다. 이와 같은 화소부(200)는 외부로부터 제1 전원(ELVDD) 및 제2 전원(ELVSS)을 공급받는다. 화소(210) 각각은 주사신호, 데이터 신호, 제1 전원(ELVDD) 및 제2 전원(ELVSS)을 공급받아 영상을 표시한다. 여기서, 제1 및/또는 제2 전원선은 동일한 열 또는 행에 위치하는 화소(210)들에 접속되도록 라인 형태로 패터닝되어 화소들(210) 사이에 형성될 수도 있고, 화소부(200) 전체에 형성될 수도 있다.

주사 구동부(220)는 주사신호를 생성한다. 주사 구동부(220)에서 생성된 주사신호는 주사선들(S[1] 내지 S[n])로 순차적으로 공급된다.

데이터 구동부(230)는 데이터 신호를 생성한다. 데이터 구동부(230)에서 생성된 데이터 신호는 주사신호와 동기되도록 데이터선들(D[1]_R 내지 D[m]_B)로 공급되어 각 화소(210)로 전달된다.

도 3은 도 2에 도시된 화소들의 일례를 나타내는 회로도이다. 도 3에서 트랜지스터들은 유기 박막 트랜지스터(Organic Thin Film Transistor, OTFT)로 형성된다. 따라서, 도 3에는 트랜지스터들을 엔(N)-타입으로 도시하기로 한다.

도 3을 참조하면, 도 2에 도시된 화소들은 주사선(S[n]), 데이터선(D) 및 제1 배선(L1)에 접속된다. 여기서, 트랜지스터들(M1, M2)이 엔(N)-타입이므로 제1 배선(L1)은 제2 전원(ELVSS)을 공급받는 전원 공급선이다. 편의상, 왼쪽에서 오른쪽 방향으로 제1 화소(310), 제2 화소(320), 제3 화소(330) 및 제4 화소(340)라 칭하기로 한다. 이와 같은 제1 내지 제4 화소(310 내지 340)에 있어서, 적색 유기 발광 다이오드(OLED_R)를 포함하는 제1 화소(310) 및 제4 화소(340)는 적색 부화소이고, 녹색 유기 발광 다이오드(OLED_G)를 포함하는 제2 화소(320)는 녹색 부화소이며, 청색 유기 발광 다이오드(OLED_B)를 포함하는 제3 화소(330)는 청색 부화소이다. 그리고, 제1 화소(310), 제2 화소(320) 및 제3 화소(330)와 같이 동일한 행에 인접하게 위치한 적색, 녹색 및 청색 부화소는 하나의 화소를 이룬다.

제1 내지 제4 화소(310 내지 340) 각각은 제1 트랜지스터(M1), 제2 트랜지스터(M2), 저장용 커패시터(Cst) 및 유기 발광 다이오드(OLED)를 구비한다.

제1 트랜지스터(M1)의 게이트 전극은 주사선(S[n])에 접속된다. 그리고, 제1 트랜지스터(M1)의 제1 전극은 데이터선(D)에 접속되고, 제2 전극은 제1 노드(N1)에 접속된다. 여기서, 제1 트랜지스터(M1)의 제1 전극과 제2 전극은 서로 다른 전극이다. 예를 들어, 제1 전극이 드레인 전극이면 제2 전극은 소스 전극이다. 이와 같은 제1 트랜지스터(M1)는 주사선(S[n])으로 주사신호(하이-레벨)가 공급될 때 턴-온되어 데이터선(D)으로 공급되는 데이터신호를 제1 노드(N1)로 공급한다.

제2 트랜지스터(M2)의 게이트 전극은 제1 노드(N1)에 접속된다. 그리고, 제2 트랜지스터(M2)의 제1 전극은 유기 발광 다이오드(OLED)의 캐소드 전극에 접속되고, 제2 전극은 제1 배선(L1)에 접속된다. 이와 같은 제2 트랜지스터(M2)는 자신의 게이트 전극에 공급되는 전압(즉, 제1 노드(N1)의 전압)에 대응하여 제1 전원(ELVDD)으로부터 유기 발광 다이오드(OLED)를 경유하여 제2 전원(ELVSS)으로 흐르는 전류를 제어한다. 여기서, 제1 및 제2 트랜지스터(M1, M2)는 펜타센(Pentacene)과 같은 유기 반도체 물질을 포함하는 유기 박막 트랜지스터로 형성된다.

저장용 커패시터(Cst)의 제1 단자는 제1 노드(N1)에 접속되고, 제2 단자는 제1 배선(L1)에 접속된다. 이와 같은 저장용 커패시터(Cst)는 주사선(S[n])에 주사신호가 공급될 때 제1 노드(N1)로 공급되는 데이터신호에 대응되는 전압을 저장하고, 저장된 전압을 한 프레임 동안 유지한다.

유기 발광 다이오드(OLED)의 애노드 전극은 제1 전원(ELVDD)에 접속되고, 캐소드 전극은 제2 트랜지스터(M2)의 제1 전극에 접속된다. 여기서, 유기 발광 다이오드(OLED)는 애노드 전극, 캐소드 전극 및 이들 사이에 위치하여 전자와 정공의 결합에 의하여 발광하는 유기 발광층을 포함한다. 이와 같은 유기 발광 다이오드(OLED)는 유기 발광층에 포함되는 물질에 따라 적색, 녹색, 청색 중 어느 하나의 빛을 생성하며, 제2 트랜지스터(M2)에 의해 제어되는 전류에 대응하는 휘도로 발광한다.

전술한 제1 내지 제4 화소들(310 내지 340)에 있어서, 전원 공급선인 제1 배선(L1)은 인접한 두 화소 사이, 즉, 제1 화소(310)와 제2 화소(320) 사이 및 제3 화소(330)와 제4 화소(340) 사이에 위치된다. 다시 말하여, 제1 화소(310)와 제2 화소(320)는 하나의 제1 배선(L1)을 공유하며, 마찬가지로 제3 화소(330)와 제4 화소(340)도 하나의 제1 배선(L1)을 공유한다. 그리고, 제1 배선(L1)을 공유하는 두 화소는 제1 배선(L1)을 기준으로 서로 대칭되도록 형성된다.

이와 같이 구성된 화소들(310 내지 340)의 동작과정을 상세히 설명하면, 먼저 주사선(S[n])에 주사신호가 공급되면 제1 트랜지스터(M1)가 턴-온된다. 제1 트랜지스터(M1)가 턴-온되면 데이터선(D)으로 공급되는 데이터신호가 제1 트랜지스터(M1)를 경유하여 제1 노드(N1)로 공급된다. 제1 노드(N1)에 데이터신호가 공급되면 저장용 커패시터(Cst)에는 데이터신호에 대응되는 전압이 충전된다. 그러면, 제2 트랜지스터(M2)는 자신의 게이트 전극에 공급되는 전압(즉, 데이터신호에 대응되는 전압)에 대응하여 제1 전원(ELVDD)으로부터 유기 발광 다이오드(OLED)를 경유하여 제2 전원(ELVSS)으로 흐르는 전류를 제어한다. 이에 따라, 유기 발광 다이오드(OLED)는 데이터신호에 대응되는 빛을 생성한다.

도 4는 도 3에 도시된 화소들을 본 발명의 제1 실시예에 의해 구성한 레이아웃도이다.

도 4를 참조하면, 기판 상의 화소 영역에는 행 방향으로 주사선(S[n])이 배열되고, 열 방향으로 데이터선(D) 및 제1 배선(L1)이 배열된다. 그리고, 주사선(S[n]), 데이터선(D) 및 제1 배선(L1)에 의해 구획된 영역에는 제1 내지 제4 화소(310 내지 340)가 형성된다.

여기서, 인접한 두 화소, 즉, 제1 화소(310)와 제2 화소(320) 및 제3 화소(330)와 제4 화소(340)는 제1 배선(L1)을 공유하면서 서로 대칭되도록 형성된다. 다시 말하여, 제1 배선(L1)은 인접한 두 화소 사이 즉, 제1 화소(310)와 제2 화소(320) 사이 및 제3 화소(330)와 제4 화소(340) 사이에 위치되고, 제1 배선(L1)을 공유한 두 화소는 제1 배선(L1)을 중심으로 서로 대칭되도록 형성된다.

이를 좀 더 상세히 설명하면, 제1 배선(L1)을 공유한 두 화소의 저장용 커패시터(Cst)의 제2 단자와 제2 트랜지스터(M2)의 제2 전극은 동일한 제1 배선(L1)을 통하여 서로 접속되도록 형성된다. 그리고, 두 화소의 제1 트랜지스터(M1)는 제1 배선(L1)과 대향되도록 위치한 데이터선(D)에 인접하도록 화소의 일측에 형성된다. 이때, 제1 트랜지스터들(M1)의 제1 전극은 자신과 인접한 데이터선(D)에 각각 접속되고, 제1 트랜지스터들(M1)의 게이트 전극은 주사선(S[n])에 접속되도록 형성된다. 그리고, 저장용 커패시터(Cst)의 제1 단자는 제1 트랜지스터(M1)와 제2 트랜지스터(M2) 사이의 영역에 형성된다. 이때, 제1 단자의 일측은 제1 트랜지스터(M1)의 제2 전극과 일부 중첩되도록 형성되고, 중첩된 부분이 제1 트랜지스

터(M1)의 제2 전극과 통전되도록 형성된다. 또한, 저장용 커패시터(Cst)의 제1 단자는 제2 트랜지스터(M2)의 게이트 전극과도 접속되도록 형성된다. 그리고, 제2 트랜지스터(M2)의 제1 전극은 유기 발광 다이오드(OLED)의 캐소드 전극과 접속되도록 형성된다.

여기서, 공정의 편의성 및 소자들의 접속관계를 고려하여 주사선(S[n]), 제1 및 제2 트랜지스터(M1, M2)의 게이트 전극, 및 저장용 커패시터(Cst)의 제1 전극은 동일한 재료로 형성될 수 있다. 예를 들어, 주사선(S[n]), 제1 및 제2 트랜지스터(M1, M2)의 게이트 전극, 및 저장용 커패시터(Cst)의 제1 전극은 게이트 금속과 같은 제1 도전체로 형성될 수 있다.

마찬가지로, 데이터선(D), 제1 및 제2 트랜지스터(M1, M2)의 제1 및 제2 전극, 저장용 커패시터(Cst)의 제2 전극, 및 제1 배선(L1)은 동일한 재료로 형성될 수 있다. 예를 들어, 데이터선(D), 제1 및 제2 트랜지스터(M1, M2)의 제1 및 제2 전극, 저장용 커패시터(Cst)의 제2 전극, 및 제1 배선(L1)은 소스 및 드레인 금속과 같은 제2 도전체로 형성될 수 있다.

전술한 화소들의 레이아웃에 있어서, 인접한 두 화소가 전원 공급선인 제1 배선(L1)을 중심으로 대칭되도록 형성되어 제1 배선(L1)을 공유함으로써, 제1 배선(L1)을 형성하기 위해 필요한 영역이 줄어들게 된다. 또한, 제1 배선(L1)을 공유하는 인접한 두 화소 사이에 제1 배선(L1)을 위치시킴으로써, 제1 배선(L1)을 공유하기 전에 비하여 전압강하(IR Drop)가 커지는 등의 문제점이 발생하지는 않는다. 이로 인하여, 전압강하를 증가시키지는 않으면서 화소들이 형성될 면적을 확보할 수 있어 개구율을 향상시킬 수 있다. 또한, 배선이 줄어 공정이 더 단순화되며, 저장용 커패시터(Cst)를 형성하기 위한 영역을 더 확보할 수 있게 되는 등 화소 영역을 효율적으로 활용할 수 있게 된다.

도 5는 도 4의 A-A' 선에 따른 단면도이다.

도 5를 참조하면, 기판(501) 상에 데이터선(D)(510), 제1 트랜지스터(M1)(520), 저장용 커패시터(Cst)(530), 제2 트랜지스터(M2)(540) 및 제1 배선(L1)(550)이 형성된다. 여기서, 제1 배선(L1)(550)을 공유하는 두 화소는 제1 배선(L1)(550)을 중심으로 서로 대칭되도록 형성된다.

이하에서는 데이터선(D)(510), 제1 트랜지스터(M1)(520), 저장용 커패시터(Cst)(530), 제2 트랜지스터(M2)(540) 및 제1 배선(L1)(550)의 제조방법에 대해 상술하기로 한다.

우선, 기판(501) 상에 게이트 금속과 같은 제1 도전체를 증착한 후 패터닝한다. 패터닝된 제1 도전체 중 제1 트랜지스터(M1)(520) 영역에 형성된 제1 도전체는 제1 트랜지스터(M1)(520)의 게이트 전극(521)이 되고, 저장용 커패시터(Cst)(530) 영역에 형성된 제1 도전체는 저장용 커패시터(Cst)(530)의 제1 단자(531)가 된다. 그리고, 제2 트랜지스터(M2)(540) 영역에 형성된 제1 도전체는 제2 트랜지스터(M2)(540)의 게이트 전극(541)이 된다.

이후, 제1 트랜지스터(M1)(520)의 게이트 전극(521), 저장용 커패시터(Cst)(530)의 제1 단자(531) 및 제2 트랜지스터(M2)(540)의 게이트 전극(541) 상에 게이트 절연막(522)을 형성한다. 게이트 절연막(522)은 산화막 또는 질화막 등의 절연물질로 형성된다. 여기서, 제1 트랜지스터(M1)(520) 영역과 인접한 저장용 커패시터(Cst)(530)의 제1 단자(531) 상에 형성된 게이트 절연막(522)에는 콘택홀을 형성한다.

이후, 제1 및 제2 트랜지스터(M1, M2)(520, 540)의 게이트 전극(521, 541) 상에 형성된 게이트 절연막(522)의 상부에 펜타센 등의 유기 반도체 물질을 증착한 후 패터닝함으로써 반도체층(523, 543)을 형성한다. 여기서, 반도체층(523, 543)을 유기 물질로 형성함으로써, 저온공정 및 저가격 양산화가 가능해지고 이에 의하여 플라스틱 등과 같이 열에 약한 기판 상에 트랜지스터를 형성하는 것이 가능해진다. 즉, 제1 및 제2 트랜지스터(M1, M2)(520, 540)를 유기 박막 트랜지스터로 형성함으로써 플렉시블 디스플레이의 구현을 더 용이하게 할 수 있다.

이후, 게이트 절연막(522) 및 반도체층(523, 543) 상에 소스 및 드레인 금속과 같은 제2 도전체를 증착한 후 패터닝한다. 패터닝된 제2 도전체 중 데이터선(D)(510) 영역에 형성된 제2 도전체는 데이터선(D)(510)이 되고, 제1 트랜지스터(M1)(520) 영역에 형성된 제2 도전체는 제1 트랜지스터(M1)(520)의 제1 및 제2 전극(524)이 된다. 이때, 데이터선(D)(510)과 제1 트랜지스터(M1)(520)의 제1 전극(524)은 서로 접속되도록 형성되고, 제1 트랜지스터(M1)(520)의 제2 전극(524)은 콘택홀을 통하여 저장용 커패시터(Cst)(530)의 제1 단자(531)와 접속되도록 형성된다. 그리고, 저장용 커패시터(Cst)(530) 영역에 형성된 제2 도전체는 저장용 커패시터(Cst)(530)의 제2 단자(533)가 되고, 제2 트랜지스터(M2)(540) 영역에 형성된 제2 도전체는 제2 트랜지스터(M2)(540)의 제1 및 제2 전극(544)이 되며, 제1 배선(L1)(550) 영역에 형성된 제2 도전체는 제1 배선(L1)(550)이 된다. 여기서, 제1 배선(L1)(550)을 공유하는 두 화소의 제2 트랜지스터(M2)(540)들의 제2 전극(544)들은 제1 배선(L1)을 통하여 서로 접속되도록 형성된다. 따라서, 제1 배선(L1)(550)과, 제1 배선(L1)(550)을 공유하는 두 화소의 제2 트랜지스터(M2)(540)들의 제2 전극(544)들은 한 번에 패터닝될 수 있다.

한편, 도 5에서는 트랜지스터들(M1, M2)(520, 540)이 모두 바텀-게이트(Bottom-Gate) 구조로 형성되었지만 본 발명이 이에 제한되는 것은 아니며, 트랜지스터들(M1, M2)(520, 540)은 탑-게이트(Top-Gate) 구조로 형성될 수도 있다.

도 6은 도 3에 도시된 화소들을 본 발명의 제2 실시예에 의해 구성한 레이아웃도이다. 도 6을 설명할 때, 도 4와 동일한 부분에 대한 자세한 설명은 생략하기로 한다.

도 6을 참조하면, 인접한 두 화소, 즉, 제1 화소(310)와 제2 화소(320) 및 제3 화소(330)와 제4 화소(340)는 제1 배선(L1)을 공유하면서 서로 대칭되도록 형성된다.

여기서, 공정의 편의성 및 소자들의 접속관계를 고려하여 주사선(S[n]), 제1 트랜지스터(M1)의 게이트 전극, 저장용 커패시터(Cst)의 제2 전극, 제2 트랜지스터(M1)의 제1 및 제2 전극, 및 제1 배선(L1)은 동일한 재료로 형성될 수 있다. 예를 들어, 주사선(S[n]), 제1 트랜지스터(M1)의 게이트 전극, 저장용 커패시터(Cst)의 제2 전극, 제2 트랜지스터(M1)의 제1 및 제2 전극, 및 제1 배선(L1)은 제1 금속과 같은 제1 도전체로 형성될 수 있다.

마찬가지로, 데이터선(D), 제1 트랜지스터(M1)의 제1 및 제2 전극, 저장용 커패시터(Cst)의 제1 전극 및 제2 트랜지스터(M2)의 게이트 전극은 동일한 재료로 형성될 수 있다. 예를 들어, 데이터선(D), 제1 트랜지스터(M1)의 제1 및 제2 전극, 저장용 커패시터(Cst)의 제1 전극 및 제2 트랜지스터(M2)의 게이트 전극은 제2 금속과 같은 제2 도전체로 형성될 수 있다.

그리고, 제1 트랜지스터(M1)의 제2 전극은 저장용 커패시터(Cst)의 제1 전극과 접속되도록 형성된다.

도 6에서도, 인접한 두 화소가 전원 공급선인 제1 배선(L1)을 중심으로 대칭되도록 형성되어 제1 배선(L1)을 공유함으로써, 개구율을 향상시키고, 화소 영역을 효율적으로 활용할 수 있게 된다.

도 7은 도 6의 B-B' 선에 따른 단면도의 일례이다.

도 7을 참조하면, 기판(701) 상에 데이터선(D)(710), 제1 트랜지스터(M1)(720), 저장용 커패시터(Cst)(730), 제2 트랜지스터(M2)(740) 및 제1 배선(L1)(750)이 형성된다. 여기서, 제1 트랜지스터(M1)(720)는 바텀-게이트(Bottom-Gate) 구조로 형성되고, 제2 트랜지스터(M2)(740)는 탑-게이트(Top-Gate) 구조로 형성된다. 즉, 제1 트랜지스터(M1)(720)와 제2 트랜지스터(M2)(740)는 상이한 구조로 형성된다. 그리고, 제1 배선(L1)(750)을 공유하는 두 화소는 제1 배선(L1)을 중심으로 서로 대칭되도록 형성된다.

이하에서는 데이터선(D)(710), 제1 트랜지스터(M1)(720), 저장용 커패시터(Cst)(730), 제2 트랜지스터(M2)(740) 및 제1 배선(L1)(750)의 제조방법에 대해 상술하기로 한다.

우선, 기판(701) 상에 제1 금속과 같은 제1 도전체를 증착한 후 패터닝한다. 패터닝된 제1 도전체 중 제1 트랜지스터(M1)(720) 영역에 형성된 제1 도전체는 제1 트랜지스터(M1)(720)의 게이트 전극(721)이 되고, 저장용 커패시터(Cst)(730) 영역에 형성된 제1 도전체는 저장용 커패시터(Cst)(730)의 제2 단자(731)가 된다.

이후, 제1 트랜지스터(M1)(720)의 게이트 전극(721)과 저장용 커패시터(Cst)(730)의 제2 단자(731) 상부에 제1 절연막(722)을 형성한다. 이때, 제1 절연막(722)은 제2 트랜지스터(M2)(740) 및 제1 배선(L1)(750) 영역의 기판(701) 상에도 형성되도록 한다.

이후, 제2 트랜지스터(M2)(740) 및 제1 배선(L1)(750) 영역에 형성된 제1 절연막(722) 상에 제1 도전체를 증착한 후 패터닝하여 제2 트랜지스터(M2)(740)의 제1 및 제2 전극(741)과 제1 배선(L1)(750)을 형성한다.

이후, 제1 트랜지스터(M1)(720)의 게이트 전극(721) 상부에 위치된 제1 절연막(722)과 제2 트랜지스터(M2)(740)의 제1 및 제2 전극(741) 상에 펜타센 등의 유기 반도체 물질을 증착한 후 패터닝함으로써 반도체층(723, 742)을 형성한다.

이후, 제1 트랜지스터(M1)(720)의 반도체층(723)과, 데이터선(D)(710) 및 저장용 커패시터(Cst)(730) 영역의 제1 절연막(722) 상에 제2 도전체를 증착한 후 패터닝함으로써, 데이터선(D)(710), 제1 트랜지스터(M1)(720)의 제1 및 제2 전극(724) 및 저장용 커패시터(Cst)(730)의 제1 단자(733)를 형성한다.

이후, 제2 트랜지스터(M2)(740)의 반도체층(742) 및 제1 배선(L1)(750) 상에 제2 절연막(743)을 형성한다.

이후, 제2 트랜지스터(M2)(740)의 반도체층(742) 상부에 형성된 제2 절연막(743) 상에 제2 도전체를 증착한 후 패터닝하여 제2 트랜지스터(M2)(740)의 게이트 전극(744)을 형성한다.

여기서, 주사선(S[n])과 제1 배선(L1)(750)이 교차하는 부분의 안정성을 확보하기 위하여 제2 트랜지스터(M2)(740) 및 제1 배선(L1)(750)이 제1 절연막(722) 상에 형성되도록 구성하였지만, 본 발명이 이에 한정되는 것은 아니다.

한편, 도 8에 도시된 바와 같이 제1 트랜지스터(M1)(820)들이 탑-게이트 구조로 형성되고, 제2 트랜지스터(M2)(840)들이 바텀-게이트 구조로 형성될 수도 있다.

이를 좀 더 상세히 설명하면, 데이터선(D)과 접속되도록 형성되는 제1 트랜지스터(M1)(820)는 게이트 전극(824)이 반도체층(822)의 상부에 위치되는 탑-게이트 구조로 형성된다. 이와 같은 제1 트랜지스터(M1)(820)는 제1 및 제2 전극(821), 반도체층(822) 및 게이트 전극(824)을 포함한다. 그리고, 제1 배선(L1)(850)과 접속되도록 형성되는 제2 트랜지스터(M2)(840)는 게이트 전극(841)이 반도체층(843)의 하부에 위치되는 바텀-게이트 구조로 형성된다. 이와 같은 제2 트랜지스터(M2)(840)도 게이트 전극(841), 반도체층(843) 및 제1 및 제2 전극(844)을 포함한다. 그리고, 저장용 커패시터(Cst)(830)의 제1 및 제2 단자(831, 833)는 제1 트랜지스터(M1)(820)와 제2 트랜지스터(M2)(840) 사이에 형성된다.

여기서, 주사선(S[n])과 제1 배선(L1)(850)의 안정성을 확보하기 위하여 제2 트랜지스터들(M2)(840)은 게이트 전극과 반도체층 사이에 제1 및 제2 절연막(823, 842)을 구비한다.

좀 더 구체적으로, 제1 절연막(823)은 제1 트랜지스터(M1)(820)의 게이트 전극(824)과 반도체층(822) 사이, 저장용 커패시터(Cst)(830)의 두 단자(831, 833) 사이 및 제2 트랜지스터(M2)(840)의 게이트 전극(841)과 반도체층(843) 사이에 공통적으로 형성된다. 그리고, 제2 절연막(842)은 주사선(S[n])과 제1 배선(L1)(850)의 안정성을 확보하기 위하여 제1 트랜지스터(M1)(820) 및 저장용 커패시터(Cst)(830)의 상부와 제2 트랜지스터(M2)(840)의 제1 절연막(823)과 반도체층(843) 사이에 형성된다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 변형예가 가능함을 이해할 수 있을 것이다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 유기 발광 표시장치 및 그 제조방법에 의하면, 인접한 두 화소가 전원 공급선인 제1 배선을 중심으로 대칭되도록 형성되어 제1 배선을 공유함으로써, 제1 배선을 형성하기 위해 필요한 영역이 줄어들게 된다. 이에 의하여, 화소들이 형성될 면적이 더 많이 확보되어 개구율을 향상시킬 수 있다. 또한, 배선이 줄어 공정이 더 단순화됨과 아울러 저장용 커패시터를 형성하기 위한 영역이 더 확보되는 등 화소 영역을 효율적으로 활용할 수 있게 된다. 이와 더불어, 각 화소에 포함된 트랜지스터들의 반도체층을 유기 물질로 형성함으로써 저온공정 및 저가격 양산화가 가능해지고, 이에 의하여 플라스틱 등과 같이 열에 약한 기판 상에도 트랜지스터를 형성하는 것이 가능해져 플렉시블 디스플레이의 구현을 더 용이하게 할 수 있다.

도면의 간단한 설명

도 1은 종래의 유기 발광 표시장치의 화소 영역에 구비된 복수의 화소들을 나타내는 회로도이다.

도 2는 본 발명의 실시예에 의한 유기 발광 표시장치를 나타내는 도면이다.

도 3은 도 2에 도시된 화소들의 일례를 나타내는 회로도이다.

도 4는 도 3에 도시된 화소들을 본 발명의 제1 실시예에 의해 구성한 레이아웃도이다.

도 5는 도 4의 A-A' 선에 따른 단면도이다.

도 6은 도 3에 도시된 화소들을 본 발명의 제2 실시예에 의해 구성된 레이아웃도이다.

도 7은 도 6의 B-B' 선에 따른 단면도의 일례이다.

도 8은 도 6의 B-B' 선에 따른 단면도의 다른 예이다.

<도면의 주요 부분에 대한 부호의 설명>

200: 화소부 210: 화소

220: 주사 구동부 230: 데이터 구동부

310: 제1 화소 320: 제2 화소

330: 제3 화소 340: 제4 화소

501, 701, 801: 기관 510, 710, 810: 데이터선

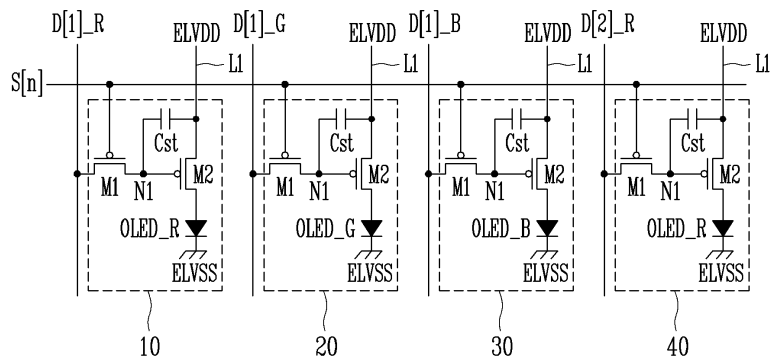
520, 720, 820: 제1 트랜지스터 530, 730, 830:저장용 커패시터

540, 740, 840: 제2 트랜지스터 550, 750, 850: 제1 배선

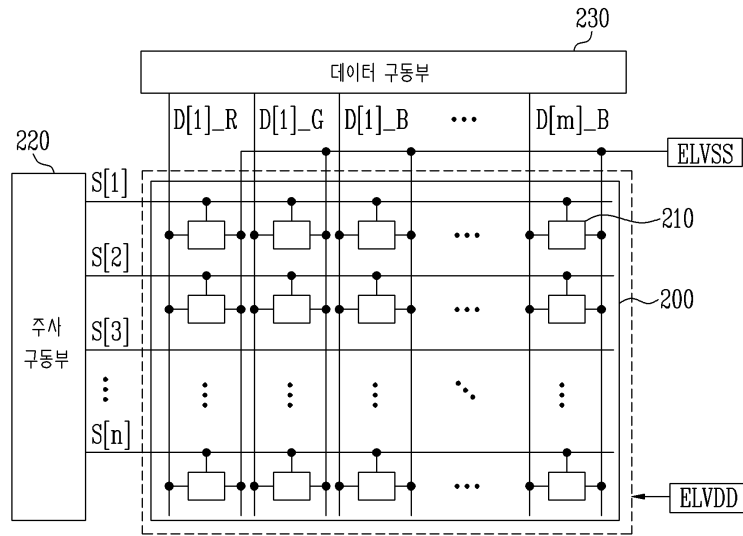
722, 823: 제1 절연막 743, 842: 제2 절연막

도면

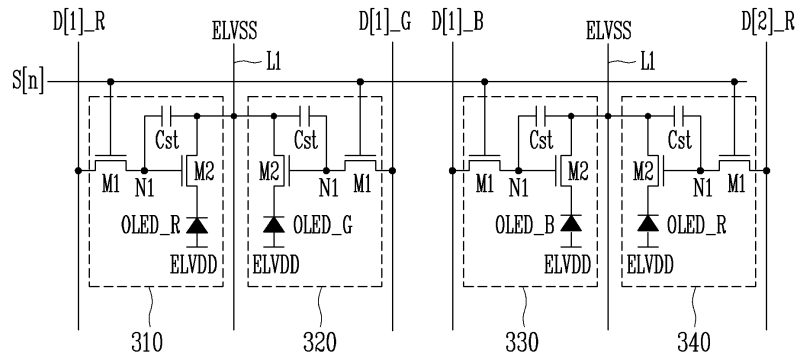
도면1



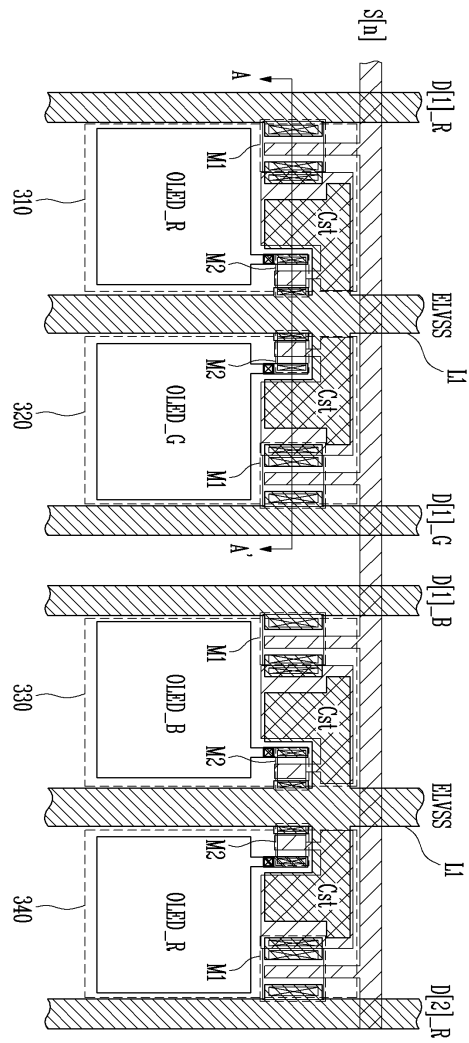
도면2



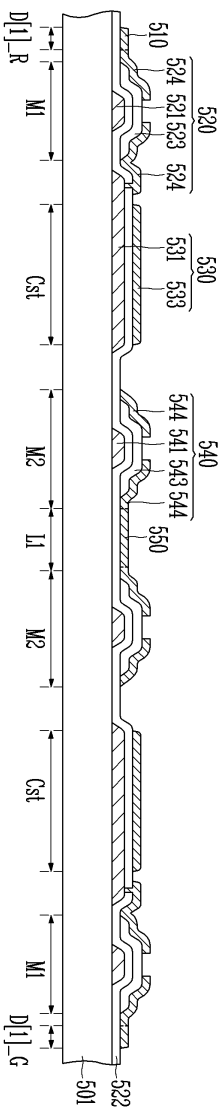
도면3



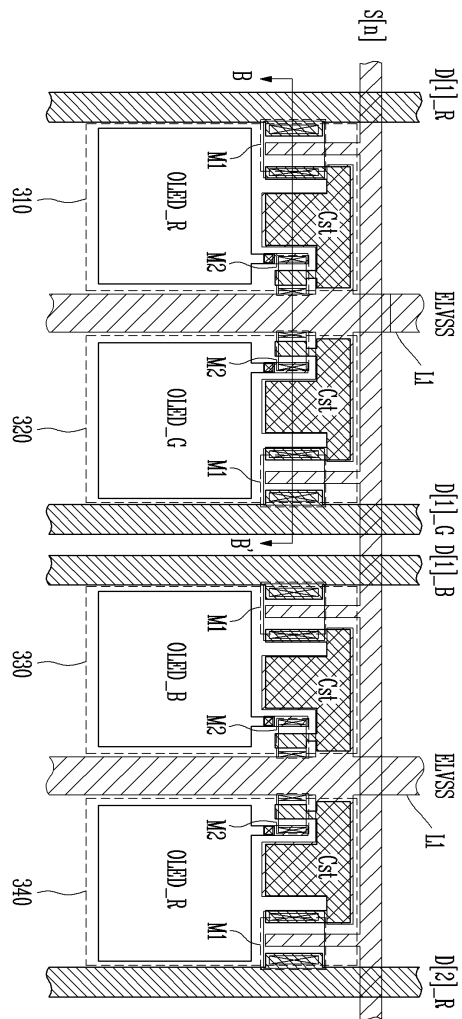
도면4



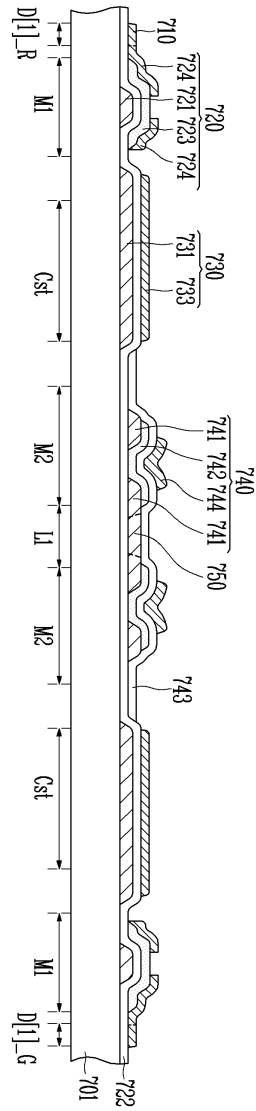
도면5



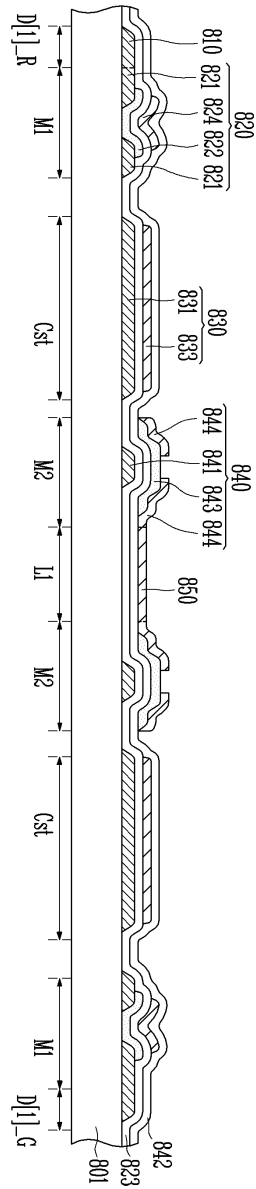
도면6



도면7



도면8



专利名称(译)	有机发光显示器及其制造方法		
公开(公告)号	KR100671655B1	公开(公告)日	2007-01-19
申请号	KR1020050120896	申请日	2005-12-09
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	YOUNGJAE KIM 김영재		
发明人	김영재		
IPC分类号	H05B33/26 H05B33/10		
CPC分类号	G09G3/3233 G09G2300/0426 G09G2300/0465 G09G2300/0842 H01L27/3211 H01L27/3274 H01L27/3276 H01L51/56		
代理人(译)	SHIN , YOUNG MOO		
外部链接	Espacenet		

摘要(译)

提供一种有机发光显示器及其制造方法，通过减小形成第一互连线所需的面积，通过增加像素区域来改善孔径比。像素部分包括连接到多条扫描线，数据线和电源线的多个像素（310-340）。扫描驱动部分将扫描信号施加到扫描线。数据驱动部分将数据信号施加到数据线。每个像素包括至少一个包括有机半导体层的有机薄膜晶体管，并且与一行相邻的至少两个像素共享多个电源线中的一个电源线。

