



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H05B 33/26 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년01월16일 10-0669708 2007년01월10일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2004-0008929 2004년02월11일 2004년08월27일	(65) 공개번호 (43) 공개일자	10-2005-0081219 2005년08월18일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자	삼성에스디아이 주식회사 경기 수원시 영통구 신동 575
(72) 발명자	오상헌 경기도용인시기흥읍공세리428-5
(74) 대리인	리엔목특허법인 이해영

(56) 선행기술조사문헌 JP10161563 A JP2000030872 A * 심사관에 의하여 인용된 문헌	JP2000029403 A * 12029403 *
--	--------------------------------

심사관 : 손희수

전체 청구항 수 : 총 19 항

(54) 유기 전계 발광 표시 장치와, 이를 제조하기 위한 방법

(57) 요약

유기 전계 발광 표시 장치와, 이를 제조하기 위한 방법을 개시한다. 본 발명은 기관;과, 기관상에 소정의 패턴으로 형성된 애노우드와, 이의 상면에 형성된 유기 발광막과, 유기 발광막의 상면에 소정의 패턴으로 형성된 캐소우드를 구비하는 유기 전계 발광 소자;과, 기관상에 형성되며, 애노우드와 중첩되는 영역을 포함한 반도체 활성층과, 반도체 활성층상에 게이트 절연막을 매개로 하여 형성된 게이트 전극과, 반도체 활성층의 소스-드레인 영역에 접속된 소스-드레인 전극을 구비한 적어도 하나 이상의 박막 트랜지스터;를 포함하는 것으로서, 박막 트랜지스터의 반도체 활성층과 유기 전계 발광 소자의 애노우드의 일부가 상호 중첩됨으로써, 개구율을 향상시킬 수 있다. 이에 따른, 광효율을 향상시킬 수가 있다.

대표도

도 4

특허청구의 범위

청구항 1.

투명한 기판;

상기 기판상에 패턴화된 애노우드와, 상기 애노우드의 상면에 형성된 유기 발광막과, 상기 유기 발광막의 상면에 패턴화된 캐소우드를 구비하는 유기 전계 발광 소자; 및

상기 기판상에 형성되며, 상기 애노우드와 동일한 평면상에 배치되고, 상기 애노우드의 가장자리 부분과 중첩되는 영역을 포함한 반도체 활성층과, 상기 반도체 활성층상에 게이트 절연막을 매개로 하여 형성된 게이트 전극과, 상기 반도체 활성층의 소스-드레인 영역에 접속된 소스-드레인 전극을 구비한 적어도 하나 이상의 박막 트랜지스터;를 포함하는 유기 전계 발광 표시 장치.

청구항 2.

제 1 항에 있어서,

상기 애노우는 기판의 표면에 직접적으로 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 3.

삭제

청구항 4.

삭제

청구항 5.

제 1 항에 있어서,

상기 애노우는 상기 반도체 활성층과의 접촉을 원활하게 하기 위하여 상기 반도체 활성층과 접하는 가장자리 부분을 따라서 경사면이 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 6.

제 1 항에 있어서,

상기 중첩되는 영역은 3 마이크로미터 이하인 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 7.

제 1 항에 있어서,

상기 중첩되는 영역은 1 마이크로미터인 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 8.

제 1 항에 있어서,

상기 게이트 전극과, 소오스-드레인 전극 사이에는 이들의 절연을 위하여 패시베이션층이 형성되고, 상기 애노우드는 상기 게이트 절연막과, 패시베이션층을 통하여 형성된 개구부를 통하여 상기 유기 발광막과 접촉하도록 노출된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 9.

제 8 항에 있어서,

상기 소오스-드레인 전극은 상기 게이트 절연막과 게이트 절연막을 통하여 형성된 컨택 홀을 통하여 상기 제 2 반도체 활성층과 전기적으로 접속된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 10.

제 8 항에 있어서,

상기 박막 트랜지스터를 커버하고, 상기 개구부를 통하여 애노우드가 외부로 노출되도록 유기 평탄화막이 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 11.

제 1 항에 있어서,

상기 애노우드는 기관층을 향하여 발광하도록 투명 전극인 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 12.

제 1 항에 있어서,

상기 애노우드는 기관과 반대되는 방향을 향하여 발광하도록 반사 전극인 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 13.

기관상에 유기 전계 발광 소자용 애노우드를 패터닝시키는 단계;

상기 기관상에 상기 애노우드와 일부 영역이 중첩되는 반도체 활성층을 패터닝시키는 단계;

상기 반도체 활성층상에 게이트 절연막을 매개로 하여 게이트 전극을 형성하는 단계;

상기 게이트 전극을 매립하는 패시베이션층을 매개로 하여 상기 반도체 활성층과 접속되는 소스-드레인 전극을 형성시키는 단계; 및

상기 애노우드와 접촉하는 유기 발광막을 형성하고, 그 상면에 캐소우드를 형성하는 단계;를 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 14.

제 13 항에 있어서,

상기 유기 전계 발광 소자용 애노우드를 패턴화시키는 단계에서는,

상기 애노우드는 상기 기판상에 직접적으로 형성시키는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 15.

제 13 항에 있어서,

상기 유기 전계 발광 소자용 애노우드를 패턴화시키는 단계에서는,

상기 애노우드의 가장자리 부분은 상기 반도체 활성층과의 접촉을 원활하게 하기 위하여 경사면을 가지도록 패턴화시키는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 16.

제 13 항에 있어서,

상기 반도체 활성층을 패턴화시키는 단계에서는,

상기 반도체 활성층의 가장자리 부분중 일부는 상기 애노우드의 윗면에 중첩되도록 패턴화시키는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 17.

제 16 항에 있어서,

상기 중첩되는 영역은 3 마이크로미터 이하가 되도록 형성시키는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 18.

제 13 항에 있어서,

상기 반도체 활성층은 그 양 단을 따라서 고농도 불순물로 된 소오스-드레인 영역과, 그 내측으로 저농도 불순물로 된 소오스-드레인 영역과, 중앙에 불순물이 도핑되지 않은 영역으로 이온 도핑하여 형성하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 19.

제 13 항에 있어서,

상기 반도체 활성층상에 패시베이션층을 형성시키는 단계에서는,

상기 반도체 활성층상에 컨택 홀과, 애노우드상에 개구부를 공히 형성시키는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 20.

제 13 항 또는 제 19 항에 있어서,

상기 소오스-드레인 전극을 형성시키는 단계에서는,

상기 컨택 홀을 통하여 상기 반도체 활성층의 소스-드레인 영역에 소스-드레인 전극을 전기적으로 연결시키는 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 21.

제 13 항 또는 제 19 항에 있어서,

상기 유기 발광막을 형성시키는 단계에서는,

상기 박막 트랜지스터를 커버하고, 상기 애노우드가 외부로 노출되도록 형성되는 유기 평탄화막이 형성되지 않은 개구부를 통하여 상기 애노우드의 윗면에 형성되는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 전계 발광 표시 장치에 관한 것으로서, 보다 상세하게는 반도체 활성층과 애노우드의 일부를 중첩시켜서 마스크의 사용 개수를 줄이고, 광효율을 향상시킨 유기 전계 발광 표시 장치와, 이를 제조하기 위한 방법에 관한 것이다.

통상적으로, 평판 표시 장치(flat display device)는 크게 발광형과 수광형으로 분류할 수 있다. 발광형으로는 평판 음극선관(flat cathode ray tube)과, 플라즈마 표시 장치(plasma display panel)와, 전계 발광 표시 장치(electro luminescent device)와, 발광 다이오드(light emitting diode)등이 있다. 수광형으로는 액정 표시 장치(liquid crystal display)를 들 수 있다.

이중에서, 전계 발광 표시 장치는 시야각이 넓고, 콘트라스트가 우수할 뿐만 아니라 응답 속도가 빠르다는 장점을 가지고 있어서 차세대 표시 장치로서 주목을 받고 있다. 이러한 전계 발광 표시 장치는 발광층을 형성하는 물질에 따라서 무기 전계 발광 표시 장치와 유기 전계 발광 표시 장치로 구분할 수가 있다.

무기 전계 발광 표시 장치는 당초 녹색 발광 디스플레이로 상품화되었으나, 플라즈마 표시 장치와 마찬가지로 교류 바이어스 구동이며, 구동시 수백 볼트(voltage)가 필요하다. 또한, 발광을 위한 소재가 무기물이므로, 분자 설계에 의한 발광 파장 등의 제어가 곤란하여서 화상을 칼라화하기가 어렵다.

이에 반하여, 유기 전계 발광 표시 장치는 형광성 유기 화합물을 전기적으로 여기시켜서 발광시키는 자발광형 표시 장치로서, 낮은 전압에서 구동이 가능하고, 박형화가 용이하며, 광시야각, 빠른 응답 속도등 액정 표시 장치에 있어서 문제점으로 지적되는 것을 해결할 수 있는 차세대 평판 표시 장치로 주목받고 있다.

이러한 유기 전계 발광 표시 장치는 애노우드와 캐소우드 사이에 유기물로 이루어진 유기 발광막을 구비하고 있으며, 전극들에 애노우드 및 캐소우드 전압이 각각 인가됨에 따라 애노우드로부터 주입된 정공(hole)이 정공 수송층을 경유하여 유기 발광막으로 이동되고, 전자는 캐소우드로부터 전자 수송층을 경유하여 유기 발광막으로 이동되어서, 유기 발광막에서 전자와 정공이 재결합하여 여기자(exiton)를 생성하게 된다.

이 여기자가 여기 상태에서 기저 상태로 변화됨에 따라서 발광층의 형광성 분자가 발광함으로써 화상을 형성하게 된다. 풀 컬러(full color)형 유기 전계 발광 표시 장치의 경우에는 적,녹,청색의 삼색을 발광하는 픽셀(pixel)을 구비토록 함으로써 풀 컬러를 구현한다.

한편, 유기 전계 발광 표시 장치나, 무기 전계 발광 표시 장치나, 액정 표시 장치등 평판 표시 장치에 사용되는 박막 트랜지스터(thin film transistor, TFT)는 각 픽셀의 동작을 제어하는 스위칭 소자 및 픽셀을 구동시키는 구동 소자로 사용된다.

이러한 박막 트랜지스터는 기판상에 고농도의 불순물로 도핑된 드레인 영역과 소스 영역 및 상기 드레인 및 소스 영역의 사이에 형성된 채널 영역을 가지는 반도체 활성층을 가지며, 반도체 활성층상에 형성된 게이트 절연막과, 활성층의 채널 영역의 상부에 형성된 게이트 전극으로 구성되어진다.

상기와 같은 박막 트랜지스터는 평판 표시 장치에 있어 스위칭 소자나 픽셀의 구동 소자로 사용되고 있는데, 능동 구동 방식의 액티브 매트릭스형 유기 전계 발광 소자(active matrix organic light emitting display, AMOLED)는 각 픽셀당 적어도 2개 이상의 박막 트랜지스터를 구비하고 있다.

이러한 박막 트랜지스터를 채용한 유기 전계 발광 표시 장치는 전면 발광 방식과 배면 발광 방식으로 구분할 수가 있다.

배면 발광 방식은 기판에 투명한 ITO를 성막한 이후에 식각하여서 애노우드를 패터닝하고, 픽셀과 픽셀 사이에 절연막을 형성하고, 유기 증착법을 이용하여 유기 발광막을 형성시키고, 금속 전극으로 된 캐소우드를 순차적으로 적층한 구조이다.

전면 발광 방식은 기판상에 반사성의 애노우드를 패터닝하고, 배면 발광 방식의 경우와 마찬가지로 절연막과, 유기 발광막을 형성시키고, 반투과 캐소우드 전극을 순차적으로 적층한 구조이다.

도 1은 종래의 액티브 매트릭스형의 유기 전계 발광 표시 장치(100)를 도시한 것이다.

도면을 참조하면, 상기 유기 전계 발광 표시 장치(100)는 적어도 하나 이상의 박막 트랜지스터(110)와, 커패시터(미도시)와, 유기 전계 발광 소자(130)를 구비하고 있다.

상기 박막 트랜지스터(110)는 버퍼층(112)이 형성된 기판(111)과, 상기 버퍼층(112)의 윗면에 형성된 반도체 활성층(113)과, 상기 반도체 활성층(113)을 매립하는 게이트 절연막(114)과, 상기 게이트 절연막(114)의 윗면에 형성된 게이트 전극(115)과, 상기 게이트 전극(115)을 매립하는 중간 절연막(116)과, 콘택 홀(117)을 통하여 반도체 활성층(114)과 양측에서 연결된 소스 전극(118)과, 드레인 전극(119)과, 상기 소스 전극(118)과 드레인 전극(119)을 매립하는 패시베이션층(120)을 포함하고 있다.

또한, 상기 유기 전계 발광 소자(130)는 전류의 흐름에 따라 적,녹,청색의 빛을 발광하여 소정의 화상 정보를 표시하기 위한 것으로서, 상기 패시베이션층(120)상에 형성되어서 상기 드레인 전극(119)으로부터 플러스 전원을 공급받는 애노우드(131)와, 상기 애노우드(131)의 윗면에 형성된 유기 발광막(132)과, 상기 유기 발광막(132)의 윗면에 형성되어서 전체 픽셀을 커버하도록 형성되며, 마이너스 전원이 공급되는 캐소우드(133)를 포함하고 있다.

한편, 상기 보호막(120) 상에는 애노우드(131)가 형성된 다음에 유기 전계 발광 소자(130)의 개구부(134)가 형성된 영역을 제외하고 복수개의 박막 트랜지스터(110)와 커패시터등의 각 패턴으로 인한 높이 차이를 평활하게 하기 위한 유기 평탄화막(pixel define layer, 121)이 형성되어 있다.

그런데, 종래의 액티브 매트릭스형의 유기 전계 발광 표시 장치(100)는 기판(110)상에 형성된 반도체 활성층(113), 게이트 전극(115), 소오스 전극(118), 드레인 전극(119)과, 게이트 절연막(114), 중간 절연막(116), 패시베이션층(120), 유기 평탄화막(120)을 형성하기 위해서는 다수장의 마스크가 사용됨에 따라서, 마스크수의 증가에 따른 제조 공정이 복잡하다.

또한, 복수개의 박막 트랜지스터(110)의 설치에 따른 표시 장치(100)의 공간적 제한으로 인하여 상기 유기 전계 발광 소자(130)의 개구부(134)가 패시베이션층(116) 상에 형성됨으로써, 배면 발광 방식의 경우에는 개구율이 감소하게 되고, 이에 따른 광효율의 저하가 예상된다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위한 것으로서, 반도체 활성층과 애노우드의 일부 영역을 중첩하여 배치함에 따라 마스크 개수를 줄일 수 있는 유기 전계 발광 표시 장치와, 이를 제조하기 위한 방법을 제공하는데 그 목적이 있다.

본 발명의 다른 목적은 유기 전계 발광 소자의 개구부를 차폐하지 않도록 구조가 개선되어서 개구율과, 이에 따른 광 효율이 향상된 유기 전계 발광 표시 장치와, 이를 제조하기 위한 방법을 제공하는데 그 목적이 있다.

발명의 구성

상기와 같은 목적을 달성하기 위하여 본 발명의 일 측면에 따른 유기 전계 발광 표시 장치는,

투명한 기판;

상기 기판상에 소정의 패턴으로 형성된 애노우드와, 상기 애노우드의 상면에 형성된 유기 발광막과, 상기 유기 발광막의 상면에 소정의 패턴으로 형성된 캐소우드를 구비하는 유기 전계 발광 소자; 및

상기 기판상에 형성되며, 상기 애노우드와 중첩되는 영역을 포함한 반도체 활성층과, 상기 반도체 활성층상에 게이트 절연막을 매개로 하여 형성된 게이트 전극과, 상기 반도체 활성층의 소스-드레인 영역에 접속된 소스-드레인 전극을 구비한 적어도 하나 이상의 박막 트랜지스터;를 포함하는 것을 특징으로 한다.

또한, 상기 애노우는 기판의 표면에 직접적으로 형성된 것을 특징으로 한다.

게다가, 상기 애노우는 상기 반도체 활성층과 동일한 평면상에 배치된 것을 특징으로 한다.

더욱이, 상기 애노우드의 가장자리 부분의 윗면에는 상기 반도체 활성층의 가장자리 부분이 중첩된 것을 특징으로 한다.

아울러, 상기 애노우는 상기 반도체 활성층과의 접촉을 원활하게 하기 위하여 상기 반도체 활성층과 접하는 가장자리 부분을 따라서 소정 각도로 경사면이 형성된 것을 특징으로 한다.

더욱이, 상기 게이트 전극과, 소스-드레인 전극 사이에는 이들의 절연을 위하여 패시베이션층이 형성되고, 상기 애노우는 상기 게이트 절연막과, 패시베이션층을 통하여 형성된 개구부를 통하여 상기 유기 발광막과 접촉하도록 노출된 것을 특징으로 한다.

본 발명의 다른 측면에 따른 유기 전계 발광 표시 장치를 제조하기 위한 방법은,

기판상에 유기 전계 발광 소자용 애노우드를 패턴화시키는 단계;

상기 기판상에 상기 애노우드와 일부 영역이 중첩되는 반도체 활성층을 패턴화시키는 단계;

상기 반도체 활성층상에 게이트 절연막을 매개로 하여 게이트 전극을 형성하는 단계;

상기 게이트 전극을 매립하는 패시베이션층을 매개로 하여 상기 반도체 활성층과 접속되는 소스-드레인 전극을 형성시키는 단계; 및

상기 애노우드와 접촉하는 유기 발광막을 형성하고, 그 상면에 캐소우드를 형성하는 단계;를 포함하는 것을 특징으로 한다.

더욱이, 상기 유기 전계 발광 소자용 애노우드를 패턴화시키는 단계에서는,

상기 애노우는 상기 기판상에 직접적으로 형성시키는 것을 특징으로 한다.

나아가, 상기 유기 전계 발광 소자용 애노우드를 패턴화시키는 단계에서는,

상기 애노우드의 가장자리 부분은 상기 반도체 활성층과의 접촉을 원활하게 하기 위하여 소정 각도의 경사면을 가지도록 패턴화시키는 것을 특징으로 한다.

아울러, 상기 반도체 활성층을 패턴화시키는 단계에서는,

상기 반도체 활성층의 가장자리 부분중 일부는 상기 애노우드의 윗면에 소정 영역 중첩되도록 패턴화시키는 것을 특징으로 한다.

게다가, 상기 반도체 활성층은 그 양 단을 따라서 고농도 불순물로 된 소오스-드레인 영역과, 그 내측으로 저농도 불순물로 된 소오스-드레인 영역과, 중앙에 불순물이 도핑되지 않은 영역으로 이온 도핑하여 형성하는 것을 특징으로 한다.

또한, 상기 반도체 활성층상에 패시베이션층을 형성시키는 단계에서는,

상기 반도체 활성층상에 컨택 홀과, 애노우드상에 개구부를 공히 형성시키는 것을 특징으로 한다.

또한, 상기 소오스-드레인 전극을 형성시키는 단계에서는,

상기 컨택 홀을 통하여 상기 반도체 활성층의 소스-드레인 영역에 소스-드레인 전극을 전기적으로 연결시키는 특징으로 한다.

또한, 상기 유기 발광막을 형성시키는 단계에서는,

상기 박막 트랜지스터를 커버하고, 상기 애노우드가 외부가 노출되도록 형성되는 유기 평탄화막이 형성되지 않은 개구부를 통하여 상기 애노우드의 윗면에 형성되는 것을 특징으로 한다.

이하에서, 첨부된 도면을 참조하면서, 본 발명의 바람직한 실시예에 따른 유기 전계 발광 표시 장치를 상세하게 설명하고자 한다.

도 2는 본 발명의 일 실시예에 따른 액티브 매트릭스형 유기 전계 발광 표시 장치(200)를 도시한 것이고, 도 3은 도 2의 표시 장치(200)에 대한 등가 회로도를 도시한 것이다.

여기서, 유기 전계 발광 표시 장치의 각 픽셀들은 적, 녹, 청색의 서브 픽셀(sub pixel)이 일방향으로 반복하여 배치되도록 구비되어 있으며, 이러한 픽셀들의 구성은 반드시 이에 한정되는 것은 아니며, 각 색상의 서브 픽셀들이 모자이크, 격자상 등 다양한 패턴으로 배열되어 픽셀을 구성할 수가 있다.

또한, 도 2는 유기 전계 발광 표시 장치의 일 구동 단위인 적, 녹, 청색의 서브 픽셀들중 어느 한 픽셀의 서브 픽셀에 대한 부분 확대도시한 것으로서, 후술할 기관, 버퍼층, 각종 절연층, 평탄화막, 발광층, 액정층등은 도시되어 있지 않으며, 각 구성 부분이 겹친 부분중 빗금으로서 표시한 부분만 통전되도록 연결되어 있다.

도면을 참조하면, 상기 유기 전계 발광 표시 장치(200)의 각 서브 픽셀은 스위칭용인 스위칭 박막 트랜지스터(210)와, 구동용인 구동 박막 트랜지스터(230)의 2개의 박막 트랜지스터와, 커패시터(250) 및 하나의 유기 전계 발광 소자(270)를 포함하고 있다. 상기과 같은 박막 트랜지스터 및 커패시터의 개수는 반드시 이에 한정되는 것은 아니며, 소망하는 소자의 설계에 따라 이보다 더 많은 수의 박막 트랜지스터 및 커패시터를 구비할 수 있음은 물론이다.

상기 스위칭 박막 트랜지스터(210)는 게이트 배선(291)에 인가되는 스캔 신호에 구동되어서 데이터 배선(292)에 인가되는 데이터 신호를 전달하는 역할을 하고 있다. 상기 구동 박막 트랜지스터(230)는 상기 스위칭 박막 트랜지스터(210)를 통하여 전달되는 데이터 신호에 따라서, 즉, 게이트와 소오스간의 전압차(V_{gs})에 의하여 유기 전계 발광 소자(270)로 유입되는 전류량을 결정하고 있다. 상기 커패시터(250)는 상기 스위칭 박막 트랜지스터(210)를 통하여 전달되는 데이터 신호를 한 프레임동안 저장하는 역할을 하고 있다.

상기 스위칭 박막 트랜지스터(210)의 소스 전극(211)은 데이터 배선(292)에 의하여 구동 회로에 연결되고, 스위칭 박막 트랜지스터의 게이트 전극(212)은 제 1 반도체 활성층(214)의 상부에 형성되며, 게이트 배선(291)에 의하여 다른 구동 회

로에 연결되어 있다. 상기 스위칭 박막 트랜지스터(210)의 드레인 전극(213)은 커패시터(250)의 제 1 커패시터 전극(251) 및 구동 박막 트랜지스터(230)의 게이트 전극(232)과 연결되어 있다. 상기 게이트 전극(232)은 제 2 반도체 활성층(234) 상에 형성되어 있다.

상기 커패시터(250)의 제 2 커패시터 전극(252)과 구동 박막 트랜지스터(230)의 소스 전극(231)은 구동 배선(293)과 연결되고, 제 2 반도체 활성층(234)은 유기 전계 발광 소자(270)의 제 1 전극(271)과 연결되어 있다.

상기 유기 전계 발광 소자(270)의 제 2 전극(273, 도 4 참조)은 상기 제 1 전극(271)과 소정의 간극을 두고, 제 1 전극(271)에 대향되게 배치되며, 제 1 및 제 2 전극(271)(273) 사이에는 표시 장치의 종류에 따라서 유기물(272), 무기물 또는 액정 등이 개재되어 있다.

도 4는 도 2의 I-I 선을 절개한 단면도이다.

도면을 참조하면, 상기 액티브 매트릭스형 유기 전계 발광 표시 장치(200)에는 기판(201)이 마련되어 있다. 상기 기판(201)은 투명한 소재, 예컨대 유리로 형성되어 있다. 상기 기판(201) 상에는 버퍼층(202)이 증착되어 있다. 상기 버퍼층(202)은 상기 기판(201)에 포함된 불순물 이온이 기판(201)의 상면에 형성될 박막 트랜지스터로 확산되는 것을 방지하기 위하여 형성되는 역할을 한다. 상기 버퍼층(202)의 두께는 대략 3000Å 정도이다.

상기 버퍼층(202)의 상부에는 구동 박막 트랜지스터(230)와, 유기 전계 발광 소자(270)가 형성되어 있다. 상기 기판(201) 상에는 스위칭 박막 트랜지스터(210)와, 구동 박막 트랜지스터(230)와, 커패시터(250)가 형성되어 있으며, 여기서는 구동 박막 트랜지스터(230)와, 유기 전계 발광 소자(270)가 형성된 영역만 도시하기로 한다.

상기 버퍼층(202)의 윗면에는 비정질 실리콘 박막 또는 다결정질 실리콘 박막으로 된 제 2 반도체 활성층(234)이 형성되어 있다. 상기 제 2 반도체 활성층(234)은 N형 또는 P형 불순물이 저농도 및 고농도로 도핑된 소스 및 드레인 영역을 갖는다. 상기 제 2 반도체 활성층(234)은 대략 500Å 정도이다.

상기 제 2 반도체 활성층(234) 상에는 게이트 절연막(203)이 형성되어 있다.

상기 게이트 절연막(203)의 윗면에는 상기 제 2 반도체 활성층(234)과 대응되는 곳에 구동 박막 트랜지스터(230)의 게이트 전극(232)이 형성되어 있다. 상기 게이트 전극(232)은 MoW로 형성시킬 수 있으며, 그 두께는 대략 3000Å 정도이다.

상기 게이트 전극(232)은 패시베이션층(204)에 의하여 매립되어 있다. 상기 패시베이션층(204)이 형성된 다음에는 드라이 에칭등의 식각 공정에 의하여 컨택 홀(205)을 형성시켜서 상기 제 2 반도체 활성층(234)의 일부를 노출시키고 있다. 상기 제 2 반도체 활성층(234)의 노출된 부분은 컨택 홀(205)을 통하여 소스-드레인 전극(231)과 연결되어 있다.

한편, 상기 유기 전계 발광 소자(270)는 전류의 흐름에 따라 적, 녹, 청색의 빛을 발광하여 소정의 화상 정보를 표시하기 위한 것이다. 상기 버퍼층(202) 상에는 제 1 전극인 애노우드(271)이 패턴화되어 있다. 상기 애노우드(271)은 기판(201)측을 향한 배면 발광인 경우에는 ITO, IZO와 같은 투명한 도전막으로 이루어지며, 기판(201)의 반대 방향을 향한 전면 발광인 경우에는 Ag, Al, Au, Pt와 같은 반사막과, 그 위에 코팅되는 ITO, IZO와 같은 투명한 도전막으로 이루어진다.

이때, 상기 애노우드(271)는 그 일부가 상기 제 2 반도체 활성층(234)과 중첩되어 있다. 즉, 상기 애노우드(271)의 가장자리 윗면에는 상기 제 2 반도체 활성층(234)의 가장자리 부분이 일부 커버하고 있다. 또한, 상기 애노우드(271)의 가장자리 부분에는 상기 제 2 반도체 활성층(234)과의 접촉을 원활하게 하기 위하여 경사면(271a)을 제공하고 있다. 이렇게 상기 애노우드(271)와 제 2 반도체 활성층(234)이 중첩되는 부분의 폭(W)은 3 마이크로미터 이하가 되어야 접촉성을 향상시킬 수가 있으며, 바람직하게는 1 마이크로미터 정도이다.

상기 애노우드 전극(271)의 윗면에는 소정의 개구부(274)를 통하여 유기 발광막(272)이 형성되어 있다. 상기 유기 발광막(272)은 저분자 또는 고분자 유기막이 사용될 수 있다.

저분자 유기막을 사용할 경우에는 정공 주입층(HIL: Hole Injection Layer), 정공 수송층(HTL: Hole Transport Layer), 유기 발광층(EML: Emission Layer), 전자 수송층(ETL: Electron Transport Layer), 전자 주입층(EIL: Electron Injection Layer) 등이 단일 혹은 복합의 구조로 적층되어 형성될 수 있다. 이때, 사용 가능한 유기 재료로는 구리 프탈로시

아닌(CuPc: copper phthalocyanine), N,N-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘 (N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯해 다양하게 적용 가능하다. 이들 저분자 유기막은 진공증착의 방법으로 형성된다.

고분자 유기막의 경우에는 대개 정공 수송층(HTL) 및 발광층(EML)으로 구비된 구조를 가질 수 있다. 이 때, 상기 정공 수송층으로 PEDOT를 사용하고, 발광층으로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등 고분자 유기물질을 사용하며, 이를 스크린 인쇄나 잉크젯 인쇄방법 등으로 형성할 수 있다.

상기 유기 발광막(272)의 윗면에는 제 2 전극인 캐소우드(273)가 투명 전극 또는 반사형 전극으로 형성될 수 있다. 투명 전극으로 사용될 경우에는 일함수가 작은 금속, 예컨대 Li, Ca, LiF/Ca, LiF/Al, Mg 및 이들의 화합물이 증착되고, 그 상면에 ITO, IZO 등의 투명 전극 형성용 물질을 형성할 수 있다. 반사형 전극으로 사용될 경우에는 Li, Ca, LiF/Ca, LiF/Al 및 이들의 화합물을 전면 증착하여 형성하고 있다. 상기 캐소우드(273)는 전체 픽셀을 커버하도록 형성되어 있으며, 마이너스 전원이 공급된다.

한편, 유기 전계 발광 소자(270)의 개구부(274)가 형성되는 영역을 제외하고는 기판(201) 상에 형성된 스위칭 TFT(210)와, 구동 TFT(230)와, 커패시터(250)의 각 패턴으로 인한 높이 차이를 평활하게 하기 위하여 유기 평탄화막(206)이 형성되어 있다. 상기 유기 평탄화막(206)은 애노우드(271)가 형성된 발광 영역을 제외한 그 나머지 주변 영역 전체를 덮고 있다. 이러한 유기 평탄화막(206)은 아크릴, 폴리이미드, BCB 등의 유기 물질로 이루어져 있다.

상기와 같은 구조를 가지는 액티브 매트릭스형의 유기 전계 발광 표시 장치의 제조 과정을 도 5a 내지 도 5h를 참조하여 설명하면 다음과 같다.

도면을 참조하면, 투명한 소재, 예컨대 유리로 된 기판(201) 상에 버퍼층(202)을 증착시킨다. 상기 버퍼층(202)은 산화규소(SiO_2)로 형성할 수 있으며, 상압 화학 기상 증착(APCVD)이나, 저압 화학 기상 증착(LPCVD)법이나, 플라즈마 강화 화학 기상 증착(PECVD)법 등에 의하여 증착될 수가 있다. 상기 버퍼층(202)의 증착 두께는 대략 3000Å 내외이다.

상기 버퍼층(202)의 윗면에는 전면 또는 배면 발광이냐에 따라 선택된 금속 박막으로 된 애노우드(271)가 형성된다. 상기 애노우드(271)는 기판(201)측을 향하여 발광하는 배면 발광 방식인 경우에는 ITO, IZO, ZnO 또는 In_2O_3 로 코팅하고, 기판(201)의 반대 방향을 향하여 발광하는 전면 발광 방식인 경우에는 Ag, Mg, Al, Pt, Pd, Au, Ni, Ir, Cr 및 이들의 화합물 등으로 반사막을 형성한 이후에 그 윗면에 ITO, IZO, ZnO 또는 In_2O_3 등으로 형성하게 된다.

이처럼, 상기 애노우드(271)는 상기 버퍼층(202)이 코팅된 기판(201)상에 직접적으로 형성되어 있다. 이때, 상기 애노우드(271)의 가장자리 부분은 추후 중첩될 제 2 반도체 활성층(234)과의 접촉을 원활하게 하기 위하여 소정 각도로 경사면(271a)을 하게 된다.(도 5a)

이어서, 상기 기판(201)의 윗면에는 폴리 실리콘 박막층이 소정 두께, 예컨대, 500Å 정도로 형성된다. 이때, 폴리 실리콘 박막층은 비정질 실리콘을 기판(201)에 형성한 상태에서 비정질 실리콘을 레이저 결정 공정에 의하여 폴리 실리콘으로 결정 변화를 유도하거나, 또는, 폴리 실리콘을 직접적으로 기판(201) 상에 형성시킬 수가 있을 것이다.

이후, 폴리 실리콘 박막층은 포토 레지스터가 코팅된 상태에서 반도체층 형성용 마스크를 이용하여 소망하는 위치에 패턴닝하여 제 2 반도체 활성층(234)을 형성하게 된다. 도면에는 생략되어 있지만, 제 1 반도체 활성층(214, 도 2 참조)도 공히 형성되고, 여기서는 구동 박막 트랜지스터의 경우만 설명하기로 한다.

상기 제 2 반도체 활성층(234)을 형성한 이후에는 이온 스톱퍼 레이어(ion stopper layer)에 의하여 양 단(234a)(234b)이 노출되도록 형성하고, 이온 스톱퍼 레이어에 의하여 가려지지 않은 부분(234a)(234b)에 N 물질로 된 고농도 이온 도핑을 수행하여 고순도 불순물 영역으로 된 소오스-드레인 영역(234a)(234b)을 형성하게 된다.

이때, 상기 제 2 반도체 활성층(234)은 그 가장자리 부분중 적어도 어느 한 부분이 상기 애노우드(271)의 경사면(271a)과 중첩되도록 패턴화시킨다. 즉, 제 2 반도체 활성층(234)의 가장자리 부분(234b)은 애노우드(271)와의 접촉이 원활하기 위하여 상기 애노우드(271)의 경사면(271a)의 윗면에 소정 영역 겹치도록 형성하게 된다. 이러한 중첩 영역의 폭(W)은 3 마이크로미터 이하, 바람직하게는 1 마이크로미터 정도가 되도록 한다.

이처럼, 상기 제 2 반도체 활성층(234)은 상기 애노우드(271)에 대하여 일부 영역이 중첩됨과 동시에, 기판(201) 상의 동일한 평면에 공히 형성시키게 된다.(도 5b)

제 2 반도체 활성층(234)의 패터닝이 수행된 다음에는 애노우드(271)와, 제 2 반도체 활성층(234)이 형성된 기판(201)의 전면에서 게이트 절연막(203)을 증착하여 형성하게 된다.(도 5c)

다음으로, 상기 게이트 절연막(203) 상에는 상기 제 2 반도체 활성층(234)이 대응되는 곳에 게이트 전극(234)을 형성하게 된다. 상기 게이트 전극(234)은 MoW나 Al/Cu 등으로 도전막을 성막한 후 패터닝하여 이루어지며, 그 두께는 대략 3000Å 정도가 된다.(도 5d)

게이트 전극(232)이 형성된 다음에는 이를 마스크로 하여 제 2 반도체 활성층(234)에 N 물질로 저농도 이온 도핑을 수행하게 된다. 이에 따라, 상기 게이트 전극(232)에 의하여 가려지지 않은 제 2 반도체 활성층(234)의 양 단에는 저농도 불순물 영역으로 된 소오스-드레인 영역(234c)(234d)이 형성된다.

이로써, 고농도 불순물 영역과, 저농도 불순물 영역으로 된 LDD(lightly doped drain) 구조의 소오스-드레인 영역(234a 내지 234d)을 형성하게 된다. 한편, 소오스-드레인 영역(234a 내지 234d) 사이의 불순물이 도핑되지 않은 반도체층(234e)은 박막 트랜지스터의 채널 영역으로 작용한다.(도 5e)

이어서, 상기 게이트 전극(232) 상에는 이들을 매립하는 패시베이션층(204)을 형성하게 된다. 이때, 패터닝 마스크를 이용하여, 제 2 반도체 활성층(234)의 일단부(234a)가 노출되도록 콘택 홀(205)을 형성시키게 된다. 또한, 이와 동시에, 상기 애노우드(271)의 소정 부분을 노출시켜서 유기 발광 소자의 발광 영역인 개구부(274)를 패터닝시킨다.(도 5f)

다음으로, 기판(201)의 전면적에 걸쳐서 소스-드레인 금속을 소정 두께로 증착하여서, 패터닝을 수행하여 소스-드레인 전극(231)을 형성하게 된다. 상기 소스-드레인 전극(231)은 콘택 홀(205)을 통하여 제 2 반도체 활성층(234)의 소오스-드레인 영역(234a 또는 234b)과 전기적으로 연결된다.(도 5g)

상기 소오스-드레인 전극(231)이 패터닝되면, 각 패터닝층의 두께 차이로 인한 두께 편차를 없애기 위하여 유기 평탄화막(206)을 그 상부에 형성하게 된다. 상기 유기 평탄화막(206)은 아크릴, 폴리이미드, BCB 등의 유기 물질로 이루어진다. 대안으로는, SiO₂, SiN_x 등으로 된 패시베이션층일수도 있을 것이다. 이처럼, 막 구조는 소자 설계에 따라 다양한 구조를 채용할 수 있음은 물론이다.

이때, 상기 유기 평탄화막(206)을 형성시키는 것과 동시에 유기 발광 소자의 발광 영역을 2차적으로 패터닝시킨다. 즉, 도 5f에 상술한 바 있는 개구부(274)를 통하여 애노우드(271)가 노출되도록 발광 영역을 형성하게 된다.(도 5h)

이러한 과정을 거친 다음에는, 도 4에 도시된 바와 같이, 유기 전계 발광 소자(270)를 형성하게 된다.

즉, 상기 제 2 반도체 활성층(234)에 접속하며, 전면 또는 배면 발광 방식이냐에 따라서 선택된 ITO, IZO나 반사도가 높은 Ag, Al, Mg와 ITO, IZO의 박막으로 된 애노우드(271)를 도 5a에서와 같은 공정을 통하여 기판(201) 상에 미리 형성시킨 상태에서, 상기 애노우드(271) 상에는 유기 발광막(272)을 형성하게 된다. 상기 유기 발광막(272)은 저분자 또는 고분자 유기막을 사용하는 경우에 따라서 정공 주입층, 정공 수송층, 유기 발광층, 전자 수송층, 전자 주입층등이 단일 또는 복합의 구조로 적층된다. 이어서, 상기 유기 발광막(272)의 윗면에는 캐소우드(273)를 전면 증착하거나, 패터닝하여 형성할 수가 있다.

발명의 효과

이상의 설명에서와 같이 본 발명의 유기 전계 발광 표시 장치와, 이를 제조하기 위한 방법은 다음과 같은 효과를 얻을 수 있다.

첫째, 박막 트랜지스터의 반도체 활성층과 유기 전계 발광 소자의 애노우드의 일부가 상호 중첩됨으로써, 개구율을 향상시킬 수 있다. 이에 따른, 광효율을 향상시킬 수가 있다.

둘째, 반도체 활성층과, 애노우드가 기관상의 동일한 평면상에 형성됨으로써, 절연막을 줄일 수가 있어서 제조 공정이 단순화된다.

셋째, 애노우드의 가장자리를 따라 경사면을 제공함으로써, 반도체 활성층과의 접촉이 원활하게 이루어진다.

넷째, 반도체 활성층과 애노우드가 직접적으로 접촉하게 됨으로써, 제조시 필요한 마스크수가 줄어든다. 이에 따라, 제조 공정이 단순해진다.

본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

도면의 간단한 설명

도 1은 종래의 유기 전계 발광 표시 장치를 도시한 단면도,

도 2는 본 발명의 일 실시예에 따른 유기 전계 발광 표시 장치의 서브 픽셀을 도시한 평면도,

도 3은 도 2의 유기 전계 발광 표시 장치의 단위 픽셀에 대한 등가 회로도,

도 4는 도 2의 I-I 선을 따라 절개한 단면도,

도 5a 내지 도 5i는 도 4의 유기 전계 발광 표시 장치를 단계별로 제조한 이후의 상태를 도시한 것으로서,

도 5a는 기관상에 애노드를 형성한 이후의 상태를 도시한 단면도,

도 5b는 도 5a의 기관상에 반도체 활성층을 형성한 이후의 상태를 도시한 단면도,

도 5c는 도 5b의 기관상에 게이트 절연막을 형성한 이후의 상태를 도시한 단면도,

도 5d는 도 5c의 기관상에 게이트 전극을 형성한 이후의 상태를 도시한 단면도,

도 5e는 도 5d의 기관상에 이온 도핑한 이후의 상태를 도시한 단면도,

도 5f는 도 5e의 기관상에 패시베이션층과 콘택 홀을 형성한 이후의 상태를 도시한 단면도,

도 5g는 도 5f의 기관상에 소스-드레인 전극을 형성한 이후의 상태를 도시한 단면도,

도 5h는 도 5g의 기관상에 유기 평탄화막을 형성한 이후의 상태를 도시한 단면도.

<도면의 주요 부분에 대한 부호의 설명>

200...유기 전계 발광 표시 장치 201...기관

202...버퍼층 204...패시베이션층

206...유기 평탄화막 210...스위치 박막 트랜지스터

230...구동용 박막 트랜지스터 231...소스-드레인 전극

232...게이트 전극 234...제 2 반도체 활성층

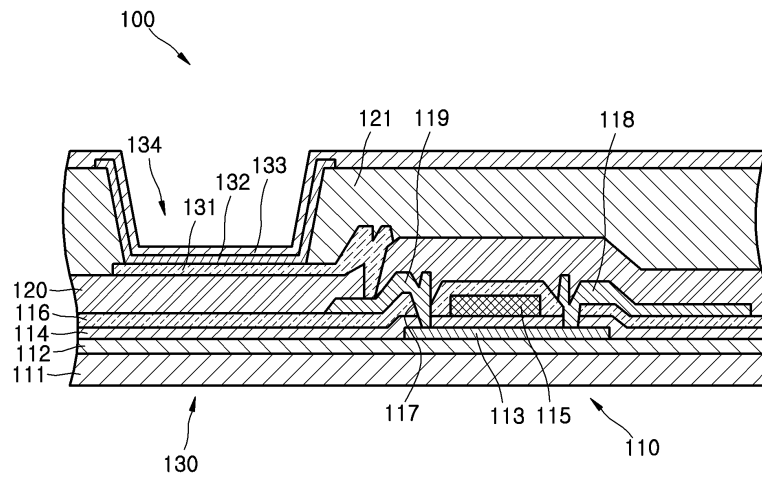
250...커패시터 270...유기 전계 발광 소자

271...애노우드 272...유기 발광막

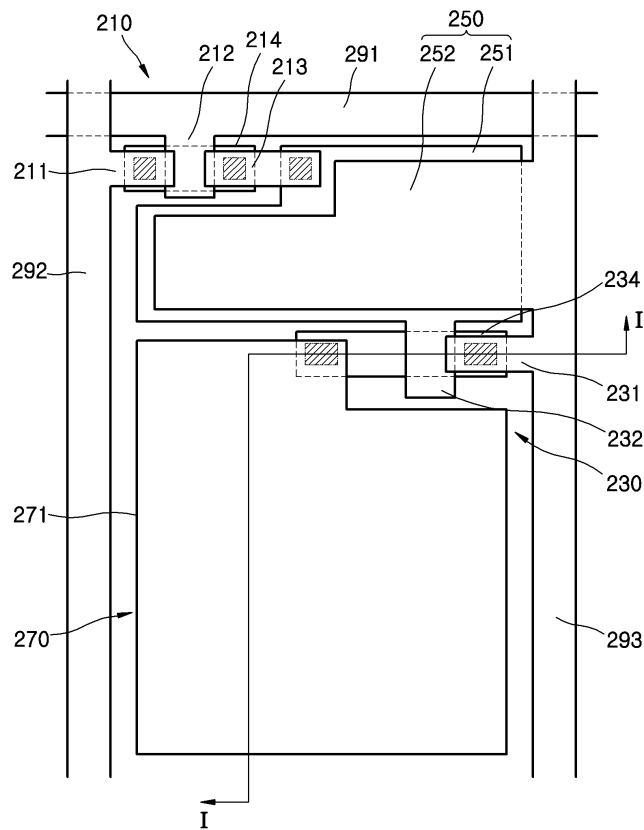
273...캐소우드 274...개구부

도면

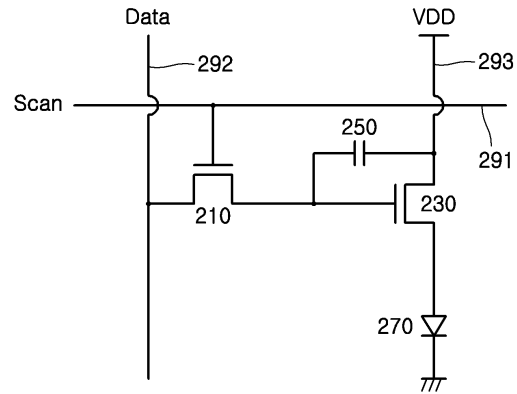
도면1



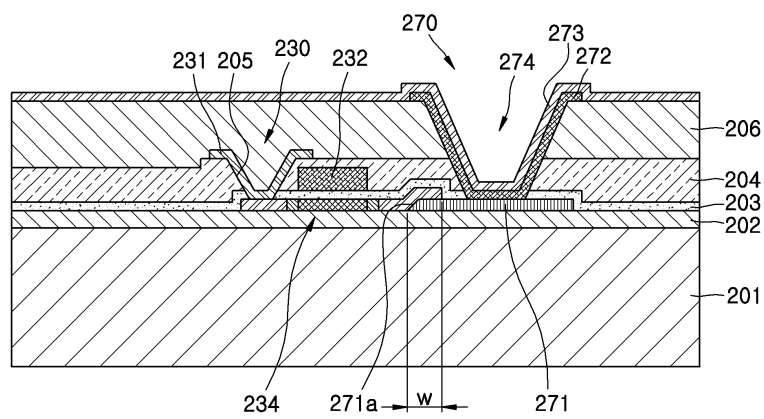
도면2



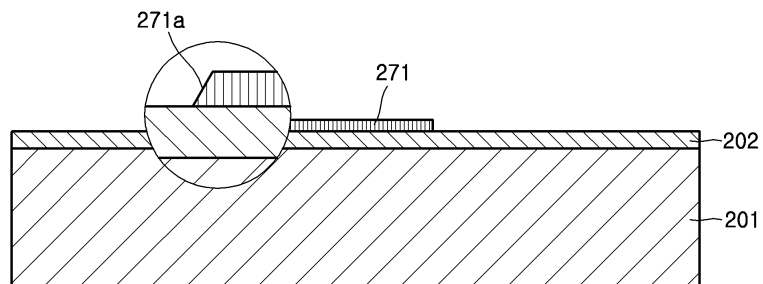
도면3



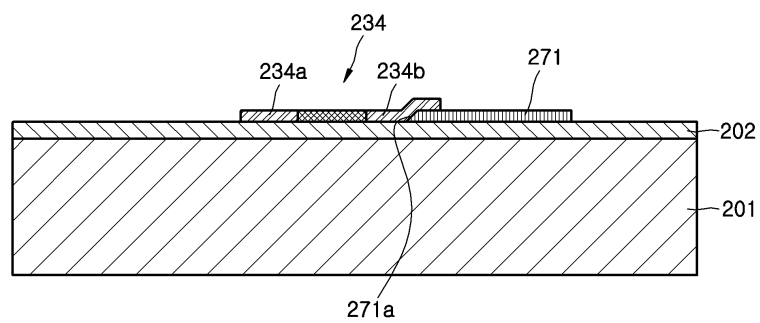
도면4



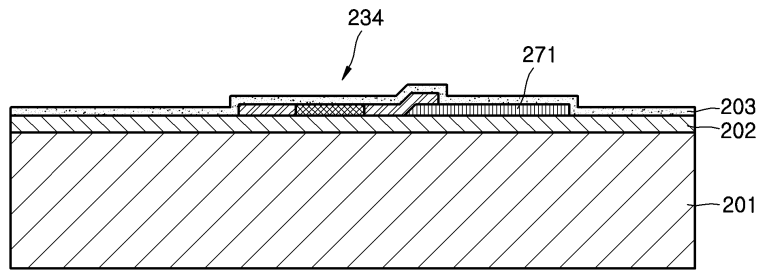
도면5a



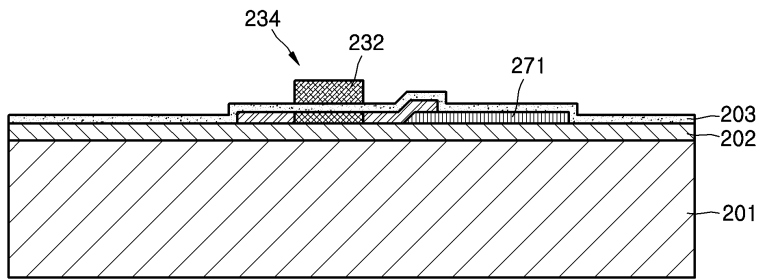
도면5b



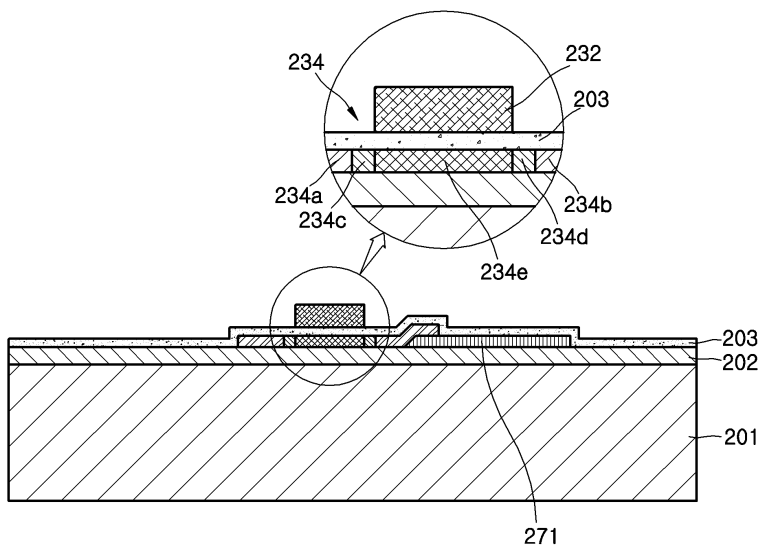
도면5c



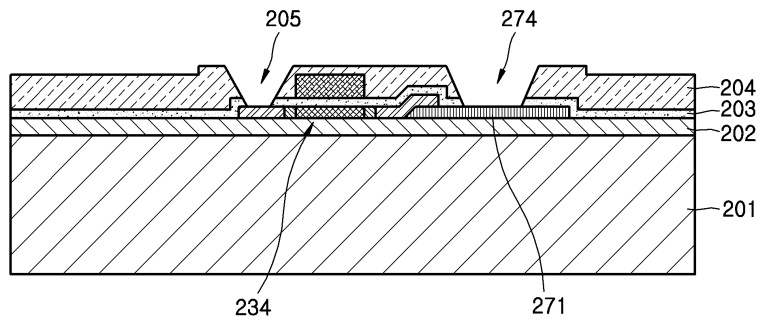
도면5d



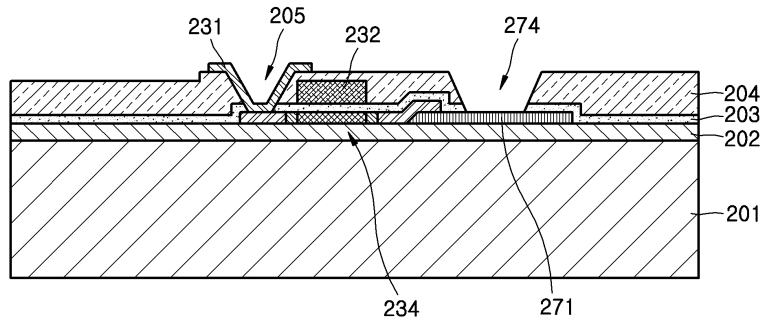
도면5e



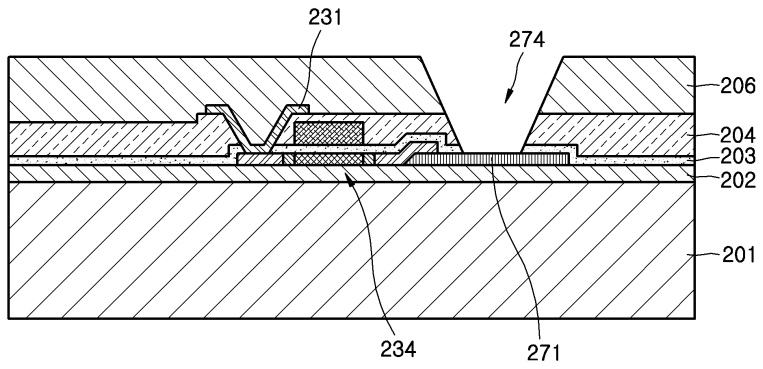
도면5f



도면5g



도면5h



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR100669708B1	公开(公告)日	2007-01-16
申请号	KR1020040008929	申请日	2004-02-11
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	OH SANGHUN		
发明人	OH,SANGHUN		
IPC分类号	H05B33/26		
代理人(译)	李, 杨HAE		
其他公开文献	KR1020050081219A		
外部链接	Espacenet		

摘要(译)

公开了有机电致发光显示装置及其制造方法。本发明涉及基板上的预定图案和基板。并且至少一个薄膜晶体管配备有形成在所形成的阳极上的有机发光层，并且其上侧，所述半导体有源层包括所述有机电致发光器件，所述半导体有源层配备有形成在所述有机发光层的上侧的阴极在基板和重叠区域上形成预定图案和阳极，并且包括连接到栅电极的源 - 漏电极。薄膜晶体管和有机电致发光器件的半导体有源层的阳极部分相互重叠。以这种方式，可以改善孔径比。关于连接到栅电极的源 - 漏电极，栅极绝缘层是中间层，并且形成在半导体有源层上，以及半导体有源层的源 - 漏区。可以改善根据上述的光效率。

