



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H05B 33/26 (2006.01) H05B 33/10 (2006.01)		(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년12월28일 10-0662979 2006년12월21일
(21) 출원번호 (22) 출원일자 심사청구일자	10-2005-0110433 2005년11월17일 2005년11월17일	(65) 공개번호 (43) 공개일자	

(73) 특허권자	삼성에스디아이 주식회사 경기 수원시 영통구 신동 575
(72) 발명자	천필근 경기 용인시 기흥읍 상갈리 주공3단지 금화마을 309동
(74) 대리인	신영무

심사관 : 추장희

전체 청구항 수 : 총 6 항

(54) 유기 전계 발광표시장치 및 그 제조방법

(57) 요약

본 발명은 유기 전계 발광표시장치의 휘도 불균일 현상을 방지할 수 있는 유기 전계 발광표시장치 및 그 제조방법에 관한 것이다.

본 발명의 유기 전계 발광표시장치는 기관 상에 형성된 적어도 하나의 박막 트랜지스터와, 상기 박막 트랜지스터 상에 형성되며, 단차를 갖는 평탄화층과, 상기 단차를 갖는 평탄화층의 상단 및 하단에 형성되며, 상기 상단 및 하단에 제1 비아홀 및 제2 비아홀을 통해 상기 박막 트랜지스터의 소스 또는 드레인 전극과 전기적으로 연결되도록 형성된 제1 전극층 및 보조전극과, 상기 결과물 상에 형성되며, 상기 제1 전극층 및 상기 보조전극을 적어도 부분적으로 노출되도록 개구부가 형성된 화소정의막과, 상기 화소정의막의 일 영역 및 상기 개구부 상에 형성된 발광층과, 상기 발광층 상부에 형성되는 제2 전극층을 포함한다.

이에 따라, 유기 전계 발광표시장치의 휘도 불균일 현상을 방지할 수 있다.

대표도

도 3

특허청구의 범위

청구항 1.

기관 상에 형성된 적어도 하나의 박막 트랜지스터와,

상기 박막 트랜지스터 상에 형성되며, 단차를 갖는 평탄화층과,

상기 단차를 갖는 평탄화층의 상단 및 하단에 형성되며, 상기 상단 및 하단에 제1 비아홀 및 제2 비아홀을 통해 상기 박막 트랜지스터의 소스 또는 드레인 전극과 전기적으로 연결되도록 형성된 제1 전극층 및 보조전극과,

상기 결과물 상에 형성되며, 상기 제1 전극층 및 상기 보조전극을 적어도 부분적으로 노출되도록 개구부가 형성된 화소정의막과,

상기 화소정의막의 일 영역 및 상기 개구부 상에 형성된 발광층과,

상기 발광층 상부에 형성되는 제2 전극층을 포함하는 것을 특징으로 하는 유기 발광표시장치.

청구항 2.

제1 항에 있어서, 상기 평탄화층은 역테이퍼 형태인 것을 특징으로 하는 유기 전계 발광표시장치.

청구항 3.

제2 항에 있어서, 상기 제1 전극층과 상기 보조전극은 단차를 갖는 역테이퍼 형태의 상기 평탄화층에 의해 분리되는 것을 특징으로 하는 유기 전계 발광표시장치.

청구항 4.

제1 항에 있어서, 상기 보조전극은 상기 제1 전극층 보다 폭이 작은 것을 특징으로 하는 유기 전계 발광표시장치.

청구항 5.

제4 항에 있어서, 상기 보조전극 및 상기 제1 전극층은 3:7 비율의 크기인 것을 특징으로 하는 유기 전계 발광표시장치.

청구항 6.

기관 상에 적어도 하나의 박막 트랜지스터를 형성하는 단계와;

상기 박막 트랜지스터 상에, 역테이퍼 형태의 단차를 갖는 평탄화층을 형성하는 단계와;

상기 평탄화층 상단 및 하단 상의 일 영역 상에 형성되며, 상기 평탄화층 내에 형성된 제1 비아홀 및 제2 비아홀을 통해 상기 박막 트랜지스터의 소스 또는 드레인 전극과 전기적으로 연결된 상기 제1 전극층 및 보조 전극을 형성하는 단계와;

상기 평탄화층 상에 형성되며, 상기 제1 전극층 및 상기 보조 전극이 적어도 부분적으로 노출되도록 개구부가 형성된 화소정의막을 형성하는 단계와;

상기 개구부 상에 발광층을 형성하는 단계와;

상기 발광층 상부에 제2 전극층을 형성하는 단계를 포함하는 것을 특징으로 하는 유기 전계 발광표시장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 전계 발광표시장치 및 그 제조방법에 관한 것으로, 보다 구체적으로는 역테이퍼 형태의 단차를 갖는 평탄화층 상에 보조전극을 더 형성함으로써 유기 전계 발광표시장치의 휘도 불균일 현상을 방지할 수 있는 유기 전계 발광표시장치 및 그 제조방법에 관한 것이다.

최근에, 음극선관(CRT:Cathode Ray Tube)의 무게와 크기의 문제점을 해결하여 소형 경량화의 장점을 가지고 있는 평판표시장치(FPD:Flat Panel Display)가 주목받고 있다. 이러한 평판표시장치는 액정표시장치(LCD:Liquid Crystal Display), 발광표시장치(LED:Light Emitting Diode), 전계방출표시장치(FED:Field Emitter Display) 및 플라즈마 표시장치(PDP:Plasma Display Panel) 등이 있다.

그리고 이와 같은 평판표시장치 중에서도 발광표시장치는 다른 평판표시장치보다 사용온도 범위가 넓고, 충격이나 진동에 강하며, 시야각이 넓고, 응답속도가 빨라 깨끗한 동화상을 제공할 수 있다는 등의 장점을 가지고 있어서 향후 차세대 평판표시장치로 주목받고 있다.

이러한 발광표시장치로는 유기 발광소자를 이용한 유기 발광표시장치와 무기 발광소자를 이용한 무기 발광표시장치가 있다. 유기 발광소자는 애노드 전극층, 제2 전극층 및 이들 사이에 위치하여 전자와 정공의 결합에 의하여 발광하는 유기발광층을 포함한다. 무기 발광소자는 유기 발광소자와 달리 무기물인 발광층, 일례로 PN 접합된 반도체로 이루어진 발광층을 포함한다.

이하에서는 도면을 참조하여 종래의 유기 발광표시장치를 구체적으로 설명한다.

도 1은 종래 기술에 따른 유기 전계 발광 표시장치의 단면도이다.

도 1을 참조하면, 유기 전계 발광 표시장치(100)는 기판(110) 상에 버퍼층(120)이 형성된다. 상기 버퍼층(120) 상에는 박막 트랜지스터(130)가 형성된다. 상기 박막 트랜지스터(130)는 반도체층(131), 게이트 전극층(132) 및 소스/드레인 전극층(133a,133b)을 포함한다. 상기 박막 트랜지스터(130) 상에는 평탄화층(140)이 형성되고, 평탄화층(140) 상에는 상기 소스 또는 드레인 전극층(133a,133b)과 전기적으로 연결된 제1 전극층(150)이 형성된다. 그리고 평탄화층(140) 및 상기 파티클(160)이 착상된 상기 제1 전극층(150) 상에는 상기 제1 전극층(150)의 적어도 일 영역을 노출시키는 개구부가 구비된 화소정의막(170)이 형성되어 있다. 상기 제1 전극층(150) 상에는 발광층(180)이 형성되고, 상기 발광층(180) 및 상기 화소정의막(170) 상에는 제2 전극층(190)이 형성하게 된다.

그러나, 상기 제1 전극층(150) 표면 상에는 상기 제1 전극층(150) 증착공정시 발생하는 파티클(160)이 착상되어, 상기 제1 전극층(150) 상에 후 공정될 발광층(180) 및 제2 전극층(190) 증착시 상기 파티클(160)과 발광층(180) 및 상기 발광층(180)과 제2 전극층(190)의 단차부가 더 커지게된다. 이에 따라 발광소자의 전극간 쇼트가 발생되어 진행성 암점이 발현되며, 누설전류의 경로가 발생하는 문제점을 갖는다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 전술한 종래의 문제점들을 해소하기 위해 도출된 발명으로, 기존의 유기 전계 발광표시장치의 화소정의막 영역 내에 보조전극을 포함하는 화소를 더 형성함으로써 기존의 화소에 암점이 발현되어도 상기 보조전극을 포함하는 화소에서, 빛을 발광시킬 수 있는 유기 전계 발광 표시장치 및 그의 제조방법을 제공하는데 그 목적이 있다.

발명의 구성

전술한 목적을 달성하기 위한, 본 발명의 일 측면에 따르면, 본 발명의 유기 전계 발광표시장치는 기판 상에 형성된 적어도 하나의 박막 트랜지스터와, 상기 박막 트랜지스터 상에 형성되며, 단차를 갖는 평탄화층과, 상기 단차를 갖는 평탄화층의 상단 및 하단에 형성되며, 상기 상단 및 하단에 제1 비아홀 및 제2 비아홀을 통해 상기 박막 트랜지스터의 소스 또는 드레인 전극과 전기적으로 연결되도록 형성된 제1 전극층 및 보조전극과, 상기 결과물 상에 형성되며, 상기 제1 전극층 및 상기 보조전극을 적어도 부분적으로 노출되도록 개구부가 형성된 화소정의막과, 상기 화소정의막의 일 영역 및 상기 개구부 상에 형성된 발광층과, 상기 발광층 상부에 형성되는 제2 전극층을 포함한다.

바람직하게, 상기 평탄화층은 역테이퍼 형태이며, 상기 제1 전극층과 상기 보조전극은 상기 평탄화층 상에 형성된 역테이퍼 형태의 단차에 의해 분리된다.

상기 보조전극은 상기 제1 전극층 보다 폭이 작으며, 상기 보조전극 및 상기 제1 전극층은 3:7 비율의 크기이다.

이하에서는, 본 발명의 실시 예들을 도시한 도면을 참조하여, 본 발명을 보다 구체적으로 설명한다.

도 2는 본 발명에 따른 유기 전계 발광표시장치의 개략적인 평면도이다.

도 2를 참고하면, 유기 전계 발광표시장치(200)는 기판(210) 상에 발광소자 및 박막 트랜지스터를 포함하는 화상표시부(220)가 형성된다. 상기 기판(210) 상부에는 상기 화상표시부(220) 및 배선 및 칩이 형성된 상기 패드부(230)가 형성된다.

상기 화상표시부(220)는 상기 제1 화소부인 적(R)색의 부화소(221), 상기 녹(G)색의 부화소(222), 상기 청(B) 색의 부화소(223) 및 상기 제2 화소부인 적(R) 색의 부화소(221a), 상기 녹(G) 색의 부화소(222a), 상기 청(B)색의 부화소(223a)으로 이루어진 복수의 화소들로 이루어진다. 상기 화상표시부(220) 내에 형성된 상기 제1 부화소부인 적(R)색의 부화소(221)는 제1행 1열에, 상기 녹(G)색의 부화소(222)는 제2행 1열에, 그리고 상기 청(B)색의 부화소(223)는 제3행 1열에 배치된다.

한편, 상기 제2 부화소부인 적(R)색의 부화소(221a)는 상기 적(R)색의 부화소(221) 및 녹(G)색의 부화소(222) 영역의 중심부 즉, 기존의 다수 애노드 전극층을 분리시켜주기 위해 형성된 화소정의막 상에 형성되며, 상기 제2 부화소부인 녹(G)색의 부화소(222a)는 상기 녹(G)색의 부화소(222) 및 상기 청(B)색의 부화소(223)의 중심부에 형성된다. 또한, 상기 제2 부화소부인 청(B)색의 부화소(223a)는 상기 청(B)색의 부화소(223) 및 상기 적(R)색의 부화소(미도시)의 중심부에 형성된다. 이와 같이, 상기 제2 화소부인 적(R)색의 부화소(221a), 상기 녹(G)색의 부화소(222a) 및 상기 청(B)색의 부화소(223a)를 형성함으로써, 유기 전계 발광표시장치의 개구율 및 발광효율이 향상된다.

도 3은 도 2의 I-I' 선에 따른 단면도이다.

도 3을 참조하면, 유기 전계 발광표시장치(200)는 기판(210) 상에 형성된 적어도 하나의 박막 트랜지스터(211)와, 상기 박막 트랜지스터(211) 상에 형성되며, 단차를 갖는 평탄화층(212)과, 상기 단차를 갖는 평탄화층(212)의 상단 및 하단에 형성되며, 상기 상단 및 하단에 제1 비아홀(213) 및 제2 비아홀(214)을 통해 상기 박막 트랜지스터(211)의 소스 또는 드레인 전극과 전기적으로 연결되도록 형성된 제1 전극층(214) 및 보조전극(215)과, 상기 결과물 상에 형성되며, 상기 제1 전극층(214) 및 상기 보조전극(215)을 적어도 부분적으로 노출되도록 개구부가 형성된 화소정의막(217)과, 상기 화소정의막(217)의 일 영역 및 상기 개구부 상에 형성된 발광층(218)과, 상기 발광층(218) 상부에 형성되는 제2 전극층(219)을 포함한다.

상기 기판(210)은 일례로 유리, 플라스틱, 실리콘 또는 합성수지와 같은 절연성을 띠는 재질로 이루어질 수 있으며, 유리 기판과 같은 투명 기판이 바람직하다.

상기 박막 트랜지스터(211)는 상기 기판(210) 상에 형성된다.

이하에서는 상기 박막 트랜지스터(211)를 보다 구체적으로 설명한다.

상기 박막 트랜지스터(211)의 반도체층은 상기 기판(210) 상에 소정의 패턴으로 형성된다. 상기 반도체층은 상기 기판(210) 상에 증착된 비정질 실리콘을 레이저 등을 이용하여 결정화한 폴리실리콘(LTPS: low temperature poly silicon)을 이용할 수 있다.

상기 박막 트랜지스터(211)의 게이트 절연층은 상기 반도체층 상에 형성되며, 상기 게이트 절연층은 상기 게이트 전극과 상기 반도체층을 절연시키는 역할을 한다.

상기 박막 트랜지스터(211)의 게이트 전극은 상기 게이트 절연층 상에 형성되며, 상기 게이트 전극은 상기 반도체층의 채널 영역의 상부에 소정의 패턴으로 형성된다. 상기 게이트 전극은 도전성 금속 예컨대, 알루미늄(Al), MoW, 폴리브텐(Mo), 구리(Cu), 은(Ag), 은합금, 알루미늄 합금 또는 ITO 등과 같은 물질 중 하나로 이루어지며, 이들에 제한되지는 않는다.

상기 박막 트랜지스터(211)의 층간 절연층은 상기 게이트 전극 상에 형성되며, 상기 층간 절연층의 절연물질은 상기 게이트 절연층과 동일한 물질로 형성된다.

상기 박막 트랜지스터(211)의 소스/드레인 전극은 상기 층간 절연층 상에 형성되며, 상기 게이트 절연층과 상기 층간 절연층 내에 형성된 콘택트 홀을 통하여 상기 반도체층의 양측에 각각 전기적으로 연결된다.

상기 평탄화층(212)은 상기 박막 트랜지스터(211) 상에 형성되며, 질화막 또는 산화막으로 형성되며, 이들에 제한되지는 않는다.

상기 평탄화층(212) 상에 포토 레지스트를 도포하고, 포토레지스트 상에 패턴이 형성된 마스크를 위치시킨 뒤, 상기 마스크 상부에서 자외선을 조사시킨 뒤, 상기 마스크 및 광원을 제거하고, 상기 포토레지스트를 식각한다. 이때, 투과율이 낮은 네가티브 포토 레지스트 물질을 사용하여, 두께 방향으로 광에 노출되는 막의 면을 변화시킨 후, 현상공정 시 역테이퍼 형태의 단차를 갖는 상기 평탄화층(212)을 형성하게 된다. 이와 같이, 상기 평탄화층(212)은 단차 및 역테이퍼 형태를 가짐으로써, 상기 평탄화층(212) 상에 형성되는 제1 전극층(216) 및 상기 보조전극(215)을 서로 분리 형성할 수 있다.

상기 제1 전극층(216) 및 상기 보조전극(215)은 단차를 갖는 상기 평탄화층(212)의 상단 및 하단에 형성된다. 상기 평탄화층(212)은 역테이퍼 형태로 형성됨으로써, 상기 제1 전극층(216) 및 상기 보조전극(215)을 서로 분리시켜 형성할 수 있다. 또한, 상기 평탄화층(212) 내의 일 영역을 에칭하여 상기 박막 트랜지스터(211)의 소스 또는 드레인 전극 중 어느 하나가 노출되도록 형성된 제1 비어홀(213) 및 제2 비어홀(214)을 통해, 상기 제1 전극층(216) 및 상기 보조전극(215)을 상기 박막 트랜지스터(211)의 소스 또는 드레인 전극 중 어느 하나와 전기적으로 연결시킨다.

상기 보조전극(215)은 상기 제1 전극층(216) 보다 폭이 작게 형성되며, 보다 바람직하게는 3:7 비율의 크기로 형성된다. 상기 보조전극(215)은 상기 제1 전극층(216)과 동일한 금속인 알루미늄(Al), 알루미늄 합금, 은(Ag), 은 합금, MoW, 폴리브텐(Mo), 구리(Cu) 또는 ITO, IZO 등과 같은 도전성 금속 산화물로 이루어진다. 또한, 상기 보조전극(215)은 기존의 다수 애노드 전극들을 분리시켜 주기 위해 형성된 화소정의막의 일 영역 상에 형성됨으로써, 발광소자의 개구율을 더욱 향상시킨다.

이와 같이, 유기 전계 발광표시장치의 제1 전극층(216)이 형성된 화소 영역에 상기 보조전극(215)을 추가적으로 형성하여, 기존에 하나의 화소영역을 두개의 화소영역으로 분리한다. 예컨대, 상기 제1 전극층(216)을 포함하는 화소영역 내에 암점이 발현된 경우, 상기 보조전극(215)을 포함하는 화소영역에서 빛이 발광된다. 즉, 상기 보조전극(215)은 상기 평탄화층(212) 내에 형성된 제1 비어홀(213)을 통하여 상기 박막트랜지스터(211)의 소스 또는 드레인 전극 중 어느 하나와 전기적으로 연결되어 상기 보조전극(215)이 형성된 화소영역에서 빛을 발광시킨다. 또한, 이와 반대로, 상기 보조전극(215)이 포함되는 화소영역에서 암점이 발현된 경우, 상기 제1 전극층(216)은 상기 평탄화층(212) 내에 형성된 제2 비어홀(214)을 통하여 상기 박막 트랜지스터(211)의 소스 또는 드레인 전극 중 어느 하나와 전기적으로 연결되어 상기 제1 전극층(216)이 형성된 발광소자의 화소영역에서 빛을 발광시킨다.

따라서, 화소영역 내의 상기 제1 전극층(216)을 포함하는 화소에서 암점이 발현되더라도 화소 전체가 암점화 되지 않고, 상기 보조전극(215)이 포함된 발광소자를 이용하여 빛을 발광시킬 수 있어 전체적인 디스플레이의 암점 발현을 방지할 수 있다. 또한, 화소영역 내의 상기 보조전극(215)을 포함하는 화소에서 암점이 발현되더라도 화소 전체가 암점화 되지 않고, 상기 제1 전극층(216)이 포함된 발광소자를 이용하여 빛을 발광시킬 수 있다.

상기 화소정의막(217)은 상기 제1 전극층(216), 상기 보조전극(215) 및 상기 평탄화층(240) 상에 형성되며, 상기 제1 전극층(216) 및 상기 보조전극(215)을 부분적으로 노출시키는 개구부를 포함한다. 상기 화소정의막(217)은 서로 이웃하는 화소를 서로 분리시켜 준다.

상기 발광층(218)은 상기 제1 전극층(216) 및 상기 보조전극(215) 상에 형성되며, 상기 발광층(218)은 정공 주입층, 정공 수송층, 전자수송층 및 전자 주입층 중 일부를 더 포함할 수 있다. 이러한 상기 발광층(218)은 상기 제1 전극층(216)과 상기 제2 전극층(219) 및 상기 보조전극(215)과 상기 제2 전극층(219)으로 부터 주입된 정공 및 전자가 결합하면서 빛을 발생한다.

상기 제2 전극층(219)은 상기 발광층(218) 및 상기 화소정의막(217) 상에 형성된다. 여기서, 상기 제2 전극층(219)은 제1 전극층(216) 및 상기 보조전극(215)과 동일한 금속으로 형성된다.

이상 본 발명을 상세히 설명하였으나 본 발명은 이에 한정되지 않으며, 본 발명이 속하는 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 많은 변형할 수 있음은 물론이다.

발명의 효과

이상과 같이, 본 발명에 의하면, 유기 전계 발광표시장치의 제1 전극이 형성된 화소 영역에 상기 보조전극을 추가적으로 형성하여, 기존에 하나의 화소영역을 두개의 화소영역으로 분리한다. 따라서, 상기 제1 전극 또는 보조전극에 파티클이 부착되더라도 화소영역 전체가 암점이 되지 않고, 파티클이 부착된 제1 전극 또는 보조전극이 형성된 부분에만 암점이 발생하게 되어 암점이 발생하는 면적을 절반 이하로 줄일 수 있다. 이에 따라, 유기 전계 발광표시장치의 휘도 불균일 현상을 방지할 수 있으며, 소자의 수명을 연장시킬 수 있는 이점이 있다.

도면의 간단한 설명

도 1은 종래기술에 따른 유기 전계 발광표시장치의 단면도.

도 2는 본 발명에 따른 유기 전계 발광표시장치의 개략적인 평면도.

도 3은 도 2의 I - I' 선에 따른 단면도.

♣ 도면의 주요 부분에 대한 부호의 설명 ♣

210 : 기판 211 : 박막 트랜지스터

212 : 평탄화층 213 : 제1 비아홀

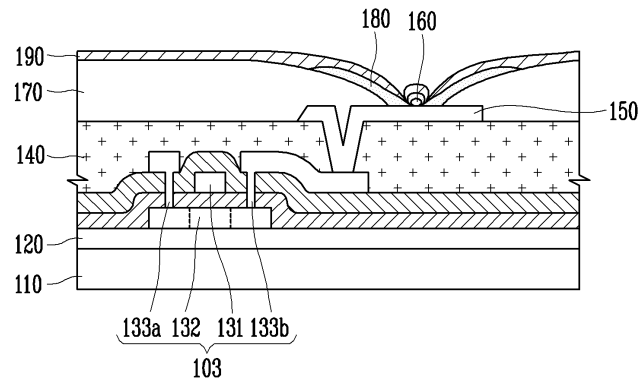
214 : 제2 비아홀 215 : 보조전극

216 : 제1 전극층 217 : 화소정의막

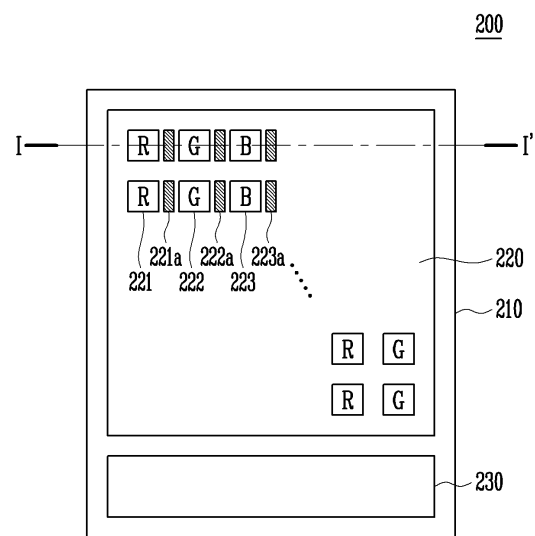
218 : 발광층 219 : 제2 전극층

도면

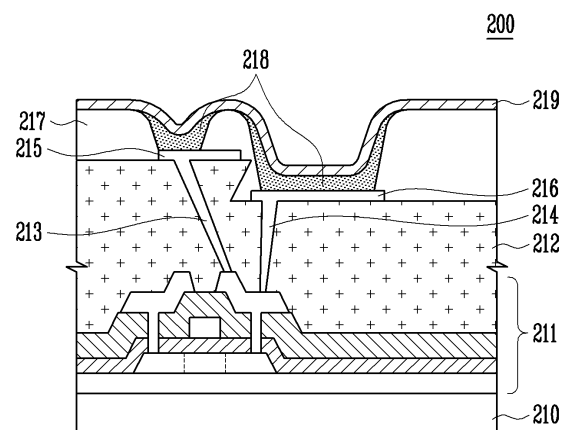
도면1



도면2



도면3



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR100662979B1	公开(公告)日	2006-12-28
申请号	KR1020050110433	申请日	2005-11-17
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	PILGEUN CHUN 천필근		
发明人	천필근		
IPC分类号	H05B33/26 H05B33/10		
CPC分类号	H01L27/3248 H01L51/5209 H01L51/5212 H01L51/56		
代理人(译)	SHIN , YOUNG MOO		
外部链接	Espacenet		

摘要(译)

提供有机EL (电致发光) 显示装置及其制造方法, 以通过将暗点区域减半来防止有机EL显示装置的不均匀亮度。在基板上形成至少一个TFT (薄膜晶体管) (211)。平坦化层 (212) 形成在TFT上并包括高度差。第一电极层 (216) 和辅助电极 (215) 分别形成在平坦化层的上部和下部。第一电极层和辅助电极通过第一和第二通孔连接到TFT的源极和漏极。像素限定膜 (217) 包括孔, 其部分地暴露第一电极层和辅助电极。发光层 (218) 形成在像素限定膜和孔的一部分上。在发光层上形成第二电极层 (219)。

