

명세서

도면의 간단한 설명

도 1은 유기 전계 발광 표시장치의 유효 디스플레이 영역과 비유효 디스플레이 영역을 나타내는 개념도이다.

도 2는 유효 디스플레이 영역에 형성되는 화상 디스플레이용 트랜지스터 그룹의 일례와 비유효 디스플레이 영역에 형성되는 구동신호 제어용 트랜지스터 그룹의 일례를 나타내는 간략한 회로도이다.

도 3은 종래의 유기 전계 발광 표시장치의 단면도이다.

도 4는 종래의 유기 전계 발광 표시장치의 제조방법을 나타내는 단면도이다.

도 5는 종래의 유기 전계 발광 표시장치의 제조방법을 나타내는 단면도이다.

도 6은 종래의 유기 전계 발광 표시장치의 제조방법을 나타내는 단면도이다.

도 7은 종래의 유기 전계 발광 표시장치의 제조방법을 나타내는 단면도이다.

도 8은 종래의 유기 전계 발광 표시장치의 제조방법을 나타내는 단면도이다.

도 9는 종래의 유기 전계 발광 표시장치의 제조방법을 나타내는 단면도이다.

도 10은 종래의 유기 전계 발광 표시장치의 제조방법을 나타내는 단면도이다.

도 11은 종래의 유기 전계 발광 표시장치의 제조방법을 나타내는 단면도이다.

도 12는 본 발명에 따른 유기 전계 발광 표시장치의 단면도이다.

도 13은 본 발명에 따른 유기 전계 발광 표시장치의 제조방법을 나타내는 단면도이다.

도 14는 본 발명에 따른 유기 전계 발광 표시장치의 제조방법을 나타내는 단면도이다.

도 15는 본 발명에 따른 유기 전계 발광 표시장치의 제조방법을 나타내는 단면도이다.

도 16은 본 발명에 따른 유기 전계 발광 표시장치의 제조방법을 나타내는 단면도이다.

도 17은 본 발명에 따른 유기 전계 발광 표시장치의 제조방법을 나타내는 단면도이다.

<도면 중 주요 부분에 대한 부호의 설명>

100: 유기 전계 발광 표시장치, 110: 유효 디스플레이 영역,

120: 비유효 디스플레이 영역, 210: 제어용 트랜지스터(N형),

220: 제어용 트랜지스터(P형), 310: 스위칭 트랜지스터(TFT_{sw}),

320: 구동 트랜지스터(TFT_{dr}), 400: 디스플레이 기관,

410: 버퍼층,

420: 제 1 절연막(게이트 절연막), 430: 제2 절연막(충간 절연막),

- 44a: 제 1 비아홀, 45a: 제 2 비아홀,
 46: 화소정의막, 46a: 화소 정의 영역,
 460: 패시베이션막,
 461: 평탄화막, 61: 제 1 전극층(애노드층),
 62: 유기막, 63: 제 2 전극층(캐소드층)

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 전계 발광 표시장치의 제조방법에 관한 것으로서, 보다 상세하게는 유기 전계 발광 표시장치중 화상 영역에 형성되는 화상 표시용 트랜지스터의 게이트 전극과 유기 전계 발광 표시소자의 애노드 전극을 동시에 패터닝하여 형성함으로써 제조공정에 필요한 마스크의 사용 개수를 줄이는 유기 전계 발광 표시장치의 제조방법에 관한 것이다.

통상적으로 전계 발광 표시장치는 형광성 유기 화합물을 전기적으로 여기시켜 발광시키는 자발광형 디스플레이로 낮은 전압에서 구동이 가능하고, 박형화가 용이하며 넓은 광시야각, 빠른 응답속도 등을 장점을 갖추어, 액정표시장치에 있어서 문제점으로 지적되어 왔던 결점을 해결할 수 있는 차세대 디스플레이로 주목받고 있다.

이러한 전계 발광 표시장치는 발광층을 형성하는 물질이 무기물인가 유기물인가에 따라 무기 전계 발광 표시장치와 유기 전계 발광 표시장치로 구분될 수 있다.

한편, 유기 전계 발광 표시장치는 유리와 같은 투명한 절연기판에 소정 패턴의 유기막이 형성되고 이 유기막의 상하부에는 전극층들이 형성된다. 유기막은 유기 화합물로 이루어진다.

상기와 같이 구성된 유기 전계 발광 표시장치는 전극들에 양극 및 음극 전압이 인가됨에 따라 양극전압이 인가된 전극으로부터 주입된 정공(hole)이 정공 수송층을 경유하여 발광층으로 이동되고, 전자는 음극전압이 인가된 전극으로부터 전자 수송층을 경유하여 발광층으로 주입된다. 이 발광층에서 전자와 홀이 재결합하여 여기자(exiton)를 생성하고, 이 여기자가 여기상태에서 기저상태로 변화됨에 따라, 발광층의 형광성 분자가 발광함으로써 화상이 형성된다.

한편, 이러한 유기 전계 발광 표시장치 중 능동 구동방식의 액티브 매트릭스(Active Matrix: AM)형 유기 전계 발광 표시장치는 각 화소당 적어도 2개의 박막 트랜지스터(이하, "TFT"라 함)를 구비한다. 이들 박막 트랜지스터는 각 화소의 동작을 제어하는 스위칭 소자 및 픽셀을 구동시키는 구동 소자로 사용된다. 이러한 박막 트랜지스터는 기판 상에 고농도의 불순물로 도핑된 드레인 영역과 소스 영역 및 상기 드레인 영역과 소스 영역의 사이에 형성된 채널 영역을 갖는 반도체 활성층을 가지며, 이 반도체 활성층 상에 형성된 게이트 절연막, 및 활성층의 채널영역 상부의 게이트 절연막 상에 형성된 게이트 전극, 게이트 전극 상에서 층간절연막을 사이에 두고 드레인 영역과 소스 영역과 콘택홀을 통해 접속된 드레인 전극 및 소스 전극 등으로 구성된다.

도 1은 유기 전계 발광 표시장치(100)의 유효 디스플레이 영역(110)과 비유효 디스플레이 영역(120)을 나타내고, 도 2는 유효 디스플레이 영역에 형성되는 화상 디스플레이용 트랜지스터 그룹(300)의 일례와 비유효 디스플레이 영역에 형성되는 구동신호 제어용 트랜지스터 그룹(200)의 일례를 나타낸다.

구동신호 제어용 트랜지스터 그룹(200)은 다양한 트랜지스터 로직의 조합으로 이루어지며, 화상 디스플레이용 트랜지스터 그룹(300)의 스위칭 트랜지스터(TFT_{sw})를 스위칭 온(On)시키는 구동 신호를 스캔 라인(Scan)을 통하여 출력한다.

화상 디스플레이용 트랜지스터 그룹(300)은 적어도 하나의 스위칭 트랜지스터(TFT_{sw})와 적어도 하나의 구동 트랜지스터(TFT_{dr}) 및 충전용 커패시터(C_{st})를 포함한다. 스위칭 트랜지스터(TFT_{sw})는 스캔 라인(Scan)에 인가되는 스캐닝 신호에

구동되어 데이터 라인(Data)에 인가되는 데이터 신호를 전달하는 역할을 한다. 구동 트랜지스터(TFT_{dr})는 스위칭 트랜지스터(TFT_{sw})를 통해 전달되는 데이터 신호에 따라서, 즉 게이트와 소스 간의 전압차(V_{gs})에 의해 구동라인(V_{dd})을 통해 유기 전계 발광 소자(OLED)로 유입되는 전류량을 결정한다. 충전용 커패시터(C_{st})는 상기 스위칭 트랜지스터(TFT_{sw})를 통해 전달되는 데이터 신호를 한 프레임동안 저장하는 역할을 한다.

도 3은 종래의 유기 전계 발광 표시장치의 단면도로서, 특히 구동 트랜지스터(TFT_{dr})의 단면도를 도시한 것이다. 도 3에서 볼 수 있는 바와 같이, 글라스재의 기판(400)상에 버퍼층(410)이 형성되어 있고, 이 위에 박막 트랜지스터(TFT)와, 유기 전계 발광 소자(OLED)가 형성된다.

이러한 유기 전계 발광 표시장치는 일반적으로 다음과 같이 형성된다.

먼저, 기판(400)의 버퍼층(410)상에 소정 패턴의 반도체 활성층(51)이 구비된다. 반도체 활성층(51)의 상부에는 SiO₂ 등에 의해 게이트 절연막(420)이 구비되고, 게이트 절연막(420) 상부의 소정 영역에는 MoW, Al/Cu 등의 도전막으로 게이트 전극(53)이 형성된다. 상기 게이트 전극(53)은 TFT 온/오프 신호를 인가하는 게이트 라인(미도시)과 연결되어 있다. 상기 게이트 전극(52)의 상부로는 층간 절연막(inter-insulator:430)이 형성되고, 콘택 홀을 통해 소스/드레인 전극(440)이 각각 반도체 활성층(51)의 소스 영역 및 드레인 영역에 접하도록 형성된다. 소스/드레인 전극(440) 상부로는 SiO₂, SiNx 등으로 이루어진 패시베이션막(460)이 형성되고, 이 패시베이션 막(460)의 상부에는 아크릴, 폴리 이미드, BCB 등의 유기물질로 평탄화막(461)이 형성되어 있다.

패시베이션 막(460) 및 평탄화막(461)에는 포토리소그래피 또는 천공에 의해 소스/드레인 전극(440)에 이어지는 비아홀(44a,45a)이 형성된다. 그리고, 이 평탄화막(461)의 상부에 애노드 전극이 되는 제 1 전극층(61)이 형성됨으로써, 제 1 전극층(61)은 소스/드레인 전극(440)에 전기적으로 접속된다. 그리고, 제 1 전극층(61)을 덮도록 유기물로 화소 정의막(Pixel Define Layer: 46)이 형성된다. 이 화소정의막(46)에 소정의 개구(46a)를 형성한 후, 이 개구(46a)로 한정된 영역 내에 유기층(62)을 형성한다. 유기층(62)은 발광층을 포함한다. 그리고, 이 유기층(62)을 덮도록 캐소드 전극인 제 2 전극층(63)이 형성된다. 상기 유기층(62)은 제 1 전극층(61)과 제 2 전극층(63)의 서로 대향되는 부분에서 정공 및 전자의 주입을 받아 발광된다.

한편, 비유효 디스플레이 영역(120)에서 구동용 IC의 역할을 대신하는 구동신호 제어용 트랜지스터 그룹(200)을 화상 디스플레이용 트랜지스터 그룹(300)과 동시에 형성할 경우에는, 일괄 제조에 의한 제조 공정의 단순화, 고속화 및 제조비용 감소 등의 장점을 얻을 수 있다.

이러한 종래의 일괄 제조 방법을 도 4 이하의 도면을 참조하면서 간략히 설명하면 다음과 같다.

도 4 내지 도 11에는, 종래의 유기 전계 발광 표시장치의 제조방법의 순서에 따라, 비유효 디스플레이 영역(120)에 제어용 트랜지스터(TFT_{ctrl};210,220)를 형성하고, 유효 디스플레이 영역(110)에 스위칭 트랜지스터(TFT_{sw};310)와 구동 트랜지스터(TFT_{dr};320) 및 1 개의 충전용 커패시터(C_{st})를 형성하는 과정이 도시되어 있다.

먼저, 도 4에 도시된 바와 같이, 소정 면적을 갖는 디스플레이 기판(400)의 상면에서 전면적에 걸쳐 버퍼층(410)을 형성한다. 이후, 디스플레이 기판(400)의 상면에는 다시 증착 설비에 의하여 폴리 실리콘(poly-silicon) 박막층이 소정 두께로 형성된다.

이후, 폴리 실리콘 박막층에는 다시 포토레지스트 박막이 형성된 상태(이하, 박막 형성과정에서 포토레지스트 박막 형성 과정은 설명의 편의상 필수적인 곳을 제외하고는 생략하기로 한다)에서 제1 패턴 마스크를 사용하여 비유효 디스플레이 영역(120) 및 유효 디스플레이 영역(110)에 형성될 복수의 박막 트랜지스터(210,220,310,320)의 위치에 소정 면적을 갖는 반도체층(242,243,311,312)을 형성한다.

비유효 디스플레이 영역(120)에 형성될 2 개의 박막 트랜지스터(210,22)의 일부인 반도체층을 이하, "N형 반도체층(242)", "P형 반도체층(243)"이라 정의하고, 유효 디스플레이 영역(110)에 형성될 2 개의 박막 트랜지스터(310,320)의 일부인 반도체층을 이하, "제 1 반도체층(311)", "제 2 반도체층(321)"이라 정의하기로 한다. 이처럼 제 1 패턴 마스크에 의하여 필요한 모든 반도체층(311,321)이 형성된 상태에서 디스플레이 기판(400)의 전면적에 걸쳐 도 5에 도시된 바와 같이 제 1 절연막(게이트 절연막;420)이 소정 두께로 형성된다.

그리고, 제 1 절연막(420)의 상면에는 제 2 패턴 마스크를 매개로 패터닝된 이온 스톱퍼 레이어(244,245,312,322)가 형성된다. 이후, 도 5에 도시된 바와 같이 디스플레이 기관(400)은 이온 스톱퍼 레이어(244,245,312,322)에 의하여 가려지지 않은 반도체층(242,243,311,321)에, 이온주입설비에 의하여, N 물질로 이온 도핑(ion doping)이 수행된다.

이후, 이온 스톱퍼 레이어(244,245,312,322)를 제거하고, N 물질로 이온 도핑 영역(246,313,324)에 이온 도핑이 수행된 상태에서 디스플레이 기관(400)의 전면적에 걸쳐 소정 두께로 도전성 게이트 물질이 데포(depo)되어 게이트 박막이 형성된 후, 제 3 패턴 마스크에 의하여 도 6에 도시된 바와 같이 게이트 박막의 패터닝이 수행된다. 보다 구체적으로, 게이트 박막은 제 1, 제 2 반도체층(311,321)의 상면 및 충전용 커패시턴스(C_{st})의 제 1 전극(331) 형성 위치에 남도록 패터닝된다.

이어서, 도 7과 같이, P형 반도체층(243)만을 이온 도핑하기 위하여, P형 반도체층을 제외한 부분에 제 4 패턴 마스크를 매개로 형성된 포토레지스트 패턴(250)을 통해, P형 반도체층(243)에 P형 물질로 이온 도핑을 수행함으로써 P형 반도체층의 이온 도핑 영역(251)을 생성한다.

이어서, 디스플레이 기관(400)의 상면에는 도 8에 도시된 바와 같이 전면적에 걸쳐 제 2 절연막(층간절연막;430)이 소정 두께로 형성된 상태에서, N형 반도체층(242)의 이온 도핑 영역(246), P형 반도체층(243)의 이온 도핑 영역(251), 제 1 반도체층(311)의 이온 도핑 영역(313), 제 2 반도체층(321)의 이온 도핑 영역(324)의 상면에 해당하는 제 2 절연막(430)에는 제 5 패턴 마스크를 매개로 각각 콘택홀(431,432,433,434,435,436,437,438)이 형성된다.

이후, 디스플레이 기관(400)의 상면 전면적에 걸쳐 도전성 소오스/드레인 메탈이 소정 두께로 증착되어 소오스/드레인 메탈층(440)이 형성되고, 소오스/드레인 메탈층(440)에는 도 9에 도시된 바와 같이 제 6 패턴 마스크에 의하여 패터닝이 수행된다.

드레인 전극(445)중 충전용 커패시턴스(C_{st})의 제 1 전극(311)의 상부에 위치한 부분은 제 2 전극 역할을 하며, 그 사이의 제 2 절연막(430)은 충전용 커패시턴스(C_{st})의 유전체의 역할을 한다. 한편, 도 2의 간략한 회로도에 도시된 바와 같이, 커패시턴스의 제 2 전극의 일부는 연장되어 제 2 트랜지스터(320)중 도면부호 325로 도시된 게이트와 연결되고, 도면부호 456으로 도시된 소오스 전극은 도시되지 않은 구동 라인(Vdd)에 연결된다.

이후, 도 10에 도시된 바와 같이 디스플레이 기관(400)의 상면 전면적에 걸쳐 SiN_x 등으로 이루어진 패시베이션막(460)이 형성된 상태에서, 이 패시베이션막(460)에 제 7 패턴 마스크를 매개로 제 1 비아홀(44a)을 형성한다. 그리고, 패시베이션막(460)의 상부에는 아크릴, BCB, 폴리 이미드 등에 의한 평탄화막(461)을 형성한 다음, 패시베이션막(460)의 제 1 비아홀(44a)과 연통되도록 제 8 패턴 마스크로 제 2 비아홀(45a)을 형성한다.

이어서, 도 11에 도시된 바와 같이, 제 9 패턴 마스크를 매개로, 평탄화막(461)의 상부에 유기 전계 발광 소자(OLED)의 애노드층(61)을 형성해, 이 제 1 전극층(61)이 제 1 비아홀(44a) 및 제 2 비아홀(45a)을 통해 소스/드레인 전극(53)에 접속되도록 한다. 제 1 전극층(61) 상으로, 제 10 마스크 패턴을 매개로 아크릴, BCB, 폴리 이미드 등에 의해 화소정의막(PDL;46)이 형성된 후, 유기층(62) 및 캐소드층(63)이 건식 도포됨으로써 유기 전계 발광 표시장치가 완성된다.

그런데, 이와 같은 종래의 유기 전계 발광 표시장치의 제조 방법에 따르면, 총 10개에 이르는 많은 수의 마스크 패턴이 필요한 바, 제조 공정의 신속화, 간소화 및 제조 비용의 감소화에 여전히 많은 장애가 되고 있다.

또한, 제 1 전극층을 반사전극으로 하여도, 유기층에서 발광되는 빛의 일부는 완전히 반사되지 않고 측면으로 새어나가므로 발광 효율이 떨어지는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기 종래 기술의 문제점을 해결하기 위하여 창안된 것으로서, 유기 전계 발광 표시장치의 제조 공정에서 필요한 마스크 패턴의 개수를 감소시킴으로써, 제조 공정의 신속화, 간소화 및 제조 비용의 감소화에 이바지하는 유기 전계 발광 표시장치의 제조 방법을 제공하는데 목적이 있다.

또한, 본 발명의 다른 목적은 유기층이 소스 및 드레인 전극 또는 그에 접속되어 연장된 신호선의 수직 폭 이내에 배치되게 함으로써, 유기층에서 발광되는 빛의 일부가 측면으로 새어나가더라도 반사되어 발광 효율을 높인 유기 전계 발광 표시장치의 제조 방법을 제공하는데 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위하여, 본 발명은, 기판상에 형성된 것으로, 반도체 활성층과, 상기 반도체 활성층의 상부에 형성된 게이트 전극과, 상기 게이트 전극과 절연되도록 형성되고 상기 반도체 활성층의 소스 및 드레인 영역에 각각 접하도록 도전성 소재로 구비된 소스 및 드레인 전극을 구비한 박막 트랜지스터;

상기 소스 및 드레인 전극 중 어느 하나와 접속되며, 상기 게이트 전극과 동일한 물질로, 상기 게이트 전극과 동일층에 형성된 제 1 전극층;

상기 제 1 전극층 위에, 상기 제 1 전극층에 절연되도록 형성된 제 2 전극층; 및

상기 제 1 전극층과 제 2 전극층의 사이에 개재되고, 적어도 발광층을 가지는 유기층을 포함하는 것을 특징으로 하는 유기 전계 발광 표시장치를 제공한다.

그리고, 상기 반도체 활성층과 상기 게이트 전극의 사이에는 제 1 절연막이 개재되고, 상기 제 1 전극층은 상기 제 1 절연막 상에서 상기 게이트 전극과 동일한 층에 형성될 수 있다. 이때, 상기 게이트 전극과 상기 소스 및 드레인 전극의 사이에는 제 2 절연막이 개재되고, 상기 제 2 절연막은 이 제 2 절연막이 형성되지 않은 개구 영역을 가지며, 상기 제 1 전극층은 상기 개구 영역내에 위치할 수 있다.

또한, 상기 제 1 전극층은 금속 전극으로서, Mo, MoW, Cr, Ni, Al, Al 합금, Ag, ITO, IZO 중 적어도 하나로 이루어진 막을 포함하며, 빛을 반사할 수 있다. 특히, 제 1 전극층은 Mo, MoW, Cr, Ni, Al, Al 합금, Ag 중 적어도 하나로 이루어진 막과, ITO, IZO 중 적어도 하나로 이루어진 막이 결합된 이중막 또는 삼중막으로 형성될 수 있다. 그리고, 상기 제 1 전극층은 게이트 전극과 동일한 물질로 형성될 수 있다.

한편, 상기 박막 트랜지스터를 덮고 상기 제 1 전극층의 소정 부분이 노출되도록 화소 정의막이 형성되고, 상기 유기층은 상기 화소 정의막의 상기 제 1 전극층이 노출된 영역에 형성될 수 있다.

그리고, 상기 유기층은 인접한 상기 소스 및 드레인 전극 또는 그에 접속된 신호선의 수직 폭(h) 이내에 형성됨으로써, 유기층으로부터 측면 방향으로 새어나간 빛이 인접한 상기 소스 및 드레인 전극 또는 그에 접속된 신호선에 반사되어 발광 효율을 증대시킬 수 있다.

한편, 본 발명에 따른 유기 전계 발광 표시장치의 제조방법은, 디스플레이 기판에 정의된 화상 영역에 형성된 복수의 화상용 트랜지스터와, 상기 화상 영역을 감싸는 비화상 영역에 형성된 제어용 트랜지스터를 포함하는 유기 전계 발광 표시장치를 제조하는 방법에 있어서,

상기 디스플레이 기판에 반도체 박막을 형성한 후 제 1 패턴 마스크를 사용하여 제 1 반도체층, 제 2 반도체층, 제 3 반도체층 및 제 4 반도체층을 패터닝하여 형성하는 반도체층 형성단계와;

상기 디스플레이 기판에 제 1 절연막을 형성한 상태에서 제 2 패턴 마스크를 사용하여 복수의 반도체층 중 적어도 하나(예를 들어, 제 1 반도체층, 제 3 반도체층 및 제 4 반도체층)의 양단에 제 1 이온을 도핑하는 제 1 이온 도핑단계와;

상기 제 1 절연막상에서, 제 3 패턴 마스크를 사용하여, 상기 복수의 반도체층에 대응하는 영역보다 좁은 폭을 가지는 영역에 게이트 전극을 형성하고, 발광영역을 형성하고자 하는 소정의 위치에 제 1 전극층(예를 들어, 애노드 전극층)을 형성하는 게이트 및 제 1 전극층 형성단계와;

제 4 패턴 마스크를 사용하여, 복수의 반도체층 중 적어도 하나(예를 들어, 제 2 반도체층)의 양단에 제 2 이온을 도핑하는 제 2 이온 도핑단계와;

상기 디스플레이 기관의 전영역에 제 2 절연막을 형성한 상태에서, 제 5 패턴 마스크를 사용하여, 상기 이온 도핑된 영역에 콘택홀을 형성하고, 상기 제 1 전극층 상의 제 2 절연막을 제거하는 단계와;

상기 디스플레이 기관에 도전성 박막을 형성한 상태에서, 제 6 패턴 마스크를 사용하여, 소스 전극 및 드레인 전극 중 어느 하나가 상기 제 1 전극층에 접속되도록 상기 콘택홀 상에 소스 전극 및 드레인 전극을 형성하는 소스 및 드레인 형성단계와;

상기 디스플레이 기관에 평탄화막을 형성한 상태에서, 제 7 패턴 마스크를 사용하여, 상기 화소 정의 영역을 패터닝하는 화소 정의 영역 형성단계를 포함하는 것을 특징으로 하는 유기 전계 발광 표시장치의 제조방법을 제공한다.

그리고, 상기 제 1 전극층은 금속 전극으로 형성될 수 있으며, Mo, MoW, Cr, Ni, Al, Al 합금, Ag, ITO, IZO 중 적어도 하나로 이루어진 막을 포함할 수 있고, 특히 Mo, MoW, Cr, Ni, Al, Al 합금, Ag 중 적어도 하나로 이루어진 막과, ITO, IZO 중 적어도 하나로 이루어진 막이 결합된 이중막 또는 삼중막으로 형성될 수 있으며, 빛을 반사할 수 있다.

그리고, 상기 화소 정의 영역 형성단계에서, 상기 제 7 패턴 마스크를 사용하여, 상기 박막 트랜지스터를 덮고 상기 제 1 전극층의 소정 부분이 노출되도록 화소 정의 영역을 형성한다.

한편, 본 발명에 따른 유기 전계 발광 표시장치의 제조방법은, 상기 화소 정의 영역의 상기 제 1 전극층이 노출된 영역에 유기층을 도포하는 유기층 형성 단계와; 상기 유기층 상에 제 2 전극층을 도포하는 제 2 전극층 형성 단계를 더 포함할 수 있다.

그리고, 상기 소스 및 드레인 형성단계에서, 상기 제 6 패턴 마스크를 사용하여 상기 소스 및 드레인 전극의 형성과 동시에 상기 소스 및 드레인 전극과 접속된 신호선이 패터닝되고, 상기 유기층은 인접한 상기 소스 및 드레인 전극 또는 신호선의 수직 폭(h) 이내에 배치되도록 도포될 수 있다.

이하에서는, 첨부 도면을 참조하여 본 발명의 바람직한 실시예를 설명하겠다.

도 12는 본 발명에 따른 유기 전계 발광 표시장치의 단면도로서, 특히 구동 트랜지스터(TFT_{dr}) 및 그에 연결된 화소 정의 영역을 중심으로 나타낸 것이다.

도 12를 참조하면, 디스플레이 기관(400) 및 버퍼층(410)의 상면에, 반도체 활성층(51,52)과, 게이트 전극(53)과, 소스 및 드레인 전극(440)이 설치되어 있다. 반도체 활성층(51,52)과 게이트 전극(53) 사이에는 제 1 절연막(게이트 절연막;420)이 개재되어 절연되어 있고, 게이트 전극(53)과 소스 및 드레인 전극(440) 사이에는 제 2 절연막(층간 절연막;430)이 개재되어 절연되어 있다. 소스 및 드레인 전극(440)은 각각 반도체 활성층의 소스 및 드레인 영역(52)에 콘택 홀을 통해 접속되어 있다.

특히, 제 1 절연막(420) 위에는, 유기 전계 발광 소자(OLED)의 제 1 전극층(61)(예를 들어, 애노드층)이 배치되어 있다. 제 1 전극층(61)은 소스 및 드레인 전극(440) 중 어느 하나와 직접적으로 접속되어 있다. 따라서, 종래 기술과 달리 유기 전계 발광 소자(OLED)와 구동 트랜지스터(TFT_{dr}) 사이의 비아홀(Via Hole)이 존재하지 않는다. 제 1 전극층(61)은 게이트 전극(53)과 동일한 물질로 형성될 수 있는데, 이때 게이트 전극(53)과 제 1 전극층(61)을 동시에 형성할 수 있으므로 제조 공정을 간소화할 수 있는 장점이 있다.

제 1 전극층(61)의 위에는, 유기층(62)이 도포되고, 그 위에는 제 2 전극층(63)(예를 들어, 캐소드층)이 도포됨으로써 유기 전계 발광 소자(OLED)가 구성된다.

한편, 게이트 전극(53)과 소스 및 드레인 전극(440) 사이에 형성되어 있는 제 2 절연막(430)은, 그 일부가 형성되지 않은 개구 영역을 가지는데, 그 개구 영역내에 제 1 전극층(61)이 삽입되어 있다. 따라서, 제 2 절연막(430)의 위에 형성되는 소스 및 드레인 전극(440)은 자연히 제 1 전극층(61)보다도 높은 위치에 형성되게 된다. 이 경우, 제 1 전극층(61)의 위에 형성되는 유기층(62)은 소스 및 드레인 전극(440)의 수직 폭(h)이내의 높이에 도포되도록 하면, 유기층(62)으로부터 측면 방향으로 새어나가는 빛이 소스 및 드레인 전극(440) 또는 소스 및 드레인 전극(440)과 접속되어 연장되는 신호선의 측부에 반사됨으로써 발광효율이 증대될 수 있다. 예를 들어, 유기층(62)은 인접한 소스 또는 드레인 전극(456,457)의 측면 또는 소스 및 드레인 전극과 접속되어 연장되어 있는 데이터 라인(Data), 구동 라인(Vdd) 등의 측면에 배치되게 될 수 있다.

왜냐하면, 유기층(62)의 아래에 배치되는 제 1 전극(61)이 제 2 절연막(430)의 측면에 배치되는 한편 소스 및 드레인 전극(456,457) 또는 데이터 라인(Data), 구동 라인(Vdd) 등의 신호선이 제 2 절연막(430) 상에 배치되기 때문에, 유기층(62)은 소스 또는 드레인 전극(456,457)의 측면, 데이터 라인(Data), 구동 라인(Vdd) 등의 신호선의 측면에 배치되게 되기 때문이다.

따라서, 유기층(62)으로부터 방출되는 빛이 소스 또는 드레인 전극(456,457)에 반사되거나, 인접한 데이터 라인(Data) 또는 구동 라인(Vdd) 등의 신호선에 반사됨으로써, 유기 전계 발광 표시장치(100)의 휘도를 향상시킬 수 있다.

한편, 기관(400)측을 향해 발광된 빛이 반사되어 기관(400)의 반대방향으로 발광되도록 하기 위하여, 제 1 전극층(61) 및/또는 게이트 전극(53)을 금속을 포함하는 반사 전극으로써 형성하는 것이 바람직하다. 이때, 제 1 전극층(61) 및/또는 게이트 전극(53)은 일함수가 높은 Mo, MoW, Cr, Ni, Al, Al 합금, Ag, ITO, IZO 중 적어도 하나로 이루어진 막으로 이루어지거나, 저저항 금속인 Mo, MoW, Cr, Ni, Al, Al 합금, Ag 중 적어도 하나로 이루어진 막과, 일함수가 높은 ITO, IZO 중 적어도 하나로 이루어진 막이 결합된 이중막 또는 삼중막으로 이루어지도록 할 수 있다.

유기층(62)은 발광층을 포함하는 것으로서, 제 1 전극층(61)과 제 2 전극층(62)의 사이에 개재된다. 제 1 전극층(61)과 제 2 전극층(63)은 상기 유기층(62)에 의해 서로 소정간격 이격되어 있으며, 유기층(62)에 서로 다른 극성의 전압을 가해 유기층(62)에서 발광이 이루어지도록 한다. 유기층(62)은 저분자 또는 고분자 유기층이 사용될 수 있는데, 저분자 유기층을 사용할 경우 홀 주입층(HIL: Hole Injection Layer), 홀 수송층(HTL: Hole Transport Layer), 유기 발광층(EML: Emission Layer), 전자 수송층(ETL: Electron Transport Layer), 전자 주입층(EIL: Electron Injection Layer) 등이 단일 혹은 복합의 구조로 적층되어 형성될 수 있으며, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N'-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘 (N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯해 다양하게 적용 가능하다. 이들 저분자 유기층은 진공증착의 방법으로 형성된다.

고분자 유기층의 경우에는 대개 홀 수송층(HTL) 및 발광층(EML)으로 구비된 구조를 가질 수 있으며, 이 때, 상기 홀 수송층으로 PEDOT를 사용하고, 발광층으로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등 고분자 유기물질을 사용하며, 이를 스크린 인쇄나 잉크젯 인쇄방법 등으로 형성할 수 있다.

상기와 같은 유기층은 반드시 이에 한정되는 것은 아니고, 다양한 실시예들이 적용될 수 있음은 물론이다.

상기와 같은 구조를 가진 유기 전계 발광 표시장치는, 그 제조방법에 있어서 필요 마스크의 개수가 비약적으로 저감되며, 발광 효율이 증대되는 효과가 있는 바, 이하에서는 본 발명에 의한 유기 전계 발광 표시장치의 제조방법의 바람직한 실시예를 설명한다.

본 발명에 의한 유기 전계 발광 표시장치의 제조방법에 있어서, 유효 디스플레이 영역(110)과 비유효 디스플레이 영역(120)을 구분하여 나타낸 모습은 도 1과 동일하고, 유효 디스플레이 영역에 형성되는 화상 디스플레이용 트랜지스터 그룹(300)의 일례와 비유효 디스플레이 영역에 형성되는 구동신호 제어용 트랜지스터 그룹(200)의 일례는 도 2의 회로도 및 동일하다.

화상 디스플레이용 트랜지스터 그룹(300)은 복수개의 화소마다 각각, 적어도 하나의 스위칭 트랜지스터(TFT_{sw})와 적어도 하나의 구동 트랜지스터(TFT_{dr}) 및 충전용 커패시터(C_{st})를 포함한다. 각 화소는 스캔 라인(Scan), 데이터 라인(Data) 및 구동 라인(Vdd)으로 둘러싸여 있다. 상기와 같은 박막 트랜지스터 및 커패시터의 개수는 반드시 이에 한정되는 것은 아니며, 이보다 더 많은 수의 박막 트랜지스터 및 커패시터를 구비할 수 있음은 물론이다.

도 13 내지 도 17에는, 비유효 디스플레이 영역(120)에 제어용 트랜지스터(210,220)를 형성하는 동시에 유효 디스플레이 영역(110)에 스위칭 트랜지스터(310)와 구동 트랜지스터(320) 및 1 개의 충전용 커패시터(C_{st})를 형성하는 과정이 도시되어 있다.

먼저, 소정 면적을 갖는 디스플레이 기관(400)의 상면에 앞서 설명한 바와 같이 전면적에 걸쳐 버퍼층(410)을 형성한다.

이 버퍼층(410)은 디스플레이 기관(400)이 무알칼리 기관이 아닐 경우, 디스플레이 기관(400)에 포함된 불순물 이온이 디스플레이 기관(400)의 상면에 형성될 박막 트랜지스터로 확산되는 것을 방지하기 위함으로, 디스플레이 기관(400)이 무알

칼리 기관일 경우 이와 같은 버퍼층(410)은 형성하지 않아도 무방하다. 즉, 버퍼층(410)은 디스플레이 기관(400)에 따라서 선택적으로 형성할 수 있다. 버퍼층은 SiO₂로 형성할 수 있으며, PECVD법, APCVD법, LPCVD법, ECR법 등에 의해 증착될 수 있다. 그리고, 이 버퍼층(410)은 대략 3000Å 정도로 증착될 수 있다.

이후, 디스플레이 기관(400)의 상면에는 다시 증착 설비에 의하여 폴리 실리콘(poly-silicon) 박막층이 소정 두께(대략 500Å 정도)로 형성된다. 이때, 폴리 실리콘 박막층은 아몰퍼스 실리콘을 디스플레이 기관(400)에 형성한 상태에서 아몰퍼스 실리콘을 레이저 결정 공정에 의하여 폴리 실리콘으로 결정 변화를 유도하거나 또는 폴리 실리콘을 직접 디스플레이 기관(400)에 형성할 수 있는 바, 어느 방법을 사용하여도 무방하다.

이후, 도 13에 도시된 바와 같이 폴리 실리콘 박막층에는 다시 포토레지스트 박막이 형성된 상태(이하, 박막 형성과정에서 포토레지스트 박막 형성 과정은 설명의 편의상 필수적인 곳을 제외하고는 생략하기로 한다)에서 제 1 패턴 마스크를 사용하여 비유효 디스플레이 영역(120)에 형성될 2 개의 박막 트랜지스터(210,220) 및 유효 디스플레이 영역(110)에 형성될 2 개의 박막 트랜지스터(310,320)의 위치에 소정 면적을 갖는 반도체층(242,243,311,321)을 형성한다.

비유효 디스플레이 영역(120)에 형성될 2 개의 박막 트랜지스터 중 첫번째 트랜지스터를 N형 트랜지스터(210), 두번째 트랜지스터를 P형 트랜지스터(220)로 가정하고, 유효 디스플레이 영역(110)에 형성될 2 개의 박막 트랜지스터(310,320)중 첫번째 트랜지스터를 스위칭 트랜지스터(TFT_{sw};310), 두번째 트랜지스터를 구동 트랜지스터(TFT_{dr};320)라 가정한다. N형 트랜지스터(210)의 반도체층을 N형 반도체층(242), P형 트랜지스터(220)의 반도체층을 P형 반도체층(243), 스위칭 트랜지스터(TFT_{sw};310)의 반도체층을 제 1 반도체층(311), 구동 트랜지스터(TFT_{dr};320)의 반도체층을 제 2 반도체층(321)이라 정의한다. 이처럼 제 1 패턴 마스크에 의하여 필요한 모든 반도체층(242,243,311,321)이 형성된 상태에서 디스플레이 기관(400)의 전면적에 걸쳐 제 1 절연막(420)이 소정 두께로 형성된다(이 과정은 도 5에 도시된 바와 동일하다).

이때, 제1 절연막(420)은 게이트 절연막으로서, 제1 절연막(420)의 상면에 형성될 게이트 전극(247,248,314,325)과 반도체층(242,243,311,321)을 절연시키기 위하여 형성된다.

그리고, 제 1 절연막(420)의 상면에는 제 2 패턴 마스크를 매개로 패터닝된 이온 스톱퍼 레이어(244,245,312,322)가 형성된다. 이후, 디스플레이 기관(400)은 이온 스톱퍼 레이어(244,245,312,322)에 의하여 가려지지 않은 반도체층(242,243,311,321)에, 이온주입설비에 의하여, N 물질로 이온 도핑(high density ion doping)이 수행된다(이 과정은 도 5에 도시된 바와 동일하다). N 물질로 이온 도핑된 영역을 이온 도핑 영역(246,313,324)라 정의하기로 한다.

이후, 이온 스톱퍼 레이어(244,245,312,322)를 제거하고, N 물질로 이온 도핑 영역(246,313,324)에 이온 도핑이 수행된 상태에서, 디스플레이 기관(400)의 전면적에 걸쳐 소정 두께로 도전성 금속물질이 데포(depo)되어 게이트 박막 및 제 1 전극층이 형성된다. 이 상태에서 제 3 패턴 마스크에 의하여 도 13에 도시된 바와 같이 게이트 박막 및 제 1 전극층의 박막의 패터닝이 수행된다. 보다 구체적으로, 게이트 박막 및 애노드 박막은 N형 반도체층(242), P형 반도체층(243), 제 1 및 제 2 반도체층(311,321)의 상면 및 충전용 커패시터(C_{st})의 제 1 전극(331) 형성 위치와, 이후에 유기전계발광 소자로 되는 위치(즉, 발광영역)에 납도록 동시에 패터닝된다. 이로써, 게이트 전극(247,248,314,325) 및 제 1 전극층(61)이 형성된다.

이 경우, 회로설계의 필요에 따라 충전용 커패시터(C_{st})의 제 1 전극(331)도 동시에 형성될 수 있다.

이때, 게이트 전극(247,248,314,325) 및 제 1 전극층(61)은 금속물질로 형성된다. 게이트 전극(247,248,314,325) 및 제 1 전극층(61)을 이루는 상기 금속 물질은 일함수가 높아야 한다. 게이트 전극(247,248,314,325) 및 제 1 전극층(61)을 이루는 금속 물질이 단일막으로 이루어질 경우에는 예를 들어, Mo, MoW, Cr, Ni, Al, Al 합금, Ag, ITO, IZO 중 적어도 하나로 이루어진 막으로 이루어질 수 있다. 이 경우, 상기 게이트 전극(247,248,314,325) 및 제 1 전극층(61)을 이루는 상기 금속 물질이 이중막 또는 삼중막으로 이루어질 경우에는, 저저항 금속인 Mo, MoW, Cr, Ni, Al, Al 합금, Ag 중 적어도 하나와 일함수가 높은 ITO, IZO가 결합된 이중막 또는 삼중막으로 이루어질 수 있다.

이후, 게이트 전극(247,248,314,325) 및 제 1 전극층(61)이 패터닝된 상태에서, 도 14와 같이, P형 반도체층(243)만을 이온 도핑하기 위하여, 제 4 패턴 마스크를 매개로 형성된 포토레지스트 패턴을 통해, P형 반도체층(243)에 P형 물질로 이온 도핑을 수행한다. 이로써, 또 하나의 이온 도핑 영역(251)이 형성된다.

이어서, 포토레지스트 패턴을 제거한 후, 디스플레이 기관(400)의 상면에는 도 15에 도시된 바와 같이 전면적에 걸쳐 제 2 절연막(430)이 소정 두께로 형성된 상태에서, N형 반도체층(242)의 이온 도핑 영역(246), P형 반도체층의 이온 도핑 영역(251), 제 1, 제 2 반도체층의 이온 도핑 영역(313),(437)의 상면에 해당하는 제 2 절연막(430)에 제 5 패턴 마스크를 매개로 각각 콘택홀(431,432,433,434,435,436,437,438)이 형성된다. 이 때, 제 5 패턴 마스크는 발광영역이 형성될 수 있도록 하기 위하여 제 1 전극층(61)이 제 2 절연막(430)에 의해 가려지지 않고 노출되도록 형성되어야 한다.

이후, 디스플레이 기관(400)의 전면적에 걸쳐 도전성 소오스/드레인 메탈이 소정 두께로 증착되어 소오스/드레인 메탈층(440)이 형성되고, 소오스/드레인 메탈층(440)에는 도 15에 도시된 바와 같이 제 6 패턴 마스크에 의하여 패터닝이 수행된다. 스위칭 트랜지스터(TFT_{sw};310)중 도면부호 444로 도시된 부분에는 소오스 전극이 형성되고, 도면부호 445로 도시된 부분에는 드레인 전극이 형성된다.

일 실시예에 있어서, 드레인 전극(445)중 충전용 커패시터스(330)의 제 1 전극(311)의 상부에 위치한 부분은 충전용 커패시터(C_{st})의 제 2 전극 역할을 하며, 그 사이에 개재된 제2 절연막(430)은 충전용 커패시터(C_{st})의 유전체의 역할을 한다. 회로 설계에 따라, 충전용 커패시터(C_{st})의 제 2 전극의 일부는 연장되어 제 2 TFT중 도면부호 325로 도시된 게이트와 연결되고, 도면부호 456으로 도시된 소오스 전극은 도시되지 않은 구동 라인(Vdd)에 연결된다.

이후, 도 17에 도시된 바와 같이 디스플레이 기관(400)의 상면 전면적에 걸쳐 후박한 평탄화막(46)이 형성된 상태에서, 제 1 전극층(61)에 대응하는 부분에는 제 7 패턴 마스크를 매개로 평탄화막(46)이 개구되게 하여 유기 전계 발광 소자(OLED)의 영역을 형성한다. 즉, 제 1 전극층(61)이 노출되도록 발광영역을 패터닝함으로써, 평탄화막(46)은 화소 정의 영역(PDL)으로 된다.

그리고, 외부로 노출된 제 1 전극층(61)의 상면 또는 전영역에는 발광층을 포함하는 유기층(62)이 도포되며, 유기층(62) 위에 제 2 전극층(63)이 도포됨으로써 유기 전계 발광 표시 소자(OLED)가 완성된다.

유기 전계 발광 소자(OLED)는 전류의 흐름에 따라 적, 녹, 청색의 빛을 발광하여 소정의 화상 정보를 표시하는 것으로, TFT의 소스/드레인 전극(53)에 연결되어 이로부터 플러스 전원을 공급받는 제 1 전극층(61)과, 전체 화소를 덮도록 구비되어 마이너스 전원을 공급하는 제 2 전극층(63), 및 이들 제 1 전극층(61)과 제 2 전극층(63)의 사이에 배치되어 발광하는 유기층(62)으로 구성된다.

상기 제 1 전극층(61)은 애노드 전극의 기능을 하고, 상기 제 2 전극층(63)은 캐소드 전극의 기능을 하는 데, 물론, 이들 제 1 전극층(61)과 제 2 전극층(63)의 극성은 반대로 되어도 무방하다.

한편, 상기 유기층(62)은 인접한 상기 소스 또는 드레인 전극(456,457)의 수직 폭 이내에 배치되도록 도포될 수 있다. 이로써, 유기층(62)으로부터 방출되는 빛이 소스 또는 드레인 전극(456,457)에 반사됨으로써, 유기 전계 발광 표시장치(100)의 휘도를 향상시킬 수 있다.

그리고, 상기 소스 및 드레인 형성단계에서, 제 6 패턴 마스크를 사용하여 소스 전극 및 드레인 전극(456,457)을 형성할 때, 이와 동시에 데이터 라인(Data) 또는 구동 라인(Vdd) 등의 신호선이 패터닝되고, 상기 유기층(62)은 인접한 데이터 라인(Data) 또는 구동 라인(Vdd) 등의 신호선의 수직 폭 이내에 배치되도록 도포될 수도 있다. 이로써, 유기층(62)으로부터 방출되는 빛이 인접한 데이터 라인(Data) 또는 구동 라인(Vdd) 등의 신호선에 반사됨으로써, 유기 전계 발광 표시장치(100)의 휘도를 향상시킬 수 있다.

한편, 상기 실시예에 따라 제조되는 유기 전계 발광 표시장치, 특히 유효 디스플레이 영역(110) 중 구동 트랜지스터(TFT_{dr}) 및 유기 전계 발광 소자(OLED)는 다음과 같은 구조를 가질 수 있다. 구동 트랜지스터(TFT_{dr};320)는 디스플레이 기관(400)에 정의된 화상 영역(110)에 형성된 반도체 활성층(321)과, 상기 반도체 활성층(321)의 채널 영역에 대응되는 영역에 형성된 게이트 전극(325)과, 상기 반도체 활성층(321)의 소스 및 드레인 영역(324)에 각각 접하도록 도전성 소자로 구비된 소스 및 드레인 전극(456,457)을 구비한다.

그리고, 애노드 전극 또는 캐소드 전극의 역할을 할 수 있는 제 1 전극층(61)이 반도체 활성층(321)과 게이트 전극(325)을 절연하는 제 1 절연막(420), 즉 게이트 절연막의 위에 배치된다. 그리고, 제 1 전극층(61)은 게이트 전극(325)과 소스 및 드레인 전극(456,457)을 절연하는 제 2 절연막(325), 즉 충전 절연막의 측면에 배치된다. 제 1 전극층(61)은 게이트 전극

(325)과 동일한 공정에서 형성되므로, 게이트 전극(325)과 동일한 물질로 형성된다. 다만, 게이트 전극(325) 및 제 1 전극층(61)을 이루는 상기 금속 물질은 일함수가 높아야 한다. 게이트 전극(325) 및 제 1 전극층(61)을 이루는 금속 물질이 단일막으로 이루어질 경우에는 예를 들어, Mo, MoW, Cr, Ni, Al, Al 합금, Ag, ITO, IZO 중 적어도 하나로 이루어진 막으로 이루어질 수 있다. 한편, 게이트 전극(325) 및 제 1 전극층(61)을 이루는 상기 금속 물질이 이중막 또는 삼중막으로 이루어질 경우에는, 일함수가 높은 ITO, IZO 중 적어도 하나와 저저항 금속(예컨대 Mo, MoW, Cr, Ni, Al, Al 합금, Ag)이 결합된 이중막 또는 삼중막으로 이루어질 수 있다.

그리고, 캐소드 전극 또는 애노드 전극의 역할을 할 수 있는 제 2 전극층(63)이 제 1 전극층(61)에 절연되도록 형성된다.

또한, 발광층을 포함하는 유기층(62)이, 제 1 전극층(61)과 제 2 전극층(62)의 사이에 개재된다. 제 1 전극층(61)과 제 2 전극층(63)은 상기 유기층(62)에 의해 서로 소정간격 이격되어 있으며, 유기층(62)에 서로 다른 극성의 전압을 가해 유기층(62)에서 발광이 이루어지도록 한다.

지금까지, 본 발명을 가장 바람직한 실시예를 기준으로 설명하였으나, 상기 실시예는 본 발명의 이해를 돕기 위한 것일 뿐이며, 본 발명의 내용이 그에 한정되는 것이 아니다. 본 발명의 구성에 대한 일부 구성요소의 부가,삭감,변경,수정 등이 있더라도 첨부된 특허청구범위에 의하여 정의되는 본 발명의 기술적 사상에 속하는 한, 본 발명의 범위에 해당된다. 예를 들어, 위에서 설명한 실시예는, 유효 디스플레이 영역(110)의 하나의 화소에서 2개의 TFT를 사용하는 경우를 기준으로 하여 설명하였으나, 본 발명은 반드시 이에 한정되는 것은 아니며, 하나의 화소에 복수개의 TFT가 사용되는 경우에도 동일하게 적용가능하다. 즉, 도면에는 한 화소에 두 개의 TFT만이 도시되어 있으나, 실제 평면 구조에서는 회로 설계에 따라 더 많은 TFT들이 배치될 수 있다.

발명의 효과

상기한 바와 같이 이루어진 본 발명에 따르면, 유기 전계 발광 표시장치의 제조 공정에 있어서, 종래 기술에 비하여 소요되는 마스크의 개수가 비약적으로 감소하는 효과가 있다. 따라서, 제조 공정의 신속화, 간소화 및 제조 비용의 감소화에 크게 기여할 수 있는 유기 전계 발광 표시장치의 제조 방법이 제공된다.

또한, 본 발명에 따른 유기 전계 발광 표시장치에 의하면, 유기층의 양측면 방향으로 방출되는 빛이 소스/드레인 전극 또는 그에 접속된 신호선에 반사됨으로써, 화상이 구현되는 방향으로 빛이 반사되어 광효율을 향상시킬 수 있으며, 광효율 향상에 따라 소비전력이 적게 소요되고, 이에 따라 유기층의 열화를 지연시켜 수명을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1.

기관상에 형성된 것으로, 반도체 활성층과, 상기 반도체 활성층의 상부에 형성된 게이트 전극과, 상기 게이트 전극과 절연되도록 형성되고 상기 반도체 활성층의 소스 및 드레인 영역에 각각 접하도록 도전성 소재로 구비된 소스 및 드레인 전극을 구비한 박막 트랜지스터;

상기 소스 및 드레인 전극 중 어느 하나와 접속되며, 상기 게이트 전극과 동일한 물질로, 상기 게이트 전극과 동일층에 형성된 제 1 전극층;

상기 제 1 전극층 상부에 형성된 제 2 전극층; 및

상기 제 1 전극층과 제 2 전극층의 사이에 개재되고, 적어도 발광층을 가지는 유기층;을 포함하며,

상기 제 1 전극층은 Mo, MoW, Cr, Ni, Al, Al 합금 및 Ag 중 적어도 하나로 이루어진 막과, ITO 및 IZO 중 적어도 하나로 이루어진 막이 결합된 이중막 또는 삼중막인 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 2.

제 1 항에 있어서,

상기 반도체 활성층과 상기 게이트 전극의 사이에는 제 1 절연막이 개재되고, 상기 제 1 전극층은 상기 제 1 절연막 상에서 상기 게이트 전극과 동일한 층에 형성된 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 3.

제 2 항에 있어서,

상기 게이트 전극과 상기 소스 및 드레인 전극의 사이에는 제 2 절연막이 개재되고, 상기 제 2 절연막은 이 제 2 절연막이 형성되지 않은 개구 영역을 가지며, 상기 제 1 전극층은 상기 개구 영역내에 위치하는 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 4.

삭제

청구항 5.

기관상에 형성된 것으로, 반도체 활성층과, 상기 반도체 활성층의 상부에 형성된 게이트 전극과, 상기 게이트 전극과 절연되도록 형성되고 상기 반도체 활성층의 소스 및 드레인 영역에 각각 접하도록 도전성 소재로 구비된 소스 및 드레인 전극을 구비한 박막 트랜지스터;

상기 소스 및 드레인 전극 중 어느 하나와 접속되며, 상기 게이트 전극과 동일한 물질로, 상기 게이트 전극과 동일층에 형성된 제 1 전극층;

상기 제 1 전극층 위에, 상기 제 1 전극층에 절연되도록 형성된 제 2 전극층; 및

상기 제 1 전극층과 제 2 전극층의 사이에 개재되고, 적어도 발광층을 가지는 유기층;을 포함하며,

상기 제 1 전극층은 Mo, MoW, Cr, Ni, Ag, ITO 및 IZO 중 적어도 하나로 이루어진 막을 포함하는 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 6.

삭제

청구항 7.

제 1 항 내지 제 3 항 및 제 5 항 중 어느 한 항에 있어서,

상기 게이트 전극은 상기 제 1 전극층과 동일한 물질로 형성된 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 8.

제 3 항에 있어서,

상기 박막 트랜지스터를 덮고 상기 제 1 전극층의 소정 부분이 노출되도록 화소 정의막이 형성되고, 상기 유기층은 상기 화소 정의막의 상기 제 1 전극층이 노출된 영역에 형성된 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 9.

제 8 항에 있어서,

상기 유기층은 인접한 상기 소스 및 드레인 전극 또는 그에 접속된 신호선의 수직 폭(h) 이내에 형성된 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 10.

디스플레이 기판에 정의된 화상 영역에 형성된 복수의 화상용 트랜지스터와, 상기 화상 영역을 감싸는 비화상 영역에 형성된 제어용 트랜지스터를 포함하는 유기 전계 발광 표시장치를 제조하는 방법에 있어서,

상기 디스플레이 기판에 반도체 박막을 형성한 후 제 1 패턴 마스크를 사용하여 복수의 반도체층을 패터닝하여 형성하는 반도체층 형성단계와;

상기 디스플레이 기판에 제 1 절연막을 형성한 상태에서 제 2 패턴 마스크를 사용하여 복수의 반도체층 중 적어도 하나의 양단에 제 1 이온을 도핑하는 제 1 이온 도핑단계와;

상기 제 1 절연막상에서, 제 3 패턴 마스크를 사용하여, 상기 복수의 반도체층에 대응하는 영역보다 좁은 폭을 가지는 영역에 게이트 전극을 형성하고, 발광영역을 형성하고자 하는 소정의 위치에 제 1 전극층을 형성하는 게이트 및 제 1 전극층 형성단계와;

제 4 패턴 마스크를 사용하여, 복수의 반도체층 중 적어도 하나의 양단에 제 2 이온을 도핑하는 제 2 이온 도핑단계와;

상기 디스플레이 기판의 전영역에 제 2 절연막을 형성한 상태에서, 제 5 패턴 마스크를 사용하여, 상기 이온 도핑된 영역에 콘택홀을 형성하고, 상기 제 1 전극층 상의 제 2 절연막을 제거하는 단계와;

상기 디스플레이 기판에 도전성 박막을 형성한 상태에서, 제 6 패턴 마스크를 사용하여, 소스 전극 및 드레인 전극 중 어느 하나가 상기 제 1 전극층에 접속되도록 상기 콘택홀 상에 소스 전극 및 드레인 전극을 형성하는 소스 및 드레인 형성단계와;

상기 디스플레이 기판에 평탄화막을 형성한 상태에서, 제 7 패턴 마스크를 사용하여, 상기 화소 정의 영역을 패터닝하는 화소 정의 영역 형성단계를 포함하는 것을 특징으로 하는 유기 전계 발광 표시장치의 제조방법.

청구항 11.

제 10 항에 있어서,

상기 제 1 전극층은 금속 전극으로 형성되는 것을 특징으로 하는 유기 전계 발광 표시장치의 제조방법.

청구항 12.

제 11 항에 있어서,

상기 게이트 전극 및 제 1 전극층은 Mo, MoW, Cr, Ni, Al, Al 합금, Ag, ITO, IZO 중 적어도 하나로 이루어진 막을 포함하는 것을 특징으로 하는 유기 전계 발광 표시장치의 제조방법.

청구항 13.

제 12 항에 있어서,

상기 게이트 전극 및 제 1 전극층은 Mo, MoW, Cr, Ni, Al, Al 합금, Ag 중 적어도 하나로 이루어진 막과, ITO, IZO 중 적어도 하나로 이루어진 막이 결합된 이중막 또는 삼중막인 것을 특징으로 하는 유기 전계 발광 표시장치의 제조방법.

청구항 14.

제 10 항에 있어서,

상기 화소 정의 영역 형성단계에서, 상기 제 7 패턴 마스크를 사용하여, 상기 박막 트랜지스터를 덮고 상기 제 1 전극층의 소정 부분이 노출되도록 화소 정의 영역을 형성하는 것을 특징으로 하는 유기 전계 발광 표시장치의 제조방법.

청구항 15.

제 11 항에 있어서,

상기 화소 정의 영역의 상기 제 1 전극층이 노출된 영역에 유기층을 도포하는 유기층 형성 단계와;

상기 유기층 상에 제 2 전극층을 도포하는 제 2 전극층 형성 단계를 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시장치의 제조방법.

청구항 16.

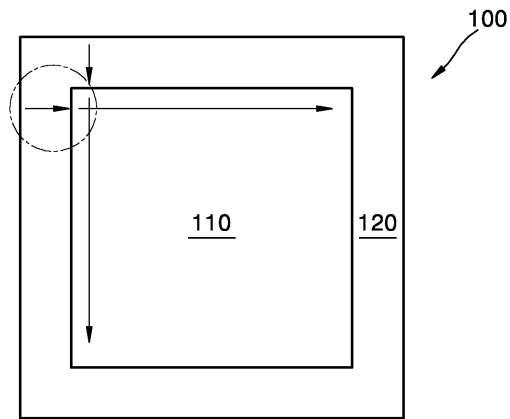
제 10 항에 있어서,

상기 소스 및 드레인 형성단계에서, 상기 제 6 패턴 마스크를 사용하여 상기 소스 및 드레인 전극의 형성과 동시에 상기 소스 및 드레인 전극과 접속된 신호선이 패터닝되고,

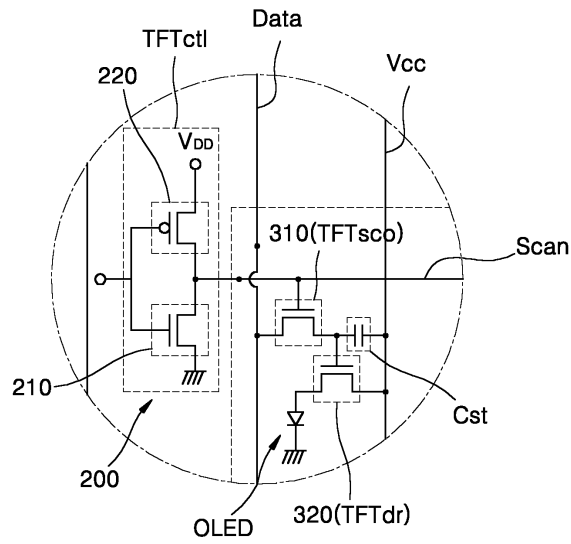
상기 유기층은 인접한 상기 소스 및 드레인 전극 또는 신호선의 수직 폭(h) 이내에 배치되도록 도포되는 것을 특징으로 하는 유기 전계 발광 표시장치의 제조방법.

도면

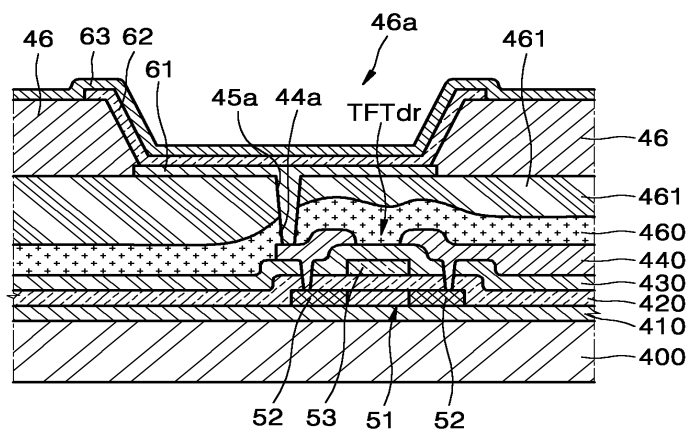
도면1



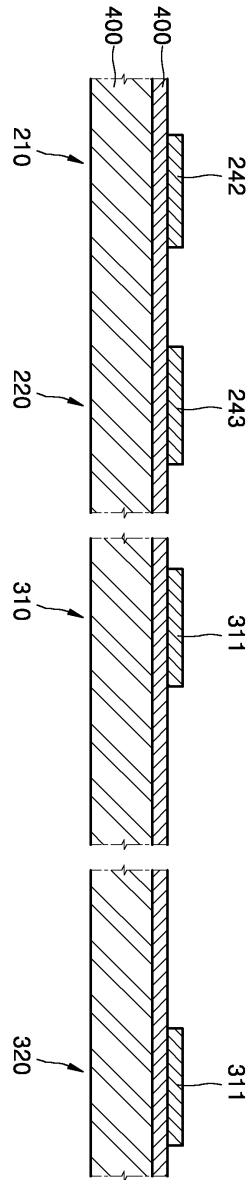
도면2



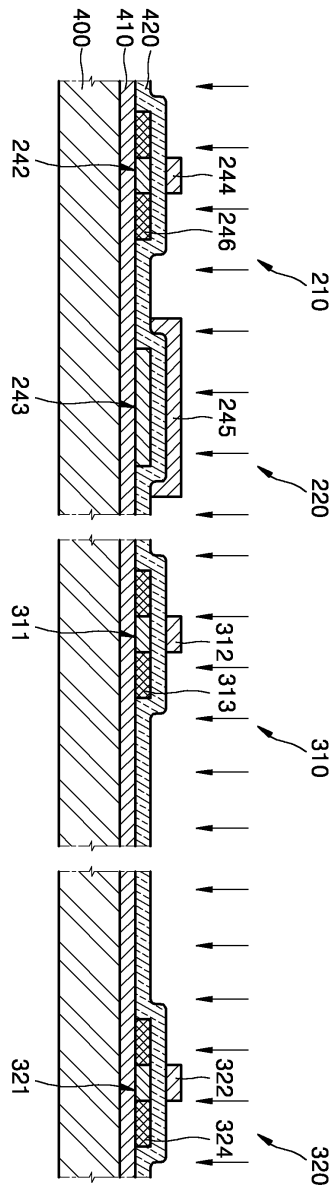
도면3



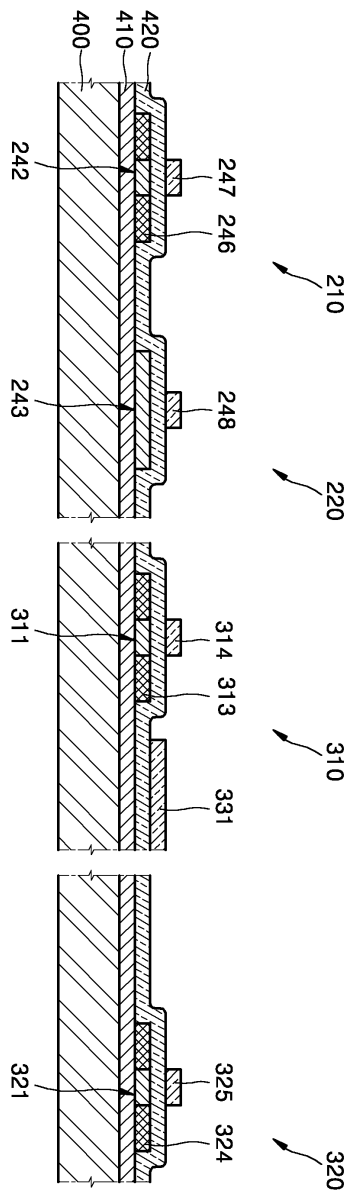
도면4



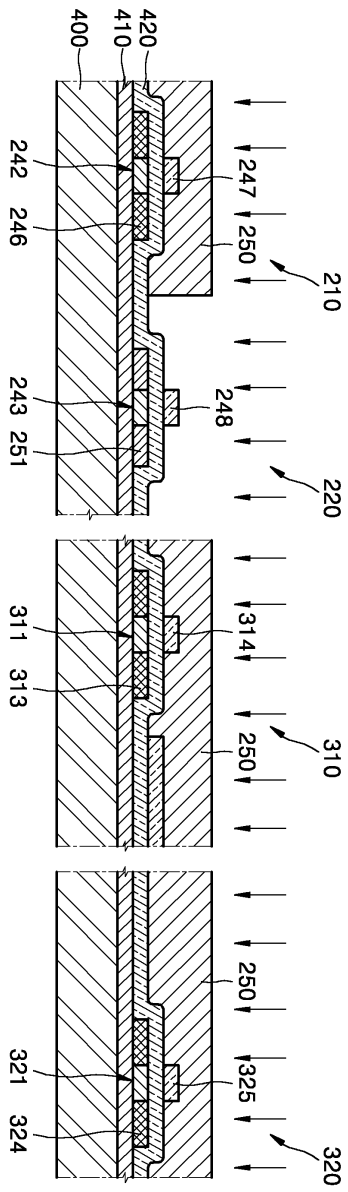
도면5



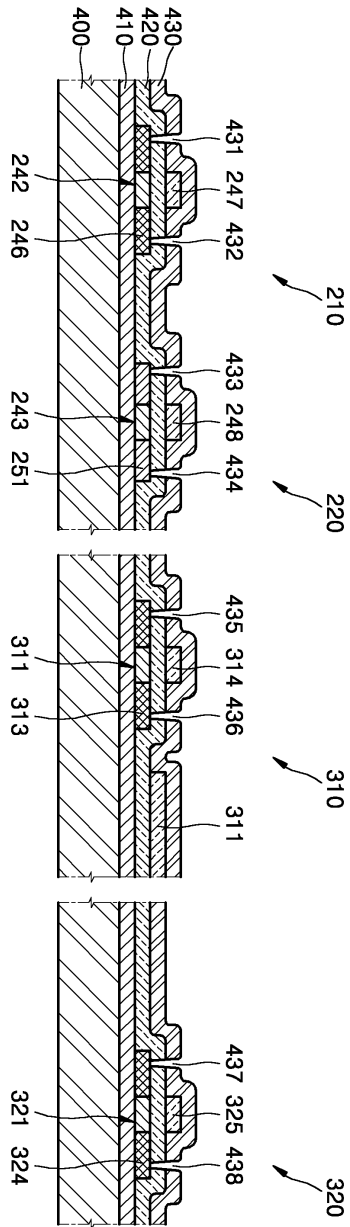
도면6



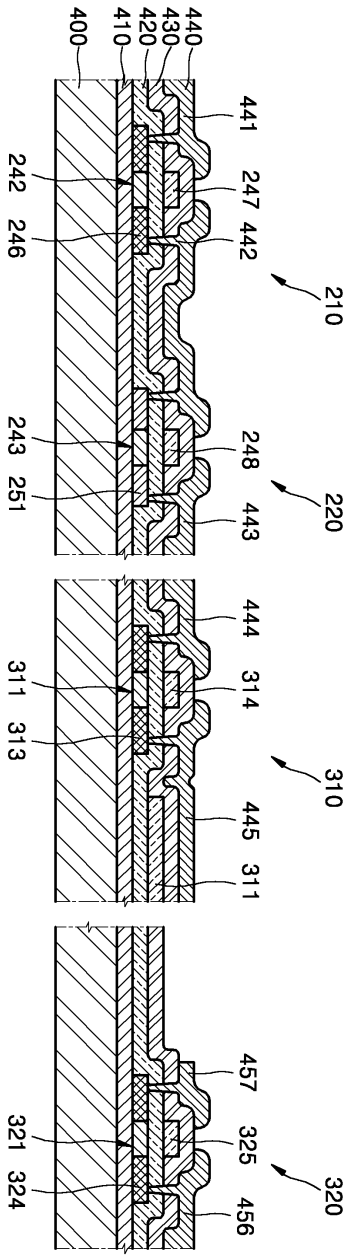
도면7



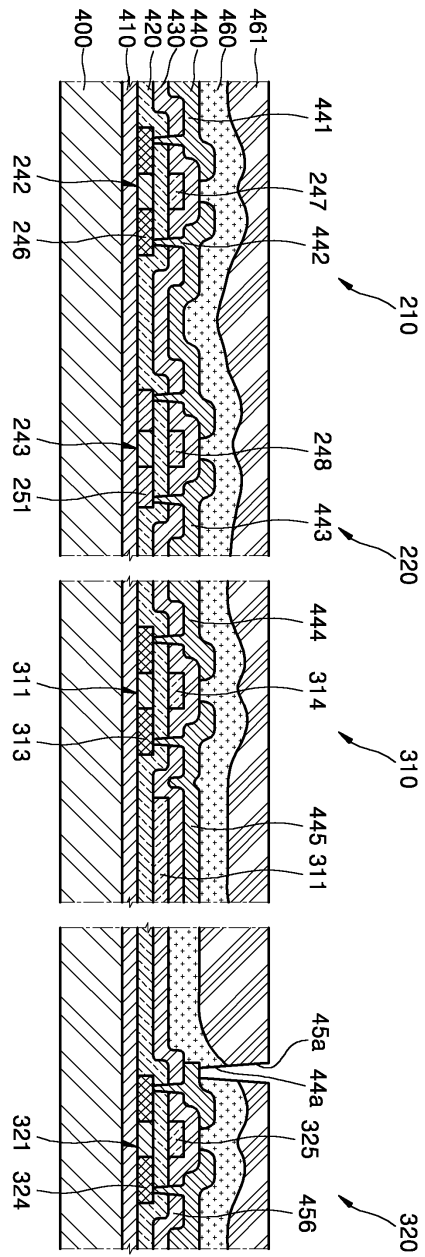
도면8



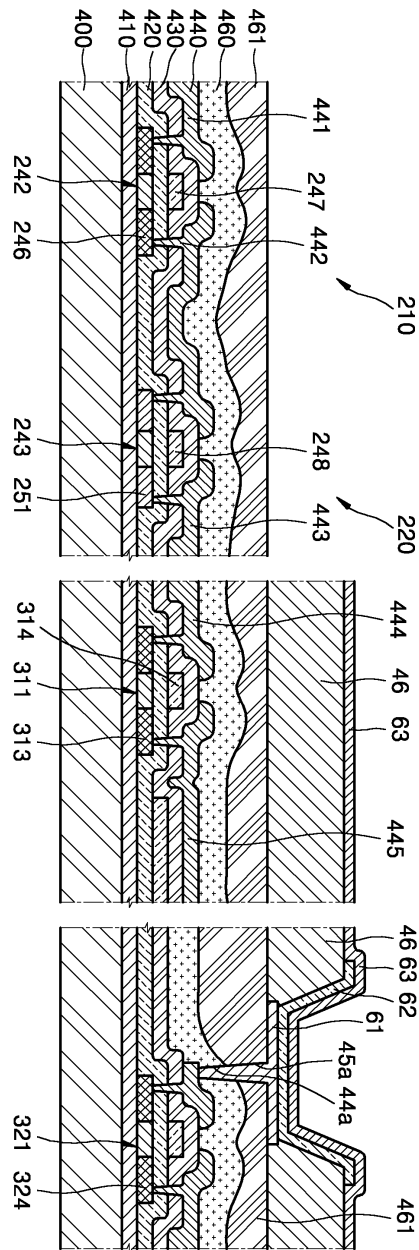
도면9



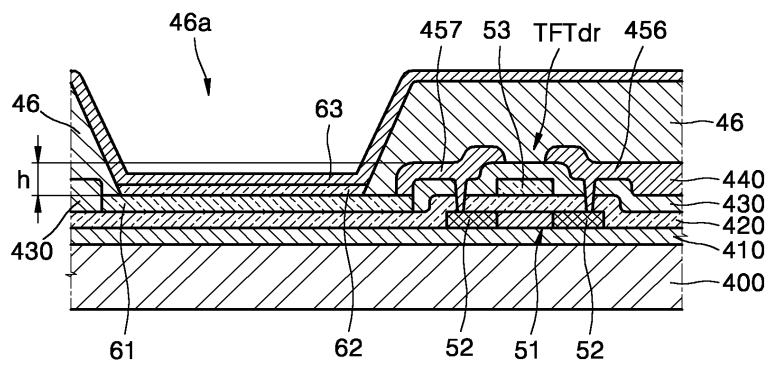
도면10



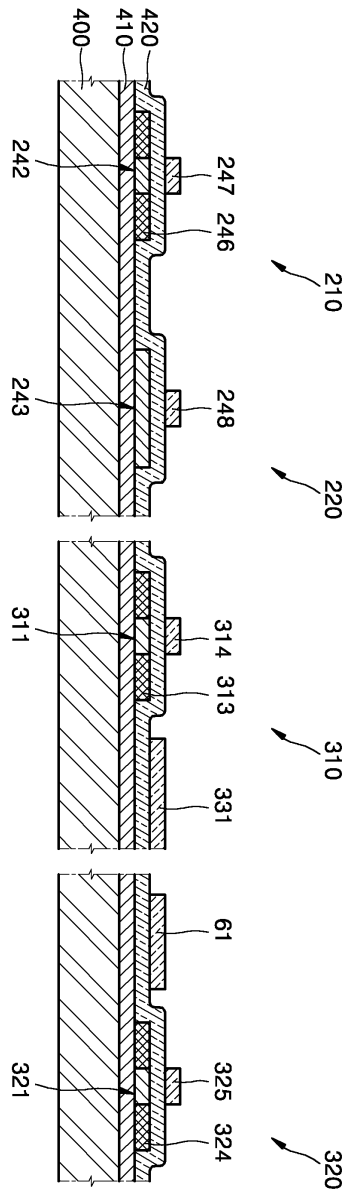
도면11



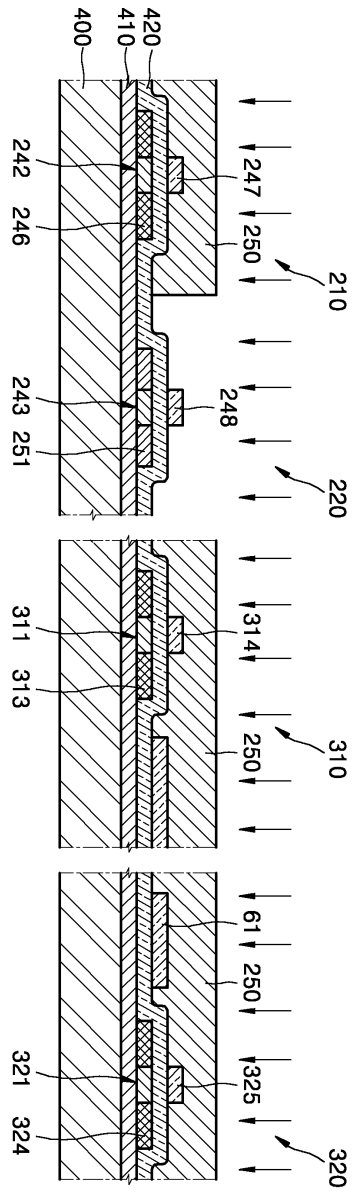
도면12



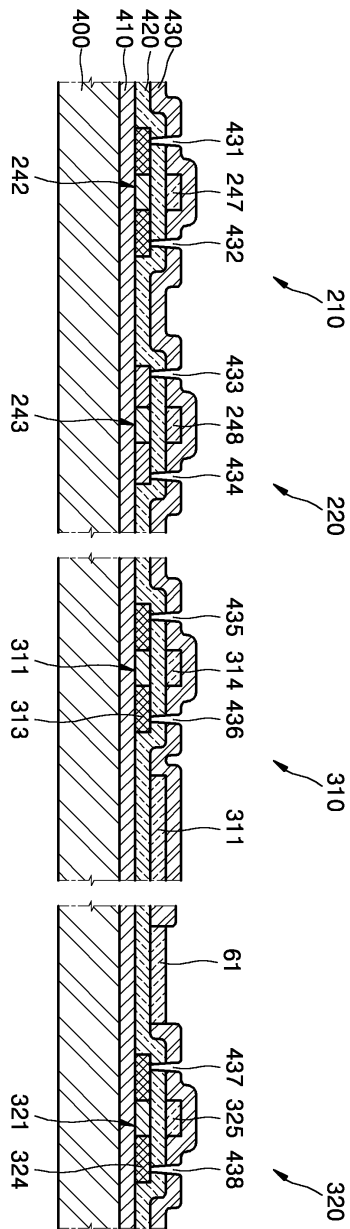
도면13



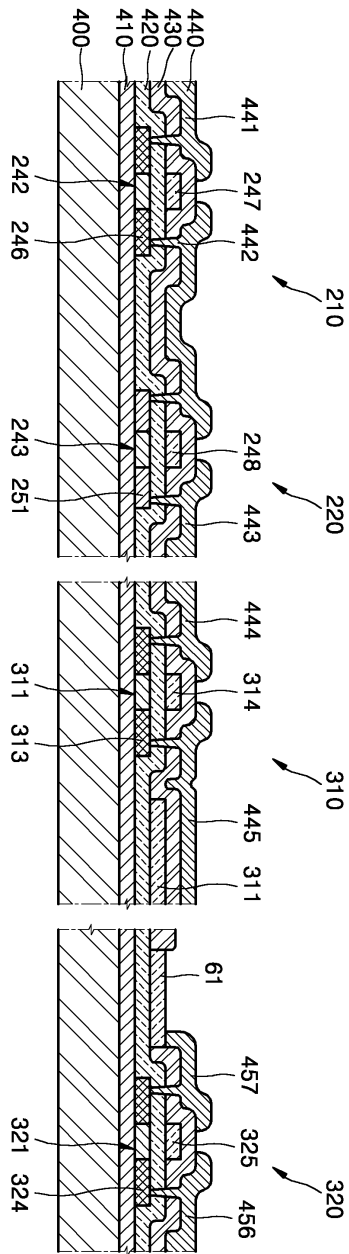
도면14



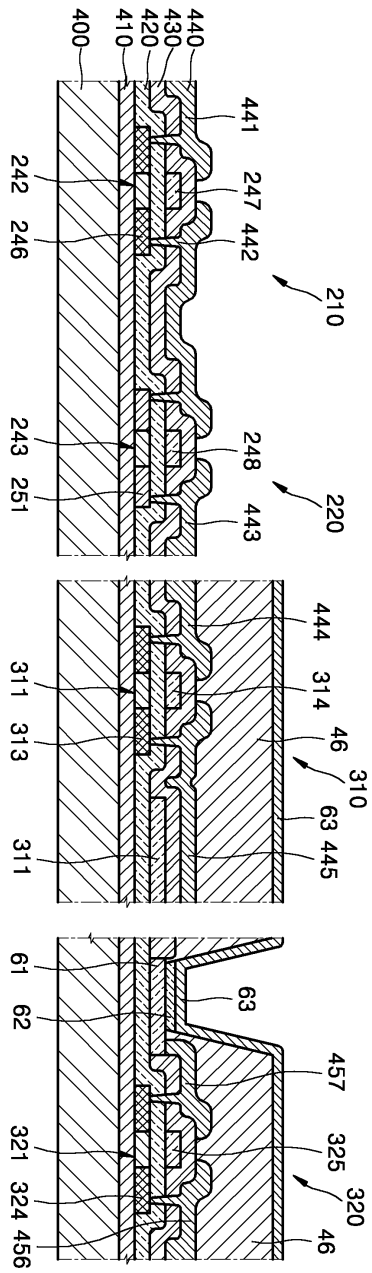
도면15



도면16



도면17



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR100615211B1	公开(公告)日	2006-08-25
申请号	KR1020040013005	申请日	2004-02-26
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	PARK MOONHEE 박문희 SEO CHANGSU 서창수 OH SANGHUN 오상헌		
发明人	박문희 서창수 오상헌		
IPC分类号	H05B33/00 H01J1/62 H01J63/04 H01L27/32 H01L51/52 H01L51/56 H05B33/10 H05B33/14		
CPC分类号	H01L51/56 H01L27/3248 H01L27/3244 H01L51/5206 H01L27/3246 H01L51/5218 H01L51/5271 H01L2227/323		
代理人(译)	李, 杨HAE		
其他公开文献	KR1020050087283A		
外部链接	Espacenet		

摘要(译)

有机电致发光显示装置技术领域本发明涉及一种有机电致发光显示装置，其形成在基板上并包括半导体有源层，形成在半导体有源层上的栅电极，以及形成在半导体有源层的源区和漏区上的栅电极，一种薄膜晶体管，具有由导电材料形成的源极和漏极，以与薄膜晶体管接触；第一电极层连接到源电极和漏电极中的一个并由与栅电极相同的材料形成，第一电极层形成在与栅电极相同的层上；第二电极层形成在第一电极层上，以与第一电极层绝缘；并且有机层介于第一电极层和第二电极层之间并且至少具有发光层。 12

