



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0069137
(43) 공개일자 2012년06월28일

(51) 국제특허분류(Int. Cl.)

G09G 3/30 (2006.01)

(21) 출원번호 10-2010-0130549

(22) 출원일자 2010년12월20일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김도형

경기도 파주시 청석로 300, 대원효성아파트 911동 1103호 (다율동)

(74) 대리인

특허법인로알

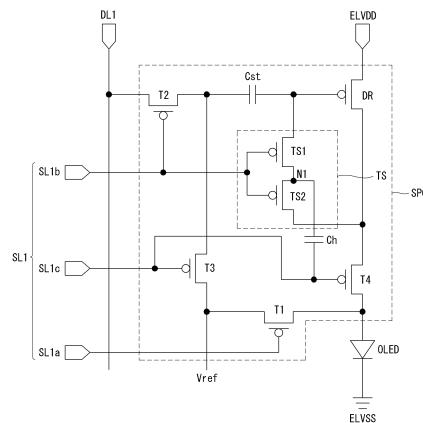
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 유기전계발광표시장치

(57) 요약

본 발명의 실시예는, 유기 발광다이오드; 및 유기 발광다이오드를 구동하는 픽셀 구동부를 갖는 서브 픽셀을 포함하며, 픽셀 구동부는, 제1스캔라인을 통해 공급된 제1스캔신호에 의해 레퍼런스전압으로 초기화되고 제3스캔라인을 통해 공급된 제3스캔신호에 의해 유기 발광다이오드가 발광되도록 동작하는 네 개의 트랜지스터들과, 유기 발광다이오드를 구동하는 구동 트랜지스터와, 제2스캔라인을 통해 공급된 제2스캔신호에 의해 데이터라인을 통해 공급된 데이터신호를 전달함과 더불어 구동 트랜지스터의 문턱전압이 샘플링되도록 동작하는 샘플링 트랜지스터부와, 데이터라인을 통해 공급된 데이터신호를 저장하는 하나의 커패시터와, 샘플링 트랜지스터부의 전압 홀딩 특성을 돕는 보상 커패시터를 포함하는 유기전계발광표시장치를 제공한다.

대표도 - 도2



특허청구의 범위

청구항 1

유기 발광다이오드; 및

상기 유기 발광다이오드를 구동하는 픽셀 구동부를 갖는 서브 픽셀을 포함하며,

상기 픽셀 구동부는,

제1스캔라인을 통해 공급된 제1스캔신호에 의해 레퍼런스전압으로 초기화되고 제3스캔라인을 통해 공급된 제3스캔신호에 의해 상기 유기 발광다이오드가 발광되도록 동작하는 네 개의 트랜지스터들과,

상기 유기 발광다이오드를 구동하는 구동 트랜지스터와,

제2스캔라인을 통해 공급된 제2스캔신호에 의해 데이터라인을 통해 공급된 데이터신호를 전달함과 더불어 상기 구동 트랜지스터의 문턱전압이 샘플링되도록 동작하는 샘플링 트랜지스터부와,

상기 데이터라인을 통해 공급된 데이터신호를 저장하는 하나의 커패시터와,

상기 샘플링 트랜지스터부의 전압 홀딩 특성을 돕는 보상 커패시터를 포함하는 유기전계발광표시장치.

청구항 2

제1항에 있어서,

상기 서브 픽셀은,

상기 제1스캔라인에 게이트전극이 연결되고 레퍼런스단자에 제1전극이 연결되고 상기 유기 발광다이오드의 애노드전극에 제2전극이 연결된 제1트랜지스터와,

상기 제2스캔라인에 게이트전극이 연결되고 데이터라인에 제1전극이 연결되고 커패시터의 일단에 제2전극이 연결된 제2트랜지스터와,

상기 커패시터의 타단에 게이트전극이 연결되고 제1전원단에 제1전극이 연결된 상기 구동 트랜지스터와,

상기 제2스캔라인에 게이트전극이 연결되고 상기 커패시터의 타단에 제1전극이 연결되고 상기 구동 트랜지스터의 제2전극에 제2전극이 연결된 상기 샘플링 트랜지스터부와,

상기 제2트랜지스터의 제2전극에 일단이 연결되고 상기 구동 트랜지스터의 게이트전극에 타단이 연결된 상기 커패시터와,

상기 제3스캔라인에 게이트전극이 연결되고 상기 레퍼런스단자에 제1전극이 연결되고 상기 커패시터의 일단에 제2전극이 연결된 제3트랜지스터와,

상기 제3스캔라인에 게이트전극이 연결되고 상기 구동 트랜지스터의 제2전극에 제1전극이 연결되고 상기 유기 발광다이오드의 애노드전극에 제2전극이 연결된 제4트랜지스터와,

상기 제4트랜지스터의 제2전극에 애노드전극이 연결되고 제2전원단에 캐소드전극이 연결된 상기 유기 발광다이오드와,

상기 샘플링 트랜지스터부와 상기 제4트랜지스터의 게이트 사이에 연결되고 상기 샘플링 트랜지스터부의 전압 홀딩을 돕는 상기 보상 커패시터를 포함하는 유기전계발광표시장치.

청구항 3

제2항에 있어서,

상기 샘플링 트랜지스터부는,

듀얼 게이트(dual gate) 트랜지스터로 구성된 것을 특징으로 하는 유기전계발광표시장치.

청구항 4

제2항에 있어서,

상기 샘플링 트랜지스터부는,

상기 제2스캔라인에 게이트전극이 연결된 제1샘플링 트랜지스터와 제2샘플링 트랜지스터를 포함하며,

상기 제1샘플링 트랜지스터는 상기 제2스캔라인에 게이트전극이 연결되고 상기 커패시터의 타단에 제1전극이 연결되고 상기 제2샘플링 트랜지스터의 제1전극에 제2전극이 연결되며,

상기 제2샘플링 트랜지스터는 상기 제2스캔라인에 게이트전극이 연결되고 상기 제1샘플링 트랜지스터의 제2전극에 제1전극이 연결되고 상기 구동 트랜지스터의 제2전극에 제2전극이 연결된 것을 특징으로 하는 유기전계 발광표시장치.

청구항 5

제4항에 있어서,

상기 보상 커패시터는,

상기 제1샘플링 트랜지스터의 제2전극과 상기 제2샘플링 트랜지스터의 제1전극에 일단이 연결되고 상기 제4트랜지스터의 게이트전극에 타단이 연결된 것을 특징으로 하는 유기전계발광표시장치.

청구항 6

유기 발광다이오드; 및

상기 유기 발광다이오드를 구동하는 픽셀 구동부를 갖는 서브 픽셀을 포함하며,

상기 픽셀 구동부는,

제1스캔라인을 통해 공급된 제1스캔신호에 의해 레퍼런스전압으로 초기화되고 제3스캔라인을 통해 공급된 제3스캔신호에 의해 상기 유기 발광다이오드가 발광되도록 동작하는 네 개의 트랜지스터들과,

상기 유기 발광다이오드를 구동하는 구동 트랜지스터와,

제2스캔라인을 통해 공급된 제2스캔신호에 의해 데이터라인을 통해 공급된 데이터신호를 전달함과 더불어 상기 구동 트랜지스터의 문턱전압이 샘플링되도록 동작하는 샘플링 트랜지스터부와,

상기 데이터라인을 통해 공급된 데이터신호를 저장하는 두 개의 커패시터와,

상기 샘플링 트랜지스터부로부터 샘플링되는 문턱전압을 가변적으로 보상하는 가변 커패시터와,

상기 샘플링 트랜지스터부의 전압 홀딩 특성을 돕는 보상 커패시터를 포함하는 유기전계발광표시장치.

청구항 7

제6항에 있어서,

상기 서브 픽셀은,

상기 제1스캔라인에 게이트전극이 연결되고 레퍼런스단자에 제1전극이 연결되고 상기 유기 발광다이오드의 애노드전극에 제2전극이 연결된 제1트랜지스터와,

상기 제2스캔라인에 게이트전극이 연결되고 데이터라인에 제1전극이 연결되고 제1커패시터의 일단에 제2전극이 연결된 제2트랜지스터와,

상기 제1커패시터의 타단에 게이트전극이 연결되고 제1전원단에 제1전극이 연결된 상기 구동 트랜지스터와,

상기 제2스캔라인에 게이트전극이 연결되고 상기 제1커패시터의 타단에 제1전극이 연결되고 상기 구동 트랜지스터의 제2전극에 제2전극이 연결된 상기 샘플링 트랜지스터부와,

상기 제2트랜지스터의 제2전극에 일단이 연결되고 상기 구동 트랜지스터의 게이트전극에 타단이 연결된 상기 제1커패시터와,

상기 제1전원단에 일단이 연결되고 상기 구동 트랜지스터의 게이트전극에 타단이 연결된 제2커패시터와,

상기 샘플링 트랜지스터부의 게이트전극에 일단이 연결되고 상기 구동 트랜지스터의 게이트전극에 타단이 연

결된 상기 가변 커패시터와,

상기 제3스캔라인에 게이트전극이 연결되고 상기 레퍼런스단자에 제1전극이 연결되고 상기 커패시터의 일단에 제2전극이 연결된 제3트랜지스터와,

상기 제3스캔라인에 게이트전극이 연결되고 상기 구동 트랜지스터의 제2전극에 제1전극이 연결되고 상기 유기 발광다이오드의 애노드전극에 제2전극이 연결된 제4트랜지스터와,

상기 제4트랜지스터의 제2전극에 애노드전극이 연결되고 제2전원단에 캐소드전극이 연결된 상기 유기 발광다이오드와,

상기 샘플링 트랜지스터부와 상기 제4트랜지스터의 게이트 사이에 연결되고 상기 샘플링 트랜지스터부의 전압 홀딩을 돕는 상기 보상 커패시터를 포함하는 유기전계발광표시장치.

청구항 8

제7항에 있어서,

상기 샘플링 트랜지스터부는,

듀얼 게이트(dual gate) 트랜지스터로 구성된 것을 특징으로 하는 유기전계발광표시장치.

청구항 9

제7항에 있어서,

상기 샘플링 트랜지스터부는,

상기 제2스캔라인에 게이트전극이 연결된 제1샘플링 트랜지스터와 제2샘플링 트랜지스터를 포함하며,

상기 제1샘플링 트랜지스터는 상기 제2스캔라인에 게이트전극이 연결되고 상기 제1커패시터의 타단에 제1전극이 연결되고 상기 제2샘플링 트랜지스터의 제1전극에 제2전극이 연결되며,

상기 제2샘플링 트랜지스터는 상기 제2스캔라인에 게이트전극이 연결되고 상기 제1샘플링 트랜지스터의 제2전극에 제1전극이 연결되고 상기 구동 트랜지스터의 제2전극에 제2전극이 연결된 것을 특징으로 하는 유기전계 발광표시장치.

청구항 10

제9항에 있어서,

상기 보상 커패시터는,

상기 제1샘플링 트랜지스터의 제2전극과 상기 제2샘플링 트랜지스터의 제1전극에 일단이 연결되고 상기 제4트랜지스터의 게이트전극에 타단이 연결된 것을 특징으로 하는 유기전계발광표시장치.

명세서

기술 분야

[0001] 본 발명은 유기전계발광표시장치에 관한 것이다.

배경 기술

[0002] 유기전계발광표시장치에 사용되는 유기전계발광소자는 두 개의 전극 사이에 발광층이 형성된 자발광소자이다. 유기전계발광소자는 전자(electron) 주입전극(cathode)과 정공(hole) 주입전극(anode)으로부터 각각 전자와 정공을 발광층 내부로 주입시켜, 주입된 전자와 정공이 결합한 엑시톤(exciton)이 여기 상태에서 기저상태로 떨어질 때 발광하는 소자이다.

[0003] 유기전계발광소자를 이용한 유기전계발광표시장치는 빛이 방출되는 방향에 따라 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 및 양면발광(Dual-Emission) 등이 있고, 구동방식에 따라 수동매트릭스형(Passive Matrix)과 능동매트릭스형(Active Matrix) 등으로 나뉘어진다.

[0004] 유기전계발광표시장치는 구동 트랜지스터의 문턱전압이 시간이 지남에 따라 이동하는 문제가 있었다. 그리하

여, 종래에는 구동 트랜지스터의 문턱전압을 샘플링하는 샘플링 방법이 제안되어 왔다.

[0005] 그런데, 종래 유기전계발광표시장치는 구동 트랜지스터의 문턱전압을 샘플링할 때, 샘플링을 수행하는 트랜지스터의 특정 노드가 플로팅 상태가 됨에 따라 구동 트랜지스터의 게이트전극으로 차지하게 흐르게 되어 누설 패스에 의한 플리커가 형성되고 이로 인하여 유기 발광다이오드의 휘도가 변하는 문제가 있어 이의 개선이 요구된다.

발명의 내용

해결하려는 과제

[0006] 상술한 배경기술의 문제점을 해결하기 위한 본 발명의 실시예는, 6T1C 또는 6T3C 구조의 서브 픽셀에 포함된 샘플링 트랜지스터부에 보상 커패시터를 마련하여 플리커가 발생 되는 문제를 방지함과 더불어 유기 발광다이오드의 휘도가 변하는 문제를 방지할 수 있는 유기전계발광표시장치를 제공하는 것이다.

과제의 해결 수단

[0007] 상술한 과제 해결 수단으로 본 발명의 실시예는, 유기 발광다이오드; 및 유기 발광다이오드를 구동하는 픽셀 구동부를 갖는 서브 픽셀을 포함하며, 픽셀 구동부는, 제1스캔라인을 통해 공급된 제1스캔신호에 의해 레퍼런스전압으로 초기화되고 제3스캔라인을 통해 공급된 제3스캔신호에 의해 유기 발광다이오드가 발광되도록 동작하는 네 개의 트랜지스터들과, 유기 발광다이오드를 구동하는 구동 트랜지스터와, 제2스캔라인을 통해 공급된 제2스캔신호에 의해 데이터라인을 통해 공급된 데이터신호를 전달함과 더불어 구동 트랜지스터의 문턱전압이 샘플링되도록 동작하는 샘플링 트랜지스터부와, 데이터라인을 통해 공급된 데이터신호를 저장하는 하나의 커패시터와, 샘플링 트랜지스터부의 전압 홀딩 특성을 돕는 보상 커패시터를 포함하는 유기전계발광표시장치를 제공한다.

[0008] 서브 픽셀은, 제1스캔라인에 게이트전극이 연결되고 레퍼런스단자에 제1전극이 연결되고 유기 발광다이오드의 애노드전극에 제2전극이 연결된 제1트랜지스터와, 제2스캔라인에 게이트전극이 연결되고 데이터라인에 제1전극이 연결되고 커패시터의 일단에 제2전극이 연결된 제2트랜지스터와, 커패시터의 타단에 게이트전극이 연결되고 제1전원단에 제1전극이 연결된 구동 트랜지스터와, 제2스캔라인에 게이트전극이 연결되고 커패시터의 타단에 제1전극이 연결되고 구동 트랜지스터의 제2전극에 제2전극이 연결된 샘플링 트랜지스터부와, 제2트랜지스터의 제2전극에 일단이 연결되고 구동 트랜지스터의 게이트전극에 타단이 연결된 상기 커패시터와, 제3스캔라인에 게이트전극이 연결되고 레퍼런스단자에 제1전극이 연결되고 커패시터의 일단에 제2전극이 연결된 제3트랜지스터와, 제3스캔라인에 게이트전극이 연결되고 구동 트랜지스터의 제2전극에 제1전극이 연결되고 유기 발광다이오드의 애노드전극에 제2전극이 연결된 제4트랜지스터와, 제4트랜지스터의 제2전극에 애노드전극이 연결되고 제2전원단에 캐소드전극이 연결된 상기 유기 발광다이오드와, 샘플링 트랜지스터부와 제4트랜지스터의 게이트 사이에 연결되고 샘플링 트랜지스터부의 전압 홀딩을 돕는 보상 커패시터를 포함할 수 있다.

[0009] 샘플링 트랜지스터부는, 듀얼 게이트(dual gate) 트랜지스터로 구성될 수 있다.

[0010] 샘플링 트랜지스터부는, 제2스캔라인에 게이트전극이 연결된 제1샘플링 트랜지스터와 제2샘플링 트랜지스터를 포함하며, 제1샘플링 트랜지스터는 제2스캔라인에 게이트전극이 연결되고 커패시터의 타단에 제1전극이 연결되고 제2샘플링 트랜지스터의 제1전극에 제2전극이 연결되며, 제2샘플링 트랜지스터는 제2스캔라인에 게이트전극이 연결되고 제1샘플링 트랜지스터의 제2전극에 제1전극이 연결되고 구동 트랜지스터의 제2전극에 제2전극이 연결될 수 있다.

[0011] 보상 커패시터는, 제1샘플링 트랜지스터의 제2전극과 제2샘플링 트랜지스터의 제1전극에 일단이 연결되고 제4트랜지스터의 게이트전극에 타단이 연결될 수 있다.

[0012] 다른 측면에서 본 발명의 실시예는, 유기 발광다이오드; 및 유기 발광다이오드를 구동하는 픽셀 구동부를 갖는 서브 픽셀을 포함하며, 픽셀 구동부는, 제1스캔라인을 통해 공급된 제1스캔신호에 의해 레퍼런스전압으로 초기화되고 제3스캔라인을 통해 공급된 제3스캔신호에 의해 유기 발광다이오드가 발광되도록 동작하는 네 개의 트랜지스터들과, 유기 발광다이오드를 구동하는 구동 트랜지스터와, 제2스캔라인을 통해 공급된 제2스캔신호에 의해 데이터라인을 통해 공급된 데이터신호를 전달함과 더불어 구동 트랜지스터의 문턱전압이 샘플링되

도록 동작하는 샘플링 트랜지스터부와, 데이터라인을 통해 공급된 데이터신호를 저장하는 두 개의 커패시터와, 샘플링 트랜지스터로부터 샘플링되는 문턱전압을 가변적으로 보상하는 가변 커패시터와, 샘플링 트랜지스터부의 전압 홀딩 특성을 돕는 보상 커패시터를 포함하는 유기전계발광표시장치를 제공한다.

[0013] 서브 픽셀은, 제1스캔라인에 게이트전극이 연결되고 레퍼런스단자에 제1전극이 연결되고 유기 발광다이오드의 애노드전극에 제2전극이 연결된 제1트랜지스터와, 제2스캔라인에 게이트전극이 연결되고 데이터라인에 제1전극이 연결되고 제1커패시터의 일단에 제2전극이 연결된 제2트랜지스터와, 제1커패시터의 타단에 게이트전극이 연결되고 제1전원단에 제1전극이 연결된 구동 트랜지스터와, 제2스캔라인에 게이트전극이 연결되고 제1커패시터의 타단에 제1전극이 연결되고 구동 트랜지스터의 제2전극에 제2전극이 연결된 샘플링 트랜지스터부와, 제2트랜지스터의 제2전극에 일단이 연결되고 구동 트랜지스터의 게이트전극에 타단이 연결된 제1커패시터와, 제1전원단에 일단이 연결되고 구동 트랜지스터의 게이트전극에 타단이 연결된 제2커패시터와, 샘플링 트랜지스터부의 게이트전극에 일단이 연결되고 구동 트랜지스터의 게이트전극에 타단이 연결된 가변 커패시터와, 제3스캔라인에 게이트전극이 연결되고 레퍼런스단자에 제1전극이 연결되고 커패시터의 일단에 제2전극이 연결된 제3트랜지스터와, 제3스캔라인에 게이트전극이 연결되고 구동 트랜지스터의 제2전극에 제1전극이 연결되고 유기 발광다이오드의 애노드전극에 제2전극이 연결된 제4트랜지스터와, 제4트랜지스터의 제2전극에 애노드전극이 연결되고 제2전원단에 캐소드전극이 연결된 유기 발광다이오드와, 샘플링 트랜지스터부와 제4트랜지스터의 게이트 사이에 연결되고 샘플링 트랜지스터부의 전압 홀딩을 돕는 보상 커패시터를 포함할 수 있다.

[0014] 샘플링 트랜지스터부는, 듀얼 게이트(dual gate) 트랜지스터로 구성될 수 있다.

[0015] 샘플링 트랜지스터부는, 제2스캔라인에 게이트전극이 연결된 제1샘플링 트랜지스터와 제2샘플링 트랜지스터를 포함하며, 제1샘플링 트랜지스터는 제2스캔라인에 게이트전극이 연결되고 제1커패시터의 타단에 제1전극이 연결되고 제2샘플링 트랜지스터의 제1전극에 제2전극이 연결되며, 제2샘플링 트랜지스터는 제2스캔라인에 게이트전극이 연결되고 제1샘플링 트랜지스터의 제2전극에 제1전극이 연결되고 구동 트랜지스터의 제2전극에 제2전극이 연결될 수 있다.

[0016] 보상 커패시터는, 제1샘플링 트랜지스터의 제2전극과 제2샘플링 트랜지스터의 제1전극에 일단이 연결되고 제4트랜지스터의 게이트전극에 타단이 연결될 수 있다.

발명의 효과

[0017] 본 발명의 실시예는, 6T1C 또는 6T3C 구조의 서브 픽셀에 포함된 샘플링 트랜지스터부에 보상 커패시터를 마련하여 발광 단계에서 샘플링 트랜지스터부의 중간 노드의 전압 홀딩 특성을 도와 구동 트랜지스터의 게이트 전극 방향으로 누설패스가 형성되어 플리커가 발생 되는 문제를 방지함과 더불어 유기 발광다이오드의 휘도가 변하는 문제를 방지할 수 있는 유기전계발광표시장치를 제공하는 효과가 있다.

도면의 간단한 설명

[0018] 도 1은 유기전계발광표시장치의 개략적인 블록도.

도 2는 본 발명의 제1실시예에 따른 서브 픽셀의 개략적인 구성도.

도 3은 도 2에 도시된 서브 픽셀의 구동 파형도.

도 4 및 도 5는 도 2에 도시된 보상 커패시터의 용량에 따른 플리커 개선도를 설명하기 위한 도면.

도 6은 비교예의 서브 픽셀 회로와 제1실시예의 서브 픽셀 회로의 화이트 휘도 변화량을 나타낸 그래프.

도 7은 본 발명의 제2실시예에 따른 서브 픽셀의 회로 구성도.

발명을 실시하기 위한 구체적인 내용

[0019] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.

[0020] <제1실시예>

[0021] 도 1은 유기전계발광표시장치의 개략적인 블록도이다.

- [0022] 도 1에 도시된 바와 같이, 유기전계발광표시장치에는 타이밍구동부(TCN), 패널(PNL), 스캔구동부(SDRV) 및 데이터구동부(DDRV)가 포함된다.
- [0023] 타이밍구동부(TCN)는 외부로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 클럭신호(CLK), 데이터신호(RGB)를 공급받는다. 타이밍구동부(TCN)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 클럭신호(CLK) 등의 타이밍신호를 이용하여 데이터구동부(DDRV)와 스캔구동부(SDRV)의 동작 타이밍을 제어한다. 타이밍구동부(TCN)는 1 수평기간의 데이터 인에이블 신호(DE)를 카운트하여 프레임기간을 판단할 수 있으므로 외부로부터 공급되는 수직 동기신호(Vsync)와 수평 동기신호(Hsync)는 생략될 수 있다. 타이밍구동부(TCN)에서 생성되는 제어신호들에는 스캔구동부(SDRV)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터구동부(DDRV)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)가 포함될 수 있다. 게이트 타이밍 제어신호(GDC)에는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 시프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블 신호(Gate Output Enable, GOE) 등이 포함된다. 게이트 스타트 펄스(GSP)는 첫 번째 스캔신호가 발생하는 스캔구동부(SDRV)에 공급된다. 게이트 시프트 클럭(GSC)은 스캔구동부(SDRV)에 공통으로 입력되는 클럭신호로써 게이트 스타트 펄스(GSP)를 시프트시키기 위한 클럭신호이다. 게이트 출력 인에이블신호(GOE)는 스캔구동부(SDRV)의 출력을 제어한다. 데이터 타이밍 제어신호(DDC)에는 소스 스타트 펄스(Source, Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 소스 출력 인에이블신호(Source Output Enable, SOE) 등이 포함된다. 소스 스타트 펄스(SSP)는 데이터구동부(DDRV)의 데이터 샘플링 시작 시점을 제어한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 데이터구동부(DDRV) 내에서 데이터의 샘플링 동작을 제어하는 클럭신호이다. 소스 출력 인에이블신호(SOE)는 데이터구동부(DDRV)의 출력을 제어한다. 한편, 데이터구동부(DDRV)에 공급되는 소스 스타트 펄스(SSP)는 데이터전송 방식에 따라 생략될 수도 있다.
- [0024] 스캔구동부(SDRV)는 타이밍구동부(TCN)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 패널(PNL)에 포함된 서브 픽셀들(SP)의 트랜지스터들이 동작 가능한 게이트 구동전압의 스윙폭으로 신호의 레벨을 시프트시키면서 스캔신호를 순차적으로 생성한다. 스캔구동부(SDRV)는 스캔라인들(SL1~SLm)을 통해 생성된 스캔신호를 패널(PNL)에 포함된 서브 픽셀들(SP)에 공급한다.
- [0025] 데이터구동부(DDRV)는 타이밍구동부(TCN)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍구동부(TCN)로부터 공급되는 디지털 형태의 데이터신호(RGB)를 샘플링하고 래치하여 병렬 데이터 체계의 데이터로 변환한다. 데이터구동부(DDRV)는 병렬 데이터 체계의 데이터로 변환할 때, 디지털 형태의 데이터신호(RGB)를 감마 기준전압으로 변환하여 아날로그 형태의 데이터신호로 변환한다. 데이터구동부(DDRV)는 데이터라인들(DL1~DLn)을 통해 변환된 데이터신호를 패널(PNL)에 포함된 서브 픽셀들(SP)에 공급한다.
- [0026] 패널(PNL)은 매트릭스형태로 배치된 서브 픽셀들(SP)을 포함한다. 패널(PNL)에 포함된 서브 픽셀들(SP)은 스캔구동부(SDRV)와 데이터구동부(DDRV)로부터 공급된 스캔신호와 데이터신호에 의해 발광한다. 하나의 서브 픽셀에는 유기 발광다이오드와 이를 구동하는 픽셀 구동부가 포함되는데 이는 다음과 같이 구성된다.
- [0027] 도 2는 본 발명의 제1실시예에 따른 서브 픽셀의 회로 구성도이고, 도 3은 도 2에 도시된 서브 픽셀의 구동 파형도이며, 도 4 및 도 5는 도 2에 도시된 보상 커패시터의 용량에 따른 플리커 개선도를 설명하기 위한 도면이고, 도 6은 비교예의 서브 픽셀 회로와 제1실시예의 서브 픽셀 회로의 화이트 휘도 변화량을 나타낸 그래프이다.
- [0028] 도 2 및 도 3에 도시된 바와 같이, 본 발명의 제1실시예에 따른 서브 픽셀에는 유기 발광다이오드(OLED)와 유기 발광다이오드(OLED)를 구동하는 픽셀 구동부(SPC)가 포함된다.
- [0029] 픽셀 구동부(SPC)에는 제1스캔라인(SL1a)을 통해 공급된 제1스캔신호(Vinit)에 의해 레퍼런스전압으로 초기화되고 제3스캔라인(SL1c)을 통해 공급된 제3스캔신호(EM)에 의해 유기 발광다이오드(OLED)가 발광되도록 동작하는 네 개의 트랜지스터들(T1, T3, T4, T5)이 포함된다. 또한, 픽셀 구동부(SPC)에는 유기 발광다이오드(OLED)를 구동하는 구동 트랜지스터(DR)와, 제2스캔라인(SL1b)을 통해 공급된 제2스캔신호(Sampling)에 의해 데이터라인(DL1)을 통해 공급된 데이터신호(Vdata)를 전달함과 더불어 구동 트랜지스터(DR)의 문턱전압이 샘플링되도록 동작하는 샘플링 트랜지스터부(TS)가 포함된다. 또한, 픽셀 구동부(SPC)에는 데이터라인(DL1)을 통해 공급된 데이터신호(Vdata)를 저장하는 하나의 커패시터(Cst)와, 샘플링 트랜지스터부(TS)의 전압 홀딩 특성을 돕는 보상 커패시터(Ch)가 포함된다.
- [0030] 서브 픽셀에 포함된 유기 발광다이오드(OLED), 네 개의 트랜지스터들(T1, T3, T4, T5), 구동 트랜지스터(DR), 샘플링 트랜지스터부(TS), 커패시터(Cst) 및 보상 커패시터(Ch)의 회로 구성 및 이의 동작에 대해 설명하면

다음과 같다.

- [0031] 제1트랜지스터(T1)는 제1스캔라인(SL1a)에 게이트전극이 연결되고 레퍼런스단자(Vref)에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다.
- [0032] 제2트랜지스터(T2)는 제2스캔라인(SL1b)에 게이트전극이 연결되고 데이터라인(DL1)에 제1전극이 연결되고 커패시터(Cst)의 일단에 제2전극이 연결된다.
- [0033] 구동 트랜지스터(DR)는 커패시터(Cst)의 타단에 게이트전극이 연결되고 제1전원단(ELVDD)에 제1전극이 연결되고 제4트랜지스터(T4)의 제1전극에 제2전극이 연결된다.
- [0034] 샘플링 트랜지스터부(TS)는 제2스캔라인(SL1b)에 게이트전극이 연결되고 커패시터(Cst)의 타단에 제1전극이 연결되고 구동 트랜지스터(DR)의 제2전극에 제2전극이 연결된다. 샘플링 트랜지스터부(TS)는 듀얼 게이트(dual gate) 트랜지스터로 구성된다. 듀얼 게이트(dual gate) 트랜지스터로 구성된 샘플링 트랜지스터부(TS)에는 제2스캔라인(SL2a)에 게이트전극이 연결된 제1샘플링 트랜지스터(TS1)와 제2샘플링 트랜지스터(TS2)가 포함된다. 제1샘플링 트랜지스터(TS1)는 제2스캔라인(SL1b)에 게이트전극이 연결되고 커패시터(Cst)의 타단에 제1전극이 연결되고 제2샘플링 트랜지스터(TS2)의 제1전극에 제2전극이 연결된다. 그리고 제2샘플링 트랜지스터(TS2)는 제2스캔라인(SL1b)에 게이트전극이 연결되고 제1샘플링 트랜지스터(TS1)의 제2전극에 제1전극이 연결되고 구동 트랜지스터(DR)의 제2전극에 제2전극이 연결된다.
- [0035] 커패시터(Cst)는 제2트랜지스터(T2)의 제2전극에 일단이 연결되고 구동 트랜지스터(DR)의 게이트전극에 타단이 연결된다.
- [0036] 제3트랜지스터(T3)는 제3스캔라인(SL1c)에 게이트전극이 연결되고 레퍼런스단자(Vref)에 제1전극이 연결되고 커패시터(Cst)의 일단에 제2전극이 연결된다.
- [0037] 제4트랜지스터(T4)는 제3스캔라인(SL1c)에 게이트전극이 연결되고 구동 트랜지스터(DR)의 제2전극에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다.
- [0038] 유기 발광다이오드(OLED)는 제4트랜지스터(T4)의 제2전극에 애노드전극이 연결되고 제2전원단(ELVSS)에 캐소드전극이 연결된다.
- [0039] 보상 커패시터(Ch)는 샘플링 트랜지스터부(TS)와 제4트랜지스터(T4)의 게이트 사이에 연결된다. 보상 커패시터(Ch)는 제1샘플링 트랜지스터(TS1)의 제2전극과 제2샘플링 트랜지스터(TS2)의 제1전극에 일단이 연결되고 제4트랜지스터(T4)의 게이트전극에 타단이 연결된다.
- [0040] 위의 설명에서, 네 개의 트랜지스터들(T1, T3, T4, T5), 구동 트랜지스터(DR) 및 샘플링 트랜지스터부(TS)에 포함된 트랜지스터들은 P-Type으로 구성된다. 그리고, 트랜지스터들의 제1전극과 제2전극은 소오스전극과 드레인전극을 의미하되, 이들의 위치는 바뀔 수도 있다.
- [0041] 앞서 설명된 서브 픽셀은 다음과 같이 동작 된다.
- [0042] 제1스캔신호(Vinit)에 의해 제5트랜지스터(T5)가 턴온 되는 초기화 단계(1)가 이루어진다. 초기화 단계(1)에 의해 유기 발광다이오드(OLED)의 애노드전극은 레퍼런스전압으로 초기화된다.
- [0043] 제2스캔신호(Sampling)에 의해 제2트랜지스터(T2) 및 샘플링 트랜지스터부(TS)가 턴온 되는 데이터전압 저장 및 샘플링 단계(2)가 이루어진다. 데이터전압 저장 및 샘플링 단계(2)에 의해 커패시터(Cst)는 데이터라인(DL1)을 통해 공급된 데이터신호를 데이터전압으로 저장하게 된다. 또한 데이터전압 저장 및 샘플링 단계(2)에 의해 샘플링 트랜지스터부(TS)는 구동 트랜지스터(DR)의 문턱전압을 샘플링하게 된다.
- [0044] 제3스캔신호(EM)에 의해 제3트랜지스터(T3) 및 제4트랜지스터(T4)가 턴온 되는 발광 단계(3)가 이루어진다. 발광 단계(3)에 의해 유기 발광다이오드(OLED)는 발광을 하게 되고 커패시터(Cst)의 일단은 레퍼런스전압으로 초기화된다.
- [0045] 서브 픽셀이 위와 같이 구동하여 유기 발광다이오드(OLED)가 구동하는 과정에서 보상 커패시터(Ch)가 미 존재하면, 듀얼 게이트(dual gate) 트랜지스터로 구성된 샘플링 트랜지스터부(TS)의 중간 노드(N1)는 플로팅되는 것으로 나타났다. 이 경우, 유기 발광다이오드(OLED)가 발광하는 상태임에도 중간 노드(N1)의 전압이 약 2.5V 떨어지게 되고 구동 트랜지스터(DR)의 게이트전극 방향으로 누설패스(leak path)가 형성되는 것이 관찰되었다. 이로 인해, 구동 트랜지스터(DR)의 게이트전극으로 차지가 흐르게 되므로 게이트전극 노드의 전압이 상승하게 됨과 더불어 유기 발광다이오드(OLED)의 휘도에 영향을 주어 플리커(Flicker)로 인식되었다.

- [0046] 반면, 제1실시예와 같이 보상 커패시터(Ch)를 마련하면, 보상 커패시터(Ch)가 제4트랜지스터(T4)의 게이트전극의 커플링효과(Coupling Effect)를 구성할 수 있어 샘플링 트랜지스터부(TS)의 중간 노드(N1)를 일정 수준의 전압으로 홀딩시킬 수 있게 된다. 따라서, 제1실시예와 같이 보상 커패시터(Ch)를 마련하면 구동 트랜지스터(DR)의 게이트전극 노드의 전압 상승이 방지되고 유기 발광다이오드(OLED)의 휘도에 대한 영향을 차단할 수 있게 되므로 플리커 레벨을 개선할 수 있게 된다.
- [0047] 도 4 및 도 5를 참조하면, 제1실시예에 따라 마련된 보상 커패시터(Ch)의 용량에 따른 플리커 개선 시뮬레이션이 도시된다. 보상 커패시터(Ch)의 경우, cap 0.1f, cap 3f, cap 10f와 같이 증가할수록 월등한 플리커 개선 효과를 나타내는 것으로 나타났다. 시뮬레이션 결과, 보상 커패시터(Ch)의 용량은 0.1f ~ 10f 범위로 형성할 수 있는 것으로 나타났지만 이에 한정되지 않는다.
- [0048] 도 6의 (a)는 보상 커패시터(Ch)가 미존재하는 6T(Transistor)1C(Capcitor) 서브 픽셀에 의한 화이트 휘도의 변화량을 나타낸 그래프이고, 도 6의 (b)는 도 6의 (a) 서브 픽셀에 보상 커패시터(Ch)가 마련된 제1실시예의 서브 픽셀에 의한 화이트 휘도의 변화량을 나타낸 그래프이다.
- [0049] 위의 그래프에서도 알 수 있듯이, 비교예의 서브 픽셀 회로는 보상 커패시터(h)가 미존재하므로 누설패스(leak path)가 형성되고 "P"와 같이 불안정한 휘도 변화가 나타났다.
- [0050] 반면, 제1실시예의 서브 픽셀은 6T1C 구조에 보상 커패시터(Ch)를 마련하여 발광 단계(3)에서 샘플링 트랜지스터부(TS)의 중간 노드(N1)의 전압 홀딩 특성을 도울 수 있게 된다. 이에 따라, 제1실시예의 서브 픽셀은 샘플링 트랜지스터부(TS)의 중간 노드(N1)의 플로팅에 의해 구동 트랜지스터(DR)의 게이트전극 방향으로 누설패스가 형성되어 플리커가 발생 되는 문제가 방지되고, 이로 인하여 유기 발광다이오드(OLED)의 휘도가 변하는 문제가 방지된다.
- [0051] <제2실시예>
- [0052] 도 7은 본 발명의 제2실시예에 따른 서브 픽셀의 회로 구성도이다.
- [0053] 도 7에 도시된 바와 같이, 본 발명의 제2실시예에 따른 서브 픽셀에는 유기 발광다이오드(OLED)와 유기 발광다이오드(OLED)를 구동하는 픽셀 구동부(SPC)가 포함된다.
- [0054] 픽셀 구동부(SPC)에는 제1스캔라인(SL1a)을 통해 공급된 제1스캔신호(Vinit)에 의해 레퍼런스전압으로 초기화되고 제3스캔라인(SL1c)을 통해 공급된 제3스캔신호(EM)에 의해 유기 발광다이오드(OLED)가 발광되도록 동작하는 네 개의 트랜지스터들(T1, T3, T4, T5)이 포함된다. 또한, 픽셀 구동부(SPC)에는 유기 발광다이오드(OLED)를 구동하는 구동 트랜지스터(DR)와, 제2스캔라인(SL1b)을 통해 공급된 제2스캔신호(Sampling)에 의해 데이터라인(DL1)을 통해 공급된 데이터신호(Vdata)를 전달함과 더불어 구동 트랜지스터(DR)의 문턱전압이 샘플링되도록 동작하는 샘플링 트랜지스터부(TS)가 포함된다. 또한, 픽셀 구동부(SPC)에는 데이터라인(DL1)을 통해 공급된 데이터신호(Vdata)를 저장하는 두 개의 커패시터(Cst1, Cst2)와, 샘플링 트랜지스터부(TS)로부터 샘플링되는 문턱전압을 가변적으로 보상하는 가변 커패시터(Cvar)와, 샘플링 트랜지스터부(TS)의 전압 홀딩 특성을 돕는 보상 커패시터(Ch)가 포함된다.
- [0055] 서브 픽셀에 포함된 유기 발광다이오드(OLED), 네 개의 트랜지스터들(T1, T3, T4, T5), 구동 트랜지스터(DR), 샘플링 트랜지스터부(TS), 제1 및 제2커패시터(Cst1, Cst2), 가변 커패시터(Cvar) 및 보상 커패시터(Ch)의 회로 구성 및 동작은 제1실시예와 유사하다. 다만, 제1 및 제2커패시터(Cst1, Cst2), 가변 커패시터(Cvar)가 더 포함된 구성이므로 설명의 중복을 피하기 위해 이들의 연결관계에 대해서만 설명한다. 제2실시예의 구동 파형은 도 3을 참조한다.
- [0056] 제1커패시터(Cst1)는 제2트랜지스터(T2)의 제2전극에 일단이 연결되고 구동 트랜지스터(DR)의 게이트전극에 타단이 연결된다. 제2커패시터(Cst2)는 제1커패시터(Cst1)의 타단에 일단이 연결되고 제1전원단(ELVDD)에 타단이 연결된다. 제2커패시터(Cst2)는 데이터신호가 공급될 때, 제1커패시터(Cst1)로 저장되는 데이터전압이 안정적으로 유지되도록 보상하는 역할을 한다.
- [0057] 가변 커패시터(Cvar)는 샘플링 트랜지스터부(TS)의 게이트전극에 일단이 연결되고 구동 트랜지스터(DR)의 게이트전극에 타단이 연결된다. 가변 커패시터(Cvar)는 도 3에 도시된 데이터전압 저장 및 샘플링 단계(2)에서 샘플링 트랜지스터부(TS)로부터 샘플링되는 문턱전압을 가변적으로 보상하기 위해 마련된 가변형 커패시터 역할을 한다.

[0059]

[0060]

[0061]

PNL: 패널

DDRIV: 데이터구동부

SPC: 펄셀 구동부

SL1b: 제2스캔라인

TS: 샘플링 트랜지스터부

T1: 제1트랜지스터

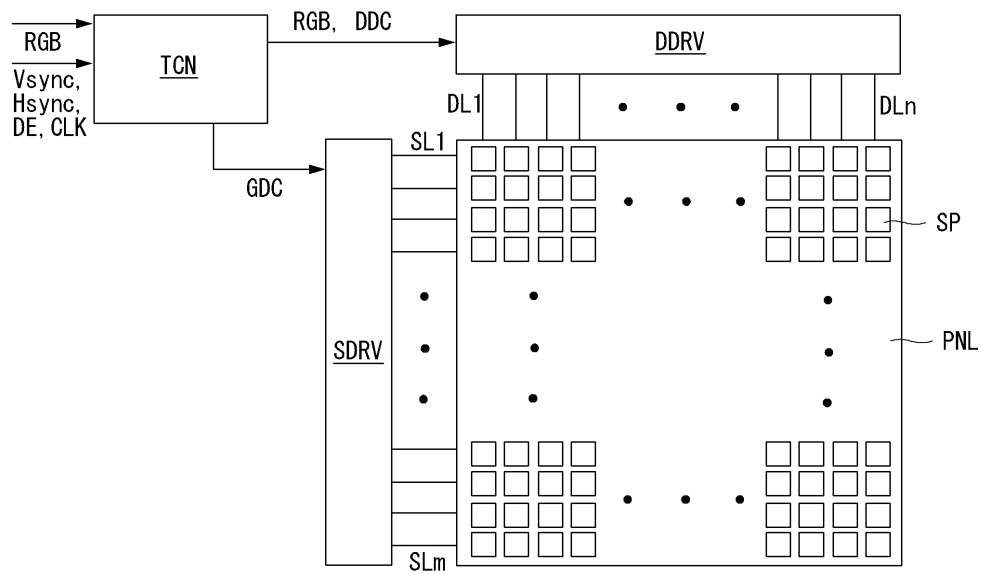
T3: 제3트랜지스터

T5: 제5트랜지스터

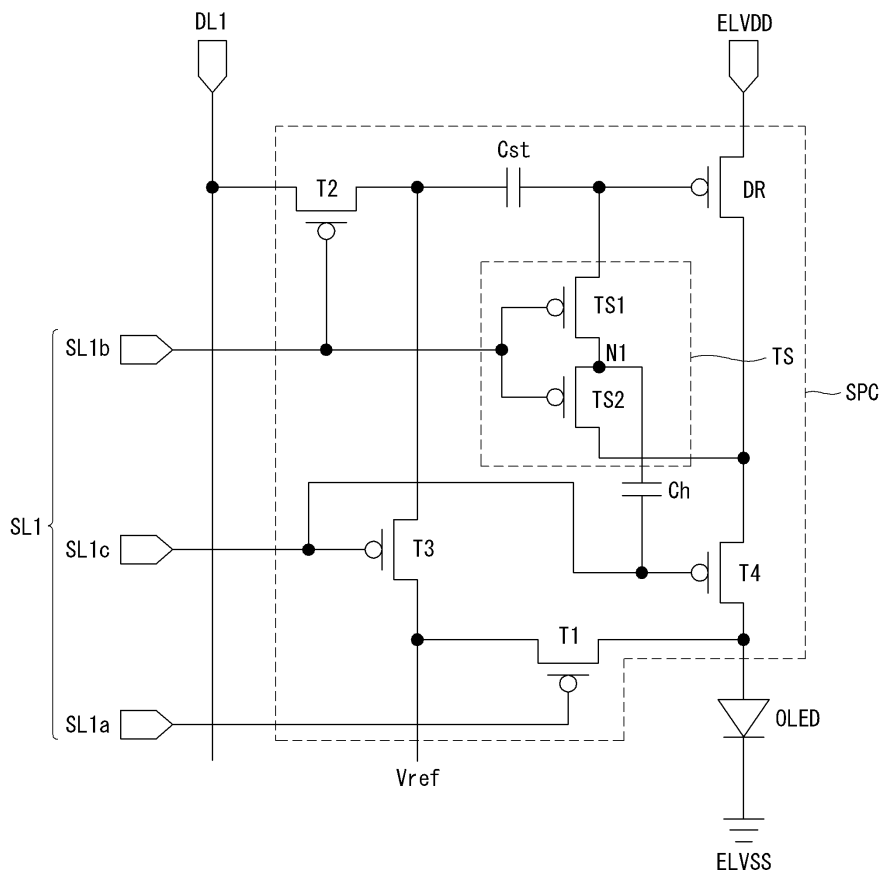
- 10 -

도면

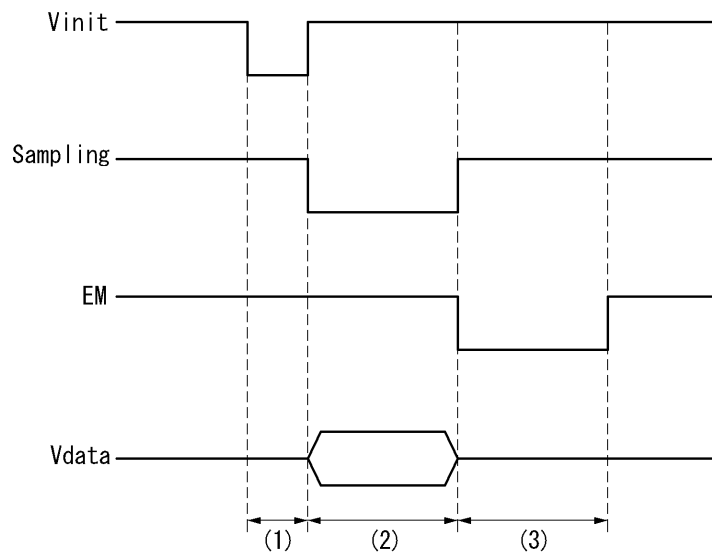
도면1



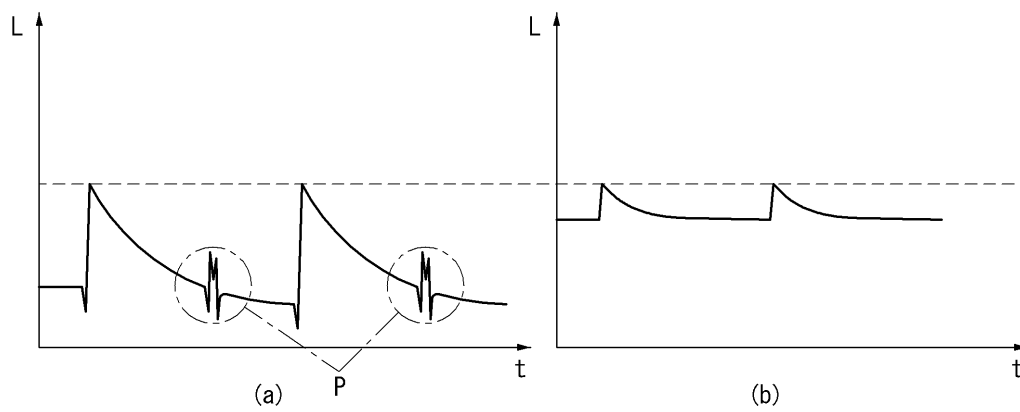
도면2



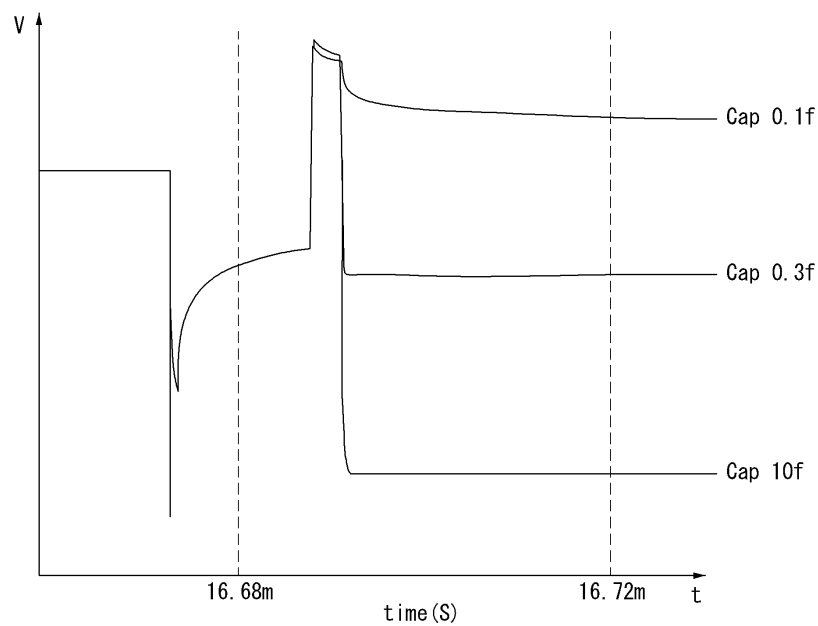
도면3



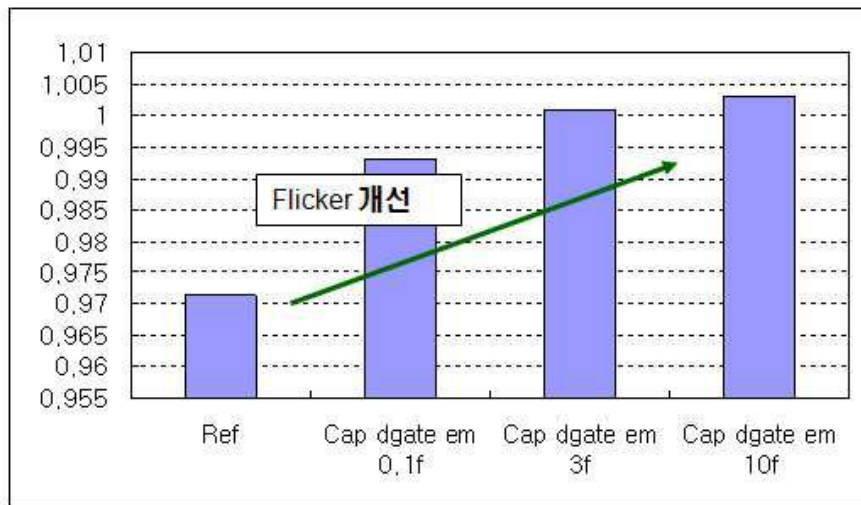
도면4



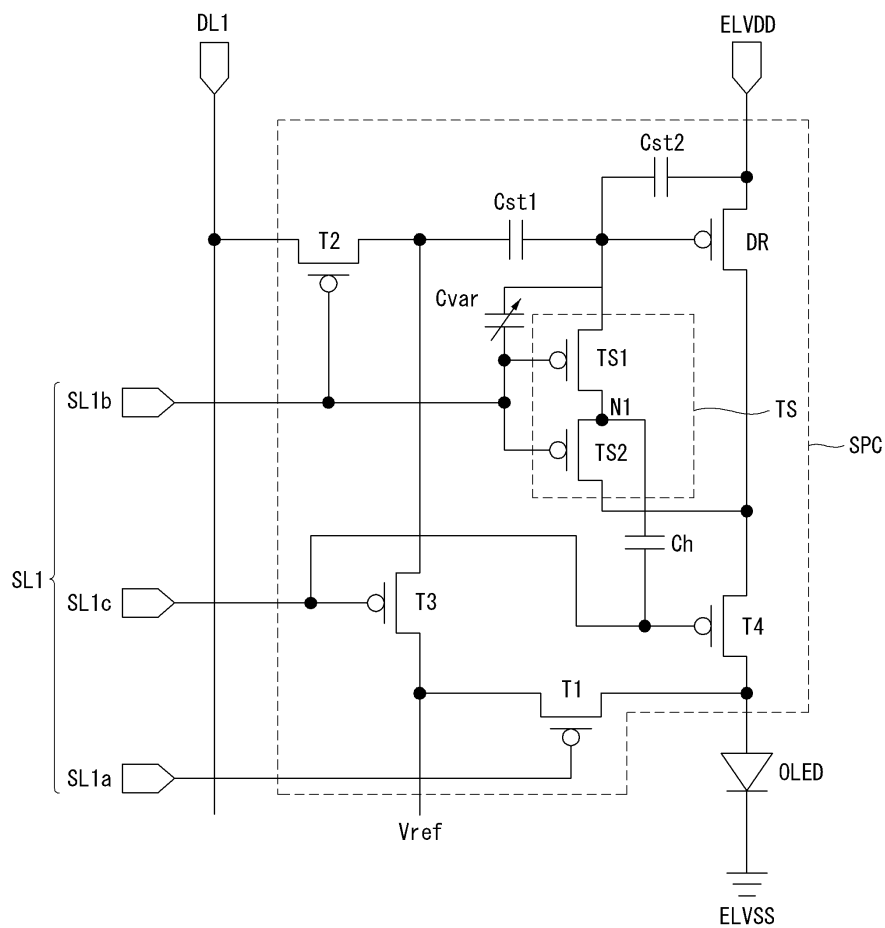
도면5



도면6



도면7



专利名称(译)	标题：有机电致发光显示装置		
公开(公告)号	KR1020120069137A	公开(公告)日	2012-06-28
申请号	KR1020100130549	申请日	2010-12-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM DO HYUNG		
发明人	KIM DO HYUNG		
IPC分类号	G09G3/30		
CPC分类号	G09G3/3225 G09G3/3275 G09G2300/043 G09G2300/0876 G09G2310/0202 G09G2310/0294 G09G2320/0233 G09G2320/0247 H05B45/60		
外部链接	Espacenet		

摘要(译)

本发明的实施例提供了包括有机发光二极管，用于驱动四个晶体管的驱动晶体管的有机电致发光显示装置，其包括具有当前驱动的像素驱动器的子像素，并且操作使得有机发光二极管为利用第三扫描信号发光，该第三扫描信号利用第一扫描信号初始化为参考电压，电容器为1，并且构建电容器有助于采样晶体管的电压保持特性。关于此，通过第一扫描线提供像素驱动器，并通过第三扫描线提供像素驱动器。而有机发光二极管则是有机发光二极管。一个电容器存储采样晶体管，该采样晶体管利用通过第二扫描线提供的第二扫描信号进行操作，对驱动晶体管的阈值电压进行采样，其输出通过数据线提供的的数据信号和通过数据线提供的的数据信号。

