



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0040867
(43) 공개일자 2012년04월30일

(51) 국제특허분류(Int. Cl.)

G09G 3/30 (2006.01)

(21) 출원번호 10-2010-0102356

(22) 출원일자 2010년10월20일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

윤중선

경기 과천시 탄현면 법흥리 민들레빌 203호

이현행

경상북도 칠곡군 석적읍 동중리9길 13, LG디스플레이기숙사 B동 108호

(74) 대리인

특허법인로알

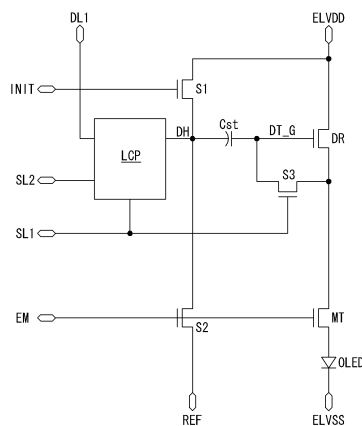
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 유기전계발광표시장치와 이의 구동방법

(57) 요약

본 발명의 실시예는, 각기 다른 두 개의 스캔라인을 통해 공급된 두 개의 스캔신호에 응답하여 데이터라인을 통해 공급된 데이터신호가 스토리지 커패시터에 데이터전압으로 저장되도록 구동하는 로직 회로부; 데이터전압에 따라 구동전류를 발생하도록 구동하는 구동 트랜지스터; 제어라인을 통해 공급된 제어신호에 응답하여 구동 트랜지스터로부터 발생한 구동전류가 유기 발광다이오드에 전달되도록 스위칭하는 제어 트랜지스터; 초기화라인을 통해 공급된 초기화신호에 응답하여 로직 회로부의 출력단과 스토리지 커패시터의 일단을 연결하는 제1노드가 제1 전원단을 통해 공급된 제1전원전압으로 초기화되도록 스위칭하는 제1스위칭 트랜지스터; 제어신호에 응답하여 레퍼런스라인을 통해 공급된 레퍼런스 전압이 제1노드에 전달되도록 스위칭하는 제2스위칭 트랜지스터; 및 두 개의 스캔신호 중 하나에 응답하여 구동 트랜지스터의 문턱전압을 샘플링하도록 스위칭하는 제3스위칭 트랜지스터를 포함하는 유기전계발광표시장치를 제공한다.

대표도 - 도2



특허청구의 범위

청구항 1

각기 다른 두 개의 스캔라인을 통해 공급된 두 개의 스캔신호에 응답하여 데이터라인을 통해 공급된 데이터신호가 스토리지 커패시터에 데이터전압으로 저장되도록 구동하는 로직 회로부;

상기 데이터전압에 따라 구동전류를 발생하도록 구동하는 구동 트랜지스터;

제어라인을 통해 공급된 제어신호에 응답하여 상기 구동 트랜지스터로부터 발생한 상기 구동전류가 유기 발광다이오드에 전달되도록 스위칭하는 제어 트랜지스터;

초기화라인을 통해 공급된 초기화신호에 응답하여 상기 로직 회로부의 출력단과 상기 스토리지 커패시터의 일단을 연결하는 제1노드가 제1전원단을 통해 공급된 제1전원전압으로 초기화되도록 스위칭하는 제1스위칭 트랜지스터;

상기 제어신호에 응답하여 레퍼런스라인을 통해 공급된 레퍼런스 전압이 상기 제1노드에 전달되도록 스위칭하는 제2스위칭 트랜지스터; 및

상기 두 개의 스캔신호 중 하나에 응답하여 상기 구동 트랜지스터의 문턱전압을 샘플링하도록 스위칭하는 제3스위칭 트랜지스터를 포함하는 유기전계발광표시장치.

청구항 2

제1항에 있어서,

상기 로직 회로부는,

상기 두 개의 스캔신호가 중첩되는 구간에 상기 데이터라인을 통해 공급된 데이터신호가 상기 스토리지 커패시터에 상기 데이터전압으로 저장되도록 구동하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 3

제1항에 있어서,

상기 로직 회로부는,

2 개의 스위칭 트랜지스터를 포함하는 앤드(AND) 로직 게이트로 구성된 것을 특징으로 하는 유기전계발광표시장치.

청구항 4

제1항에 있어서,

상기 로직 회로부는,

제A스캔라인을 통해 공급된 제A스캔신호에 응답하여 상기 데이터라인을 통해 공급된 상기 데이터신호를 출력하는 제1트랜지스터와,

제B스캔라인을 통해 공급된 제B스캔신호에 응답하여 상기 제1트랜지스터로부터 출력된 상기 데이터신호를 상기 제1노드로 출력하는 제2트랜지스터를 포함하는 유기전계발광표시장치.

청구항 5

제1항에 있어서,

상기 제1스위칭 트랜지스터는 상기 초기화라인에 게이트 전극이 연결되고 상기 제1전원단에 제1전극이 연결되고 상기 제1노드에 제2전극이 연결되며,

상기 제2스위칭 트랜지스터는 상기 제어라인에 게이트 전극이 연결되고 상기 레퍼런스라인에 제1전극이 연결되고 상기 제1노드에 제2전극이 연결되며,

상기 스토리지 커패시터는 상기 제1노드에 일단이 연결되고 상기 구동 트랜지스터의 게이트 전극에 타단이 연결되며,

상기 구동 트랜지스터는 상기 스토리지 커패시터의 타단에 게이트 전극이 연결되고 상기 제1전원단에 제1전극이 연결되고 상기 제어트랜지스터의 제1전극에 제2전극이 연결되며,

상기 제3스위칭 트랜지스터는 상기 제B스캔라인에 게이트 전극이 연결되고 상기 구동 트랜지스터의 게이트 전극에 제1전극이 연결되고 상기 구동 트랜지스터의 제2전극에 제2전극이 연결되며,

상기 제어 트랜지스터는 상기 제어라인에 게이트 전극이 연결되고 상기 구동 트랜지스터의 제2전극에 제1전극이 연결되고 상기 유기 발광다이오드의 애노드 전극에 제2전극이 연결되며,

상기 유기 발광다이오드는 상기 제어 트랜지스터의 제2전극에 애노드 전극이 연결되고 제2전원전압이 공급되는 제2전원단에 캐소드 전극이 연결된 것을 특징으로 하는 유기전계발광표시장치.

청구항 6

제5항에 있어서,

상기 로직 회로부는,

제A스캔라인에 게이트 전극이 연결되고 상기 데이터라인에 제1전극이 연결된 제1트랜지스터와,

제B스캔라인에 게이트 전극이 연결되고 상기 제1트랜지스터의 제2전극에 제1전극이 연결되고 상기 제1노드에 제2전극이 연결된 제2트랜지스터를 포함하는 유기전계발광표시장치.

청구항 7

제1항에 있어서,

상기 초기화신호, 상기 두 개의 스캔신호 중 제B스캔신호 및 상기 제어신호가 로직 로우 신호 상태이고 상기 두 개의 스캔신호 중 제A스캔신호가 로직 하이 신호 상태일 때 상기 제1노드는 상기 제1전원전압에 의해 초기화되고,

상기 초기화신호 및 상기 제B스캔신호가 로직 로우 신호 상태이고 상기 제A스캔신호 및 상기 제어신호가 로직 하이 신호 상태일 때 상기 구동 트랜지스터는 문턱전압이 센싱되고,

상기 초기화신호 및 상기 제어신호가 로직 하이 신호 상태이고 상기 제A스캔신호 및 상기 제B스캔신호가 로직 로우 신호 상태일 때 상기 스토리지 커패시터에는 상기 데이터전압이 저장되고,

상기 초기화신호 및 상기 제B스캔신호가 로직 하이 신호 상태이고 상기 제어신호가 로직 로우 신호 상태일 때 상기 유기 발광다이오드는 발광하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 8

제1항에 있어서,

상기 제B스캔라인은 현재 단에 위치하는 서브 픽셀에 제N번째 스캔신호를 공급하는 스캔라인이고,

상기 제A스캔라인은 다음 단에 위치하는 서브 픽셀에 제N+1번째 스캔신호를 공급하는 스캔라인인 것을 특징으로 하는 유기전계발광표시장치.

청구항 9

초기화신호, 제B스캔신호 및 제어신호를 제1로직 신호 상태로 하고 제A스캔신호를 제2로직 신호 상태로 하여 제1노드를 제1전원전압으로 초기화시키는 단계;

상기 초기화신호 및 상기 제B스캔신호를 상기 제1로직 신호 상태로 하고 상기 제A스캔신호 및 상기 제어신호를 제2로직 신호 상태로 하여 구동 트랜지스터의 문턱전압을 센싱하는 단계;

상기 초기화신호 및 상기 제어신호를 상기 제2로직 신호 상태로 하고 상기 제A스캔신호 및 상기 제B스캔신호를 상기 제1로직 신호 상태로 하여 스토리지 커패시터에 데이터전압을 저장하는 단계; 및

상기 초기화신호 및 상기 제B스캔신호를 상기 제2로직 신호 상태로 하고 상기 제어신호를 상기 제1로직 신호 상태로 하여 상기 유기 발광다이오드를 발광시키는 단계를 포함하는 유기전계발광표시장치.

청구항 10

제9항에 있어서,

상기 데이터전압은,

상기 제A스캔신호 및 상기 제B스캔신호가 중첩되어 턴온된 구간에 상기 스토리지 커패시터에 저장되는 것을 특징으로 하는 유기전계발광표시장치.

명세서

기술 분야

[0001] 본 발명은 유기전계발광표시장치와 이의 구동방법에 관한 것이다.

배경 기술

[0002] 유기전계발광표시장치에 사용되는 유기전계발광소자는 두 개의 전극 사이에 발광층이 형성된 자발광소자이다. 유기전계발광소자는 전자(electron) 주입전극(cathode)과 정공(hole) 주입전극(anode)으로부터 각각 전자와 정공을 발광층 내부로 주입시켜, 주입된 전자와 정공이 결합한 엑시톤(exciton)이 여기 상태에서부터 기저상태로 떨어질 때 발광하는 소자이다.

[0003] 유기전계발광소자를 이용한 유기전계발광표시장치는 빛이 방출되는 방향에 따라 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 및 양면발광(Dual-Emission) 등이 있고, 구동방식에 따라 수동매트릭스형(Passive Matrix)과 능동매트릭스형(Active Matrix) 등으로 나뉘어진다.

[0004] 유기전계발광표시장치는 매트릭스 형태로 배치된 복수의 서브 픽셀에 스캔 신호, 데이터 신호 및 전원 등이 공급되면, 선택된 서브 픽셀이 발광을 하게 됨으로써 영상을 표시할 수 있다.

[0005] 유기전계발광표시장치는 트랜지스터의 문턱전압이 시프트하기 때문에 시간에 따라 구동전류가 낮아져 소자의 수명이 감소하는 문제가 있다. 이에 따라, 종래에는 1H(Horizontal)기간 동안 문턱전압을 센싱(sensing)하고 문턱전압을 캔슬링(canceling)하여 발광시 소자 특성에 따른 문턱전압 시프트와 무관하게 일정한 전류 구동을 하기 위한 보상 방안들이 제안되었다. 그런데, 종래 보상 방법은 고속 구동으로 갈수록(예컨대 60Hz → 240Hz 또는 그 이상) 문턱전압 센싱 시간 마진이 부족하게 되어 문턱전압 센싱 정확도(Vth sensing accuracy)가 떨어지는 문제가 있어 이의 개선이 요구된다.

발명의 내용

해결하려는 과제

[0006] 상술한 배경기술의 문제점을 해결하기 위한 본 발명의 실시예는, 인접 스캔라인에서의 데이터신호의 섞임으로 인한 혼색을 방지할 수 있고, 동일 구동 주파수 조건하에서 2배의 수평시간으로 구동 트랜지스터의 문턱전압을 센싱할 수 있어 문턱전압 센싱 정확도를 향상시킬 수 있고 고속구동하에서 문턱전압 센싱 시간 마진을 확보하여 소자의 변화 및 전원 전압 강하에 의한 휘도 편차를 개선할 수 있는 유기전계발광표시장치와 이의 구동방법을 제공하는 것이다.

과제의 해결 수단

[0007] 상술한 과제 해결 수단으로 본 발명의 실시예는, 각기 다른 두 개의 스캔라인을 통해 공급된 두 개의 스캔신호에 응답하여 데이터라인을 통해 공급된 데이터신호가 스토리지 커패시터에 데이터전압으로 저장되도록 구동하는 로직 회로부; 데이터전압에 따라 구동전류를 발생하도록 구동하는 구동 트랜지스터; 제어라인을 통해 공급된 제어신호에 응답하여 구동 트랜지스터로부터 발생한 구동전류가 유기 발광다이오드에 전달되도록 스위칭하는 제어

트랜지스터; 초기화라인을 통해 공급된 초기화신호에 응답하여 로직 회로부의 출력단과 스토리지 커패시터의 일단을 연결하는 제1노드가 제1전원단을 통해 공급된 제1전원전압으로 초기화되도록 스위칭하는 제1스위칭 트랜지스터; 제어신호에 응답하여 레퍼런스라인을 통해 공급된 레퍼런스 전압이 제1노드에 전달되도록 스위칭하는 제2스위칭 트랜지스터; 및 두 개의 스캔신호 중 하나에 응답하여 구동 트랜지스터의 문턱전압을 샘플링하도록 스위칭하는 제3스위칭 트랜지스터를 포함하는 유기전계발광표시장치를 제공한다.

- [0008] 로직 회로부는, 두 개의 스캔신호가 중첩되는 구간에 데이터라인을 통해 공급된 데이터신호가 스토리지 커패시터에 데이터전압으로 저장되도록 구동할 수 있다.
- [0009] 로직 회로부는, 2 개의 스위칭 트랜지스터를 포함하는 앤드(AND) 로직 게이트로 구성될 수 있다.
- [0010] 로직 회로부는, 제A스캔라인을 통해 공급된 제A스캔신호에 응답하여 데이터라인을 통해 공급된 데이터신호를 출력하는 제1트랜지스터와, 제B스캔라인을 통해 공급된 제B스캔신호에 응답하여 제1트랜지스터로부터 출력된 데이터신호를 제1노드로 출력하는 제2트랜지스터를 포함할 수 있다.
- [0011] 제1스위칭 트랜지스터는 초기화라인에 게이트 전극이 연결되고 제1전원단에 제1전극이 연결되고 제1노드에 제2전극이 연결되며, 제2스위칭 트랜지스터는 제어라인에 게이트 전극이 연결되고 레퍼런스라인에 제1전극이 연결되고 제1노드에 제2전극이 연결되며, 스토리지 커패시터는 제1노드에 일단이 연결되고 구동 트랜지스터의 게이트 전극에 타단이 연결되며, 구동 트랜지스터는 스토리지 커패시터의 타단에 게이트 전극이 연결되고 제1전원단에 제1전극이 연결되고 제어트랜지스터의 제1전극에 제2전극이 연결되며, 제3스위칭 트랜지스터는 제B스캔라인에 게이트 전극이 연결되고 구동 트랜지스터의 게이트 전극에 제1전극이 연결되고 구동 트랜지스터의 제2전극에 제2전극이 연결되며, 제어 트랜지스터는 제어라인에 게이트 전극이 연결되고 구동 트랜지스터의 제2전극에 제1전극이 연결되고 유기 발광다이오드의 애노드 전극에 제2전극이 연결되며, 유기 발광다이오드는 제어 트랜지스터의 제2전극에 애노드 전극이 연결되고 제2전원전압이 공급되는 제2전원단에 캐소드 전극이 연결될 수 있다.
- [0012] 로직 회로부는, 제A스캔라인에 게이트 전극이 연결되고 데이터라인에 제1전극이 연결된 제1트랜지스터와, 제B스캔라인에 게이트 전극이 연결되고 제1트랜지스터의 제2전극에 제1전극이 연결되고 제1노드에 제2전극이 연결된 제2트랜지스터를 포함할 수 있다.
- [0013] 초기화신호, 두 개의 스캔신호 중 제B스캔신호 및 제어신호가 로직 로우 신호 상태이고 두 개의 스캔신호 중 제A스캔신호가 로직 하이 신호 상태일 때 제1노드는 제1전원전압에 의해 초기화되고, 초기화신호 및 제B스캔신호가 로직 로우 신호 상태이고 제A스캔신호 및 제어신호가 로직 하이 신호 상태일 때 구동 트랜지스터는 문턱전압이 센싱되고, 초기화신호 및 제어신호가 로직 하이 신호 상태이고 제A스캔신호 및 제B스캔신호가 로직 로우 신호 상태일 때 스토리지 커패시터에는 데이터전압이 저장되고, 초기화신호 및 제B스캔신호가 로직 하이 신호 상태이고 제어신호가 로직 로우 신호 상태일 때 유기 발광다이오드는 발광할 수 있다.
- [0014] 제B스캔라인은 현재 단계에 위치하는 서브 픽셀에 제N번째 스캔신호를 공급하는 스캔라인이고, 제A스캔라인은 다음 단계에 위치하는 서브 픽셀에 제N+1번째 스캔신호를 공급하는 스캔라인일 수 있다.
- [0015] 다른 측면에서 본 발명의 실시예는, 초기화신호, 제B스캔신호 및 제어신호를 제1로직 신호 상태로 하고 제A스캔신호를 제2로직 신호 상태로 하여 제1노드를 제1전원전압으로 초기화시키는 단계; 초기화신호 및 제B스캔신호를 제1로직 신호 상태로 하고 제A스캔신호 및 제어신호를 제2로직 신호 상태로 하여 구동 트랜지스터의 문턱전압을 센싱하는 단계; 초기화신호 및 제어신호를 제2로직 신호 상태로 하고 제A스캔신호 및 제B스캔신호를 제1로직 신호 상태로 하여 스토리지 커패시터에 데이터전압을 저장하는 단계; 및 초기화신호 및 제B스캔신호를 제2로직 신호 상태로 하고 제어신호를 제1로직 신호 상태로 하여 유기 발광다이오드를 발광시키는 단계를 포함할 수 있다.
- [0016] 데이터전압은, 제A스캔신호 및 제B스캔신호가 중첩되어 턴온된 구간에 스토리지 커패시터에 저장될 수 있다.

발명의 효과

- [0017] 본 발명의 실시예는, 앤드 로직 게이트를 사용하여 인접 스캔라인에서의 데이터신호의 섞임으로 인한 혼색을 방지할 수 있고, 동일 구동 주파수 조건하에서 2배의 수평시간으로 구동 트랜지스터의 문턱전압을 센싱할 수 있어 문턱전압 센싱 정확도를 향상시킬 수 있고 고속구동하에서 문턱전압 센싱 시간 마진을 확보하여 소자의 변화 및 전원 전압 강하에 의한 휘도 편차를 개선할 수 있는 유기전계발광표시장치와 이의 구동방법을 제공하는 효과가 있다.

도면의 간단한 설명

- [0018] 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 개략적인 블록도.
- 도 2는 본 발명의 일 실시예에 따른 서브 픽셀의 개략적인 회로 구성도.
- 도 3은 도 2에 도시된 서브 픽셀의 보다 구체적인 회로 구성도.
- 도 4는 본 발명의 일 실시예에 따른 서브 픽셀의 구동 파형도.
- 도 5는 구동 트랜지스터의 문턱전압 시프트에 따른 비교예와 실시예 간의 성능을 비교 설명하기 위한 시뮬레이션 그래프.

발명을 실시하기 위한 구체적인 내용

- [0019] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- [0020] 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 개략적인 블록도이다.
- [0021] 도 1에 도시된 바와 같이, 본 발명의 일 실시예에 따른 유기전계발광표시장치는 타이밍제어부(TCN), 데이터구동부(DDRV), 스캔구동부(SDRV) 및 표시패널(PNL)을 포함한다.
- [0022] 타이밍제어부(TCN)는 외부로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 클럭신호(CLK), 데이터신호(DATA)를 공급받는다. 타이밍제어부(TCN)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 클럭신호(CLK) 등의 타이밍신호를 이용하여 데이터구동부(DDRV)와 게이트구동부(SDRV)의 동작 타이밍을 제어한다. 타이밍제어부(TCN)는 1H(Horizontal)기간의 데이터 인에이블 신호(DE)를 카운트하여 프레임기간을 판단할 수 있으므로 외부로부터 공급되는 수직 동기신호(Vsync)와 수평 동기신호(Hsync)는 생략될 수 있다. 타이밍제어부(TCN)에서 생성되는 제어신호들에는 게이트구동부(SDRV)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터구동부(DDRV)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)가 포함될 수 있다. 게이트 타이밍 제어신호(GDC)에는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 시프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE) 등이 포함된다. 게이트 스타트 펄스(GSP)는 첫 번째 게이트신호가 발생하는 게이트 드라이브 IC(Integrated Circuit)에 공급된다. 게이트 시프트 클럭(GSC)은 게이트 드라이브 IC들에 공통으로 입력되는 클럭신호로써 게이트 스타트 펄스(GSP)를 시프트시키기 위한 클럭신호이다. 게이트 출력 인에이블신호(GOE)는 게이트 드라이브 IC들의 출력을 제어한다. 데이터 타이밍 제어신호(DDC)에는 소스 스타트 펄스(Source, Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 소스 출력 인에이블신호(Source Output Enable, SOE) 등이 포함된다. 소스 스타트 펄스(SSP)는 데이터구동부(DDRV)의 데이터 샘플링 시작 시점을 제어한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 데이터구동부(DDRV) 내에서 데이터의 샘플링 동작을 제어하는 클럭신호이다. 소스 출력 인에이블신호(SOE)는 데이터구동부(DDRV)의 출력을 제어한다. 한편, 데이터구동부(DDRV)에 공급되는 소스 스타트 펄스(SSP)는 데이터전송 방식에 따라 생략될 수도 있다.
- [0023] 데이터구동부(DDRV)는 타이밍제어부(TCN)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍제어부(TCN)로부터 공급되는 디지털 형태의 데이터신호(DATA)를 샘플링하고 래치하여 병렬 데이터 체계의 데이터로 변환한다. 데이터구동부(DDRV)는 병렬 데이터 체계의 데이터로 변환할 때, 디지털 형태의 데이터신호를 감마 기준 전압으로 변환하여 아날로그 형태의 데이터신호로 변환한다. 데이터구동부(DDRV)는 데이터라인들(DL1~DLn)을 통해 변환된 데이터신호를 표시패널(PNL)에 포함된 서브 픽셀(SP)에 공급한다.
- [0024] 스캔구동부(SDRV)는 타이밍제어부(TCN)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 표시패널(PNL)에 포함된 서브 픽셀(SP)의 트랜지스터들이 동작 가능한 게이트 구동전압의 스윙폭으로 신호의 레벨을 시프트시키면서 스캔신호를 순차적으로 생성한다. 스캔구동부(SDRV)는 스캔배선(SCAN)을 통해 생성된 스캔신호를 표시패널(PNL)에 포함된 서브 픽셀(SP)에 공급한다.
- [0025] 표시패널(PNL)은 다수의 서브 픽셀(SP)을 포함한다. 다수의 서브 픽셀(SP)에는 각각 7개의 트랜지스터, 1개의 스토리지 커패시터 및 유기 발광다이오드가 포함될 수 있으나 이에 한정되지 않는다. 다수의 서브 픽셀(SP)은 매트릭스형태로 표시패널(PNL)에 배치될 수 있으나 이에 한정되지 않는다.

- [0026] 이하, 본 발명의 일 실시예에 따른 서브 픽셀의 회로 구성에 대해 더욱 자세히 설명한다.
- [0027] 도 2는 본 발명의 일 실시예에 따른 서브 픽셀의 개략적인 회로 구성도이고, 도 3은 도 2에 도시된 서브 픽셀의 보다 구체적인 회로 구성도이다.
- [0028] 도 2에 도시된 바와 같이, 서브 픽셀(SP)에는 제1스위칭 트랜지스터(S1), 구동 트랜지스터(DR), 제어 트랜지스터(MT), 제2스위칭 트랜지스터(S2), 제3스위칭 트랜지스터(S3), 스토리지 커패시터(Cst), 유기 발광다이오드(OLED) 및 로직 회로부(LCP)가 포함된다.
- [0029] 구동 트랜지스터(DR)는 스토리지 커패시터(Cst)에 저장된 데이터전압에 따라 구동전류를 발생하도록 구동하는 역할을 한다.
- [0030] 제어 트랜지스터(MT)는 제어라인(EM)을 통해 공급된 제어신호에 응답하여 구동 트랜지스터(DR)로부터 발생한 구동전류가 유기 발광다이오드(OLED)에 전달되도록 스위칭하는 역할을 한다.
- [0031] 제1스위칭 트랜지스터(S1)는 초기화라인(INIT)을 통해 공급된 초기화신호에 응답하여 로직 회로부(LCP)의 출력단과 스토리지 커패시터(Cst)의 일단을 연결하는 제1노드(DH)가 제1전원단(ELVDD)을 통해 공급된 제1전원전압으로 초기화되도록 스위칭하는 역할을 한다.
- [0032] 제2스위칭 트랜지스터(S2)는 제어신호에 응답하여 레퍼런스라인(REF)을 통해 공급된 레퍼런스 전압이 제1노드(DH)에 전달되도록 스위칭하는 역할을 한다.
- [0033] 제3스위칭 트랜지스터(S3)는 두 개의 스캔신호 중 하나에 응답하여 구동 트랜지스터(DR)의 문턱전압을 샘플링하도록 스위칭하는 역할을 한다. 제3스위칭 트랜지스터(S3)는 두 개의 스캔신호 중 하나에 응답하여 구동 트랜지스터(DR)를 다이오드 커백션으로 형성하여 구동 트랜지스터(DR)의 문턱전압을 센싱하도록 동작한다.
- [0034] 로직 회로부(LCP)는 각기 다른 두 개의 스캔라인(SL1, SL2)을 통해 공급된 두 개의 스캔신호에 응답하여 데이터라인(DL1)을 통해 공급된 데이터신호가 스토리지 커패시터(Cst)에 데이터전압으로 저장되도록 구동하는 역할을 한다. 로직 회로부(LCP)는 두 개의 스캔신호가 중첩되는 구간에 데이터라인(DL1)을 통해 공급된 데이터신호가 스토리지 커패시터(Cst)에 데이터전압으로 저장되도록 구동한다. 이를 위해, 로직 회로부(LCP)는 2 개의 스위칭 트랜지스터를 포함하는 앤드(AND) 로직 게이트로 구성된다.
- [0035] 이하, 서브 픽셀 회로의 연결관계 및 로직 회로부(LCP)에 대해 더욱 자세히 설명한다. 이하의 설명에서 트랜지스터들의 제1전극과 제2전극은 소오스 전극 또는 드레인 전극으로 선택되나 이에 한정되지 않는다.
- [0036] 도 3에 도시된 바와 같이, 제1스위칭 트랜지스터(S1)는 초기화라인(INIT)에 게이트 전극이 연결되고 제1전원단(ELVDD)에 제1전극이 연결되고 제1노드(DH)에 제2전극이 연결된다. 제2스위칭 트랜지스터(S2)는 제어라인(EM)에 게이트 전극이 연결되고 레퍼런스라인(REF)에 제1전극이 연결되고 제1노드에 제2전극이 연결된다. 스토리지 커패시터(Cst)는 제1노드(DH)에 일단이 연결되고 구동 트랜지스터(DR)의 게이트 전극에 타단이 연결된다. 구동 트랜지스터(DR)는 스토리지 커패시터(Cst)의 타단에 게이트 전극이 연결되고 제1전원단(ELVDD)에 제1전극이 연결되고 제어트랜지스터(MT)의 제1전극에 제2전극이 연결된다. 제3스위칭 트랜지스터(S3)는 제B스캔라인(SL1)에 게이트 전극이 연결되고 구동 트랜지스터(DR)의 게이트 전극에 제1전극이 연결되고 구동 트랜지스터(DR)의 제2전극에 제2전극이 연결된다. 제어 트랜지스터(MT)는 제어라인(EM)에 게이트 전극이 연결되고 구동 트랜지스터(DR)의 제2전극에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드 전극에 제2전극이 연결된다. 유기 발광다이오드(OLED)는 제어 트랜지스터(MT)의 제2전극에 애노드 전극이 연결되고 제2전원전압이 공급되는 제2전원단(ELVSS)에 캐소드 전극이 연결된다.
- [0037] 로직 회로부(LCP)에는 앤드(AND) 로직 게이트로 구성된 제1트랜지스터(L1)와 제2트랜지스터(L2)가 포함된다. 제1트랜지스터(L1)는 제A스캔라인(SL2)에 게이트 전극이 연결되고 데이터라인(DL1)에 제1전극이 연결되고 제2트랜지스터(L2)의 제1전극에 제2전극이 연결된다. 제2트랜지스터(L2)는 제B스캔라인(SL1)에 게이트 전극이 연결되고 제1트랜지스터(L1)의 제2전극에 제1전극이 연결되고 제1노드(DH)에 제2전극이 연결된다.
- [0038] 제1트랜지스터(L1)는 제A스캔라인(SL2)을 통해 공급된 제A스캔신호에 응답하여 데이터라인(DL1)을 통해 공급된 데이터신호를 출력하는 역할을 한다. 제2트랜지스터(L2)는 제B스캔라인(SL1)을 통해 공급된 제B스캔신호에 응답하여 제1트랜지스터(L1)로부터 출력된 데이터신호를 제1노드(DH)로 출력하는 역할을 한다.
- [0039] 이와 같이, 로직 회로부(LCP)는 2 개의 스위칭 트랜지스터(L1, L2)가 앤드(AND) 로직 게이트로 구성되어 있어 이들이 중첩하여 턴온되는 구간에 데이터라인(DL1)을 통해 공급된 데이터신호가 스토리지 커패시터(Cst)에 저장

된다.

- [0040] 실시예는 2 개의 스위칭 트랜지스터(L1, L2)가 앤드(AND) 로직 게이트로 구성된 로직 회로부(LCP)를 사용하므로 이들이 중첩하여 턴온되는 구간에 데이터전압이 저장된다. 한편, 종래 구조는 문턱전압 센싱 기간이 1H로 한정되어 있어 센싱 기간을 확장하고자 스캔 시간을 확장하게 되면 신호의 중첩으로 인하여 데이터신호가 섞여 혼색이 발생한다. 하지만, 실시예는 센싱 기간을 확장하더라도 데이터신호의 인입부가 앤드(AND) 로직 게이트로 구성되어 있고 이들이 중첩하여 턴온될 때 데이터신호가 출력되므로 데이터신호의 섞임을 방지할 수 있게 된다. 그러므로, 실시예는 인접 스캔라인에서의 데이터신호의 섞임으로 인한 혼색을 방지할 수 있고, 동일 구동 주파수 조건하에서 2배의 수평시간으로 구동 트랜지스터(DR)의 문턱전압을 센싱할 수 있어 문턱전압 센싱 정확도를 향상시킬 수 있게 된다.
- [0041] 위의 설명에서, 제B스캔라인(SL1)은 현재 단에 위치하는 서브 픽셀에 제N번째 스캔신호를 공급하는 스캔라인이고, 제A스캔라인(SL2)은 다음 단에 위치하는 서브 픽셀에 제N+1번째 스캔신호를 공급하는 스캔라인이다. 즉, 제A스캔라인(SL2)은 다음 단의 서브 픽셀에 스캔신호를 공급하는 제N+1번째 스캔라인이 된다. 이 경우, 스캔구동부(SDRV) 입장에서는 로직 회로부(LCP) 구동에 따른 별도의 스캔신호 생성을 생략할 수 있어 1/2의 구동 주파수를 사용하는 것과 같으므로 구동부의 신뢰성 확보와 액티브 파워(active power)의 감소 효과를 얻을 수 있게 된다.
- [0042] 이하, 앞서 설명한 서브 픽셀의 구동방법에 대해 설명한다.
- [0043] 도 4는 본 발명의 일 실시예에 따른 서브 픽셀의 구동 파형도이고, 도 5는 구동 트랜지스터의 문턱전압 시프트에 따른 비교예와 실시예 간의 성능을 비교 설명하기 위한 시뮬레이션 그래프이다.
- [0044] 도 1 내지 도 4에 도시된 바와 같이, 본 발명의 일 실시예에 따른 서브 픽셀의 구동방법은 초기화 단계(①), 센싱 및 데이터 저장 단계(②, ③) 및 발광 단계(④)로 진행된다. 여기서, 센싱 및 데이터 저장 단계(②, ③)는 센싱 단계(②)와 데이터전압 저장 단계(③)로 구분된다.
- [0045] 초기화 단계(①)는 초기화신호(Init), 제B스캔신호(Scan B) 및 제어신호(Em)를 제1로직 신호 상태인 로직 로우 신호(0)로 하고 제A스캔신호(Scan A)를 제2로직 신호 상태인 로직 하이 신호(1)로 하여 제1노드(DH)를 제1전원전압(ELVDD)으로 초기화시키는 단계이다. 이에 따라, 제1스위칭 트랜지스터(S1), 제2스위칭 트랜지스터(S2), 제3스위칭 트랜지스터(S3), 로직 회로부(LCP)의 제2트랜지스터(L2) 및 제어 트랜지스터(MT)는 턴온(on) 되고 레퍼런스전압과 제1전원전압이 제1노드(DH)에 차징되므로 제1노드(DH)는 레퍼런스전압과 제1전원전압의 차로 초기화된다.
- [0046] 센싱 단계(②)는 초기화신호(Init) 및 제B스캔신호(Scan B)를 제1로직 신호 상태인 로직 로우 신호(0)로 하고 제A스캔신호(Scan A) 및 제어신호(Em)를 제2로직 신호 상태인 로직 하이 신호(1)로 하여 구동 트랜지스터(DR)의 문턱전압을 센싱하는 단계이다. 이에 따라, 제1스위칭 트랜지스터(S1), 제3스위칭 트랜지스터(S3) 및 로직 회로부(LCP)의 제1트랜지스터(L1)는 턴온(on) 되고 제2스위칭 트랜지스터(S2)와 제어 트랜지스터(MT)는 턴오프(off) 상태가 된다. 이때, 제3스위칭 트랜지스터(S3)는 구동 트랜지스터(DR)의 게이트 노드(DT_G)와 제2전극을 다이오드 커넥션 상태로 형성하므로 구동 트랜지스터(DR)의 문턱전압은 센싱된다.
- [0047] 데이터전압 저장 단계(③)는 초기화신호(Init) 및 제어신호(Em)를 제2로직 신호 상태인 로직 하이 신호(1)로 하고 제A스캔신호(Scan A) 및 제B스캔신호(Scan B)를 제1로직 신호 상태인 로직 로우 신호(0)로 하여 스토리지 커패시터(Cst)에 데이터전압을 저장하는 단계이다. 이에 따라, 로직 회로부(LCP)의 제1 및 제2트랜지스터(L1, L2)와 제3스위칭 트랜지스터(S3)는 턴온(on) 상태가 되고 제1스위칭 트랜지스터(S1), 제2스위칭 트랜지스터(S2) 및 제어 트랜지스터(MT)는 턴오프(off) 상태가 된다. 이때, 구동 트랜지스터(DR)의 문턱전압은 제3스위칭 트랜지스터(S3)에 의해 2HT(Horizontal Time) 기간(달리 표현하면, 2번의 스캔 기간) 동안 계속 센싱되고 로직 회로부(LCP)의 제1 및 제2트랜지스터(L1, L2)가 중첩되어 턴온(on) 됨에 따라 스토리지 커패시터(Cst)에는 데이터전압이 저장된다.
- [0048] 발광 단계(④)는 초기화신호(Init) 및 제B스캔신호(Scan B)를 제2로직 신호 상태인 로직 하이 신호(1)로 하고 제어신호(Em)를 제1로직 신호 상태인 로직 로우 신호(0)로 하여 유기 발광다이오드(OLED)를 발광시키는 단계이다. 이에 따라, 로직 회로부(LCP)의 제1트랜지스터(L1), 제2스위칭 트랜지스터(S2) 및 제어 트랜지스터(MT)는 턴온(on) 상태가 되고 제1스위칭 트랜지스터(S1), 제3스위칭 트랜지스터(S3) 및 로직 회로부(LCP)의 제2트랜지스터(L2)는 턴오프(off) 상태가 된다. 이때, 구동 트랜지스터(DR)에 의해 발생된 구동전류는 턴온(on)된 제어

트랜지스터(MT)를 통해 유기 발광다이오드(OLED)에 공급되므로 유기 발광다이오드(OLED)는 발광을 하게 된다.

[0049] 위와 같이 서브 픽셀에 포함된 소자들이 구동할 때, 구동 트랜지스터(DR)의 게이트 노드(DT_G)의 전압 파형은 도 4의 "DR gate node"와 같이 나타나게 되나 이는 예시적인 것일 뿐 이에 한정되지 않는다.

[0050] 도 5에 도시된 바와 같이, 구동 트랜지스터(DR)의 문턱전압 시프트(Delta_Vth)가 ± 0.5 일 때 비교예의 구조는 대략 5% 에러(error)를 나타낸 반면 실시예의 구조는 대략 4% 에러(error)를 나타내었다.

[0051] 실시예에 따른 서브 픽셀 회로는 7T(Transistor)1C(Capacitor) 구조로 1개의 구동 트랜지스터(DR)와 6개의 스위칭 트랜지스터(S1, S2, S3, MT, L1, L2)로 구성된다. 실시예에 따른 서브 픽셀 회로는 데이터신호를 라이팅(writing) 하기 위해 로직 회로부(LCP)에 포함된 제1 및 제2트랜지스터(L1, L2)를 직렬로 연결하여 이전 단의 스캔신호와 현재 단의 스캔신호가 중첩되는 부분에서 데이터신호를 제1노드(DH)에 기입하는 방식이다. 여기서,

[0052] 실시예에 따른 서브 픽셀 회로는 현재 단에 스캔신호가 공급되면 1H 동안 문턱전압 센싱을 위한 샘플링(Sampling)을 하고, 이때 제1노드(DH)는 컵 부스트(cap boost) 되는 것을 막기 위해 제1전원단(ELVDD)에 연결된다. 이와 더불어, 현재 단의 스캔신호와 다음 단의 스캔신호가 중첩되는 1H 기간에서는 데이터신호의 라이팅과 샘플링이 같이 이루어지게 된다.

[0053] 즉, 실시예의 구조는 데이터신호의 인입단에 형성된 앤드 로직 게이트(AND logic gate)에 두 개의 스캔신호가 중첩되는 구간에 데이터신호를 기입한다. 따라서, 스캔신호의 중첩으로 인한 데이터신호의 섞임이 발생하지 않으며 데이터신호 기입 후 문턱전압 샘플링(Vth sampling) 시간을 종래 1H 기간에 비해 2배인 2H 기간으로 가져감으로써 문턱전압 센싱(Vth sensing)에 대한 정확도를 높일 수 있다. 또한, 실시예의 구조는 위와 같은 구조 및 구동 방식을 적용하므로 60Hz, 120Hz, 240Hz로 구동 주파수가 빨라짐에 따라 부족해지는 샘플링 시간 마진(sampling timing margin)을 크게 할 수 있어 고속 구동에 유리하다.

[0054] 이상 본 발명의 실시예는 앤드 로직 게이트를 사용하여 인접 스캔라인에서의 데이터신호의 섞임으로 인한 혼색을 방지할 수 있고, 동일 구동 주파수 조건하에서 2배의 수평시간으로 구동 트랜지스터의 문턱전압을 센싱할 수 있어 문턱전압 센싱 정확도를 향상시킬 수 있고 고속구동하에서 문턱전압 센싱 시간 마진을 확보하여 소자의 변화 및 전원 전압 강하에 의한 휘도 편차를 개선할 수 있는 유기전계발광표시장치와 이의 구동방법을 제공하는 효과가 있다.

[0055] 또한, 본 발명의 실시예는 로직 회로부에 포함된 트랜지스터 중 하나가 다음 단의 스캔라인을 사용함으로써 종래의 OLED 구조(다이오드 연결을 통한 문턱전압 센싱 방식)와의 호환성이 매우 우수하며, P-type 뿐만 아니라 N-type이나 CMOS-type에서도 구현할 수 있는 유기전계발광표시장치를 제공하는 효과가 있다. 이 밖에, 본 발명의 실시예는 a-Si이나 Oxide계의 트랜지스터 등 다양한 백플레인(backplane)에서 구현할 수 있는 유기전계발광표시장치를 제공하는 효과가 있다.

[0056] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

[0057] TCN: 타이밍제어부
SDRV: 스캔구동부
S1: 제1스위칭 트랜지스터
MT: 제어 트랜지스터
DDRV: 데이터구동부
PNL: 표시패널
DR: 구동 트랜지스터
S2: 제2스위칭 트랜지스터

S3: 제3스위칭 트랜지스터

Cst: 스토리지 커패시터

OLED: 유기 발광다이오드

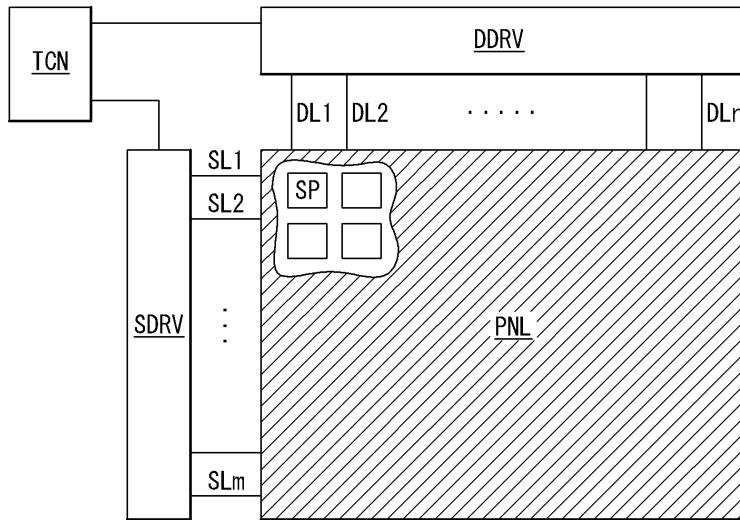
LCP: 로직 회로부

L1: 제1트랜지스터

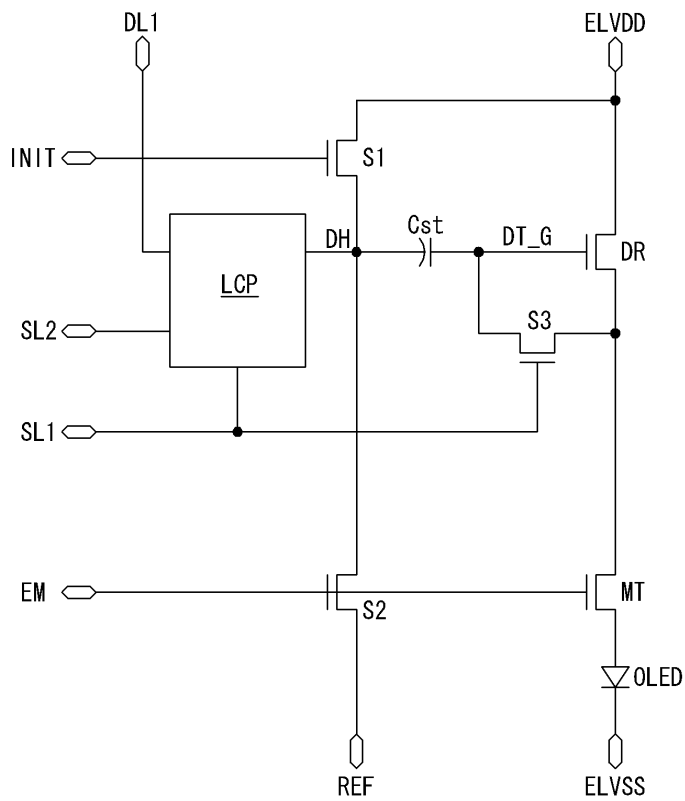
L2: 제2트랜지스터

도면

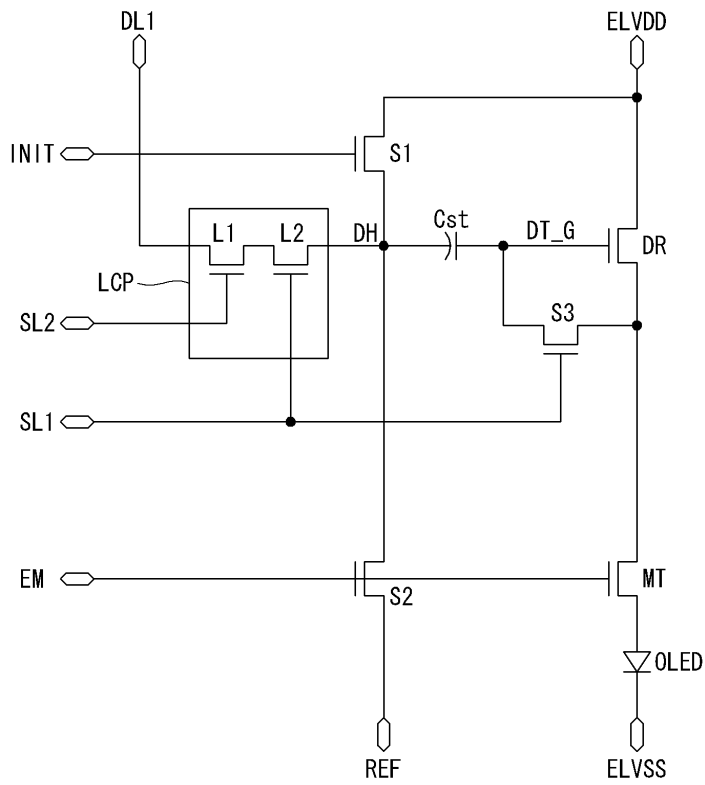
도면1



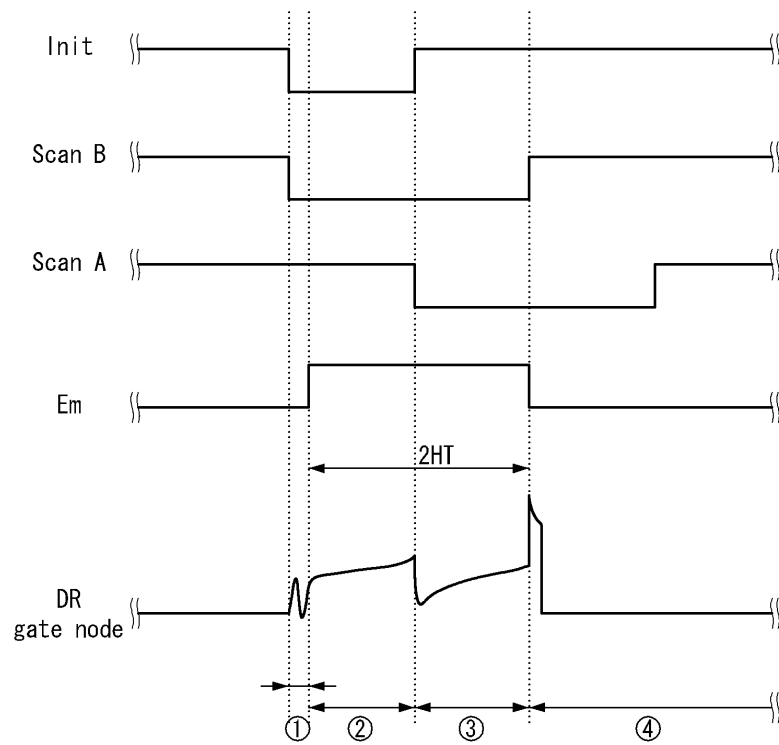
도면2



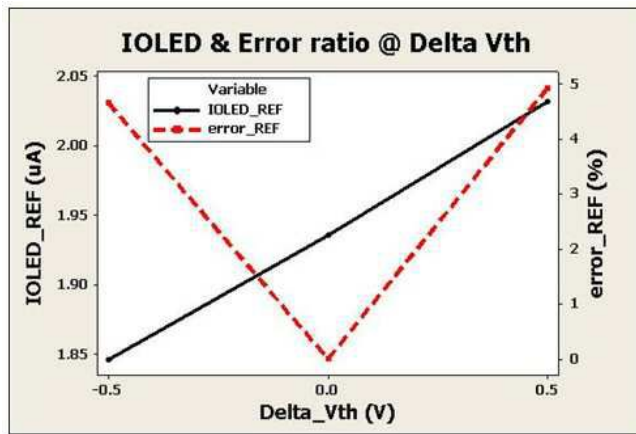
도면3



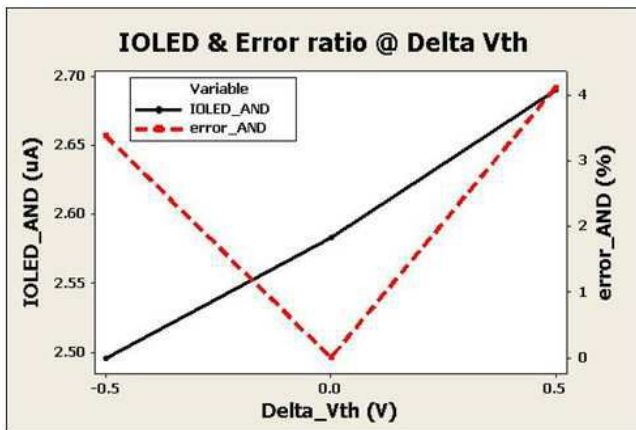
도면4



도면5



비교예



실시예

本发明实施例提供的有机电致发光显示装置包括当前驱动的逻辑电路部分，当前驱动的驱动晶体管根据数据电压产生驱动电流，第一开关晶体管切换以便初始化为第一电源电压，第二开关晶体管和第三开关晶体管使得通过数据线提供的数据信号响应于通过不同的两条扫描线提供的两个扫描信号而作为数据电压存储在存储电容器中。关于第一节点，响应于通过控制线提供的控制信号从驱动晶体管产生的驱动电流响应于控制晶体管连接逻辑电路部分的输出端的一端的第一节点：初始化信号通过初始化线和存储电容器提供它，它通过第一电源移位提供给有机发光二极管。第二开关晶体管进行切换，使得响应于通过参考线的控制信号而提供的参考电压被传送到第一节点。第三开关晶体管进行切换以便响应于一个扫描信号在两个扫描信号中采样驱动晶体管的阈值电压。

