



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0080387
(43) 공개일자 2011년07월13일

(51) Int. Cl.

G09G 3/30 (2006.01) G09G 3/20 (2006.01)

(21) 출원번호 10-2010-0000570

(22) 출원일자 2010년01월05일

심사청구일자 2010년01월05일

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

강철규

경기도 용인시 기흥구 농서동 산24

최상무

경기도 용인시 기흥구 농서동 산24

김금남

경기도 용인시 기흥구 농서동 산24

(74) 대리인

리엔목특허법인

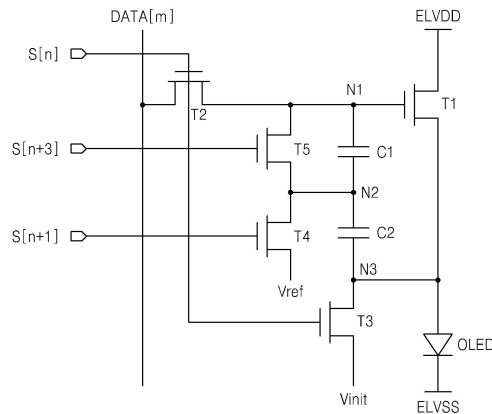
전체 청구항 수 : 총 20 항

(54) 화소 회로 및 유기전계발광 표시 장치, 및 이의 구동 방법

(57) 요약

본 발명은 화소 회로, 유기전계발광 표시장치 및 이의 구동 방법에 관한 것으로, 본 발명의 일 실시 예에 따른 화소 회로는 유기 발광 다이오드, 게이트 전극이 제1 주사 선에 접속되고 제1 전극이 데이터 선에 접속되고 제2 전극이 제1 노드에 접속된 제2 트랜지스터, 게이트 전극이 제3 주사 선에 접속되고 제 1 전극이 상기 제1 노드에 접속되고 제2 전극이 제2 노드에 접속된 제5 트랜지스터, 게이트 전극이 제2 주사 선에 접속되고 제1 전극이 제1 기준 전원에 접속되고 제2 전극이 제2 노드에 접속된 제4 트랜지스터, 게이트 전극이 제1 주사 선에 접속되고 제 1 전극이 제2 기준 전원에 접속되고 제2 전극이 제3 노드에 접속된 제3 트랜지스터, 제1 노드와 상기 제2 노드 사이에 접속된 제1 커패시터, 제2 노드와 제3 노드 사이에 접속된 제2 커패시터 및 게이트 전극이 제1 노드에 접속되고 제1 전극이 제1 전원에 접속되고 제2 전극이 제3 노드에 접속되어 유기 발광 다이오드를 구동하는 제1 트랜지스터를 포함하여 이루어진다.

대표도 - 도6



특허청구의 범위

청구항 1

유기 발광 다이오드;

게이트 전극이 제1 주사 선에 접속되고 제1 전극이 데이터 선에 접속되고 제2 전극이 제1 노드에 접속된 제2 트랜지스터;

게이트 전극이 제3 주사 선에 접속되고 제1 전극이 상기 제1 노드에 접속되고 제2 전극이 제2 노드에 접속된 제5 트랜지스터;

게이트 전극이 제2 주사 선에 접속되고 제1 전극이 제1 기준 전원에 접속되고 제2 전극이 상기 제2 노드에 접속된 제4 트랜지스터;

게이트 전극이 상기 제1 주사 선에 접속되고 제1 전극이 제2 기준 전원에 접속되고 제2 전극이 제3 노드에 접속된 제3 트랜지스터;

상기 제1 노드와 상기 제2 노드 사이에 접속된 제1 커패시터;

상기 제2 노드와 상기 제3 노드 사이에 접속된 제2 커패시터; 및

상기 게이트 전극이 상기 제1 노드에 접속되고 제1 전극이 제1 전원에 접속되고 제2 전극이 상기 제3 노드에 접속되어 상기 유기 발광 다이오드를 구동하는 제1 트랜지스터를 포함하는 화소 회로.

청구항 2

제 1 항에 있어서,

상기 화소 회로는,

상기 제1 주사 선으로부터 제1 주사 신호, 상기 제2 주사 선으로부터 제2 주사 신호 및 상기 제3 주사 선으로부터 제3 주사 신호가 출력되고,

상기 제1 주사 신호, 상기 제2 주사 신호 및 상기 제3 주사 신호는 순차적으로 출력되는 것을 특징으로 하는 화소 회로.

청구항 3

제 2 항에 있어서,

상기 제1 주사 신호와 상기 제2 주사 신호는 적어도 1 수평 시간(1H) 만큼 지연되어 출력되고, 상기 제2 주사 신호와 상기 제3 주사 신호는 적어도 2 수평 시간(2H) 만큼 지연되어 출력되는 것을 특징으로 하는 화소 회로.

청구항 4

제 1 항에 있어서,

상기 제2 트랜지스터는,

상기 제1 주사 선으로부터 제1 주사 신호에 응답하여 상기 데이터 선으로부터 데이터 신호를 상기 제1 노드에 인가하는 것을 특징으로 하는 화소 회로.

청구항 5

제 1 항에 있어서,

상기 제4 트랜지스터는,

상기 제2 주사 선으로부터 제2 주사 신호에 응답하여 상기 제1 기준 전원의 제1 전압을 상기 제2 노드에 인가하는 것을 특징으로 하는 화소 회로.

청구항 6

제 1 항에 있어서,
 상기 제5 트랜지스터는,
 상기 제3 주사 선으로부터 제3 주사 신호에 응답하여 상기 제1 노드와 상기 제2 노드를 단락시키는 것을 특징으로 하는 화소 회로.

청구항 7

제 2 항에 있어서,
 상기 제3 트랜지스터는,
 상기 제1 주사 선으로부터 제1 주사 신호에 응답하여 제2 기준 전원의 제2 전압을 상기 제3 노드에 인가하는 것을 특징으로 하는 화소 회로.

청구항 8

제 7 항에 있어서,
 상기 화소 회로는,
 상기 데이터 선으로부터 데이터 신호가 인가되고, 제1 레벨의 제1 주사 신호, 제2 주사 신호와, 제2 레벨의 제3 주사 신호를 갖는 제1 구간;
 제2 레벨의 제1 주사 신호, 제3 주사 신호와, 제1 레벨의 제2 주사 신호를 갖는 제2 구간; 및
 제1 레벨의 제3 주사 신호와, 제2 레벨의 제1 주사 신호, 제2 주사 신호를 갖는 제3 구간을 갖도록 구동되는 것을 특징으로 하는 화소 회로.

청구항 9

제 8 항에 있어서,
 상기 제1 레벨은 상기 제1 내지 제5 트랜지스터가 턴 온되는 레벨이고,
 상기 제2 레벨은 상기 제1 내지 제5 트랜지스터가 턴 오프되는 레벨인 것을 특징으로 하는 화소 회로.

청구항 10

제 1 항에 있어서,
 상기 제1 내지 제5 트랜지스터는 NMOS 트랜지스터인 것을 특징으로 하는 화소 회로.

청구항 11

주사 선들로 주사 신호를 공급하고, 발광 제어 선들로 발광 신호를 공급하는 주사 구동부;
 데이터 선들로 데이터 신호를 공급하는 데이터 구동부; 및
 상기 주사 선들, 발광 제어 선들 및 데이터 선들이 교차하는 위치에 배치된 화소 회로들을 포함하며,
 상기 각각의 화소 회로는,
 유기 발광 다이오드;
 게이트 전극이 제1 주사 선에 접속되고 제1 전극이 데이터 선에 접속되고 제2 전극이 제1 노드에 접속된 제2 트랜지스터;
 게이트 전극이 제3 주사 선에 접속되고 제 1 전극이 상기 제1 노드에 접속되고 제2 전극이 제2 노드에 접속된 제5 트랜지스터;
 게이트 전극이 제2 주사 선에 접속되고 제1 전극이 제1 기준 전원에 접속되고 제2 전극이 상기 제2 노드에 접속

된 제4 트랜지스터;

게이트 전극이 상기 제1 주사 선에 접속되고 제1 전극이 제2 기준 전원에 접속되고 제2 전극이 제3 노드에 접속된 제3 트랜지스터;

상기 제1 노드와 상기 제2 노드 사이에 접속된 제1 커패시터;

상기 제2 노드와 상기 제3 노드 사이에 접속된 제2 커패시터; 및

상기 게이트 전극이 상기 제1 노드에 접속되고 제1 전극이 제1 전원에 접속되고 제2 전극이 상기 제3 노드에 접속되어 상기 유기 발광 다이오드를 구동하는 제1 트랜지스터를 포함하는 유기전계 발광 표시 장치.

청구항 12

제 11 항에 있어서,

상기 주사 구동부는,

상기 제1 주사 선으로부터 제1 주사 신호, 상기 제2 주사 선으로부터 제2 주사 신호 및 상기 제3 주사 선으로부터 제3 주사 신호를 출력하고,

상기 제1 주사 신호, 상기 제2 주사 신호 및 상기 제3 주사 신호를 순차적으로 출력하는 것을 특징으로 하는 유기전계 발광 표시 장치.

청구항 13

제 12 항에 있어서,

상기 주사 구동부는,

상기 제1 주사 신호와 상기 제2 주사 신호는 적어도 1 수평 시간(1H) 만큼 지연하여 출력하고, 상기 제2 주사 신호와 상기 제3 주사 신호는 적어도 2 수평 시간(2H) 만큼 지연하여 출력하는 것을 특징으로 하는 유기전계 발광 표시 장치.

청구항 14

제 11 항에 있어서,

상기 화소 회로는,

상기 데이터 선으로부터 데이터 신호가 인가되고, 제1 레벨의 제1 주사 신호, 제2 주사 신호와, 제2 레벨의 제3 주사 신호를 갖는 제1 구간;

상기 제2 레벨의 제1 주사 신호, 제3 주사 신호와, 상기 제1 레벨의 제2 주사 신호를 갖는 제2 구간; 및

상기 제1 레벨의 제3 주사 신호와, 상기 제2 레벨의 제1 주사 신호, 제2 주사 신호를 갖는 제3 구간을 갖도록 구동되는 것을 특징으로 하는 유기전계 발광 표시 장치.

청구항 15

제 14 항에 있어서,

상기 제1 레벨은 상기 제1 내지 제5 트랜지스터가 턴 온되는 레벨이고,

상기 제2 레벨은 상기 제1 내지 제5 트랜지스터가 턴 오프되는 레벨인 것을 특징으로 하는 유기전계 발광 표시 장치.

청구항 16

유기 발광 다이오드; 게이트 전극이 제1 주사 선에 접속되고 제1 전극이 데이터 선에 접속되고 제2 전극이 제1 노드에 접속된 제2 트랜지스터; 게이트 전극이 제3 주사 선에 접속되고 제1 전극이 상기 제1 노드에 접속되고 제2 전극이 제2 노드에 접속된 제5 트랜지스터; 게이트 전극이 제2 주사 선에 접속되고 제1 전극이 제1 기준 전원에 접속되고 제2 전극이 상기 제2 노드에 접속된 제4 트랜지스터; 게이트 전극이 상기 제1 주사 선에 접속되고 제1 전극이 제2 기준 전원에 접속되고 제2 전극이 제3 노드에 접속된 제3 트랜지스터; 상기 제1 노드와 상기

제2 노드 사이에 접속된 제1 커패시터; 상기 제2 노드와 상기 제3 노드 사이에 접속된 제2 커패시터; 및 상기 게이트 전극이 상기 제1 노드에 접속되고 제1 전극이 제1 전원에 접속되고 제2 전극이 상기 제3 노드에 접속되어 상기 유기 발광 다이오드를 구동하는 제1 트랜지스터를 포함하는 화소 회로의 구동 방법으로서,

상기 데이터 선으로부터 데이터 신호가 인가되고, 제1 레벨의 제1 주사 신호, 제2 주사 신호를 인가하여 상기 제2 트랜지스터, 상기 제3 트랜지스터, 상기 제4 트랜지스터를 턴 온시키고, 제2 레벨의 제3 주사 신호를 인가하여 상기 제5 트랜지스터를 턴 오프시킴으로써 상기 화소 회로에 데이터를 기입하고, 상기 화소 회로를 초기화하는 단계;

상기 제2 레벨의 제1 주사 신호, 제3 주사 신호를 인가하여 상기 제2 트랜지스터, 상기 제3 트랜지스터 및 상기 제5 트랜지스터를 턴 오프시키고, 상기 제1 레벨의 제2 주사 신호를 인가하여 제4 트랜지스터를 턴 온시킴으로써 상기 제1 트랜지스터의 문턱 전압을 보상하는 단계;

상기 제1 레벨의 제3 주사 신호를 인가하여 상기 제5 트랜지스터를 턴 온시키고, 제2 레벨의 제1 주사 신호, 제2 주사 신호를 인가하여 상기 제2 내지 제4 트랜지스터를 턴 오프시킴으로써 상기 유기발광 다이오드를 발광시키는 단계를 포함하는 화소 회로 구동 방법.

청구항 17

제 16 항에 있어서,

상기 제1 레벨은 상기 제1 내지 제5 트랜지스터가 턴 온되는 레벨이고,

상기 제2 레벨은 상기 제1 내지 제5 트랜지스터가 턴 오프되는 레벨인 것을 특징으로 하는 화소 회로 구동 방법.

청구항 18

제 16 항에 있어서,

상기 제1 주사 신호, 상기 제2 주사 신호 및 상기 제3 주사 신호는 순차적으로 인가되는 것을 특징으로 하는 화소 회로 구동 방법.

청구항 19

제 18 항에 있어서,

상기 제1 주사 신호와 상기 제2 주사 신호는 적어도 1 수평 시간(1H) 만큼 지연하고,

상기 제2 주사 신호와 상기 제3 주사 신호는 적어도 2 수평 시간(2H) 만큼 지연하여 인가하는 것을 특징으로 하는 화소 회로 구동 방법.

청구항 20

제 16 항에 있어서,

상기 제1 내지 제5 트랜지스터는,

NMOS 트랜지스터인 것을 특징으로 하는 화소 회로 구동 방법.

명세서

기술분야

[0001] 본 발명은 화소 회로, 유기전계발광 표시장치 및 이의 구동 방법에 관한 것이다.

배경기술

[0002] 음극선관 표시장치(CRT)의 단점을 극복한 LCD(liquid crystal display), PDP(Plasma display panel), FED(field emission display) 등 평판 표시장치가 개발되었다. 이와 같은 표시장치들 중에서도 특히 발광효율, 휘도 및 시야각이 뛰어나며 응답속도가 빠른 유기전계발광 표시장치(Organic light emitting display)가 차세대 디스플레이로 주목받고 있다.

[0003] 이러한 유기전계발광 표시장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드(Organic Light Emitting Diode : OLED)를 이용하여 화상을 표시한다. 이러한, 유기전계발광 표시장치는 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 일 실시 예는 화소 회로 및 이를 이용한 유기전계발광 표시장치에 관한 것으로, 초기화 시간을 분리하여 유기전계발광 표시장치의 대형화에 따라 발생하는 문제점을 해결하는 화소 회로 및 유기전계발광 표시장치를 제공하는 것이다.

과제의 해결 수단

[0005] 상기 기술적 과제를 달성하기 위한, 본 발명의 일 실시 예에 따른 화소 회로는 유기 발광 다이오드; 게이트 전극이 제1 주사 선에 접속되고 제1 전극이 데이터 선에 접속되고 제2 전극이 제1 노드에 접속된 제2 트랜지스터; 게이트 전극이 제3 주사 선에 접속되고 제1 전극이 상기 제1 노드에 접속되고 제2 전극이 제2 노드에 접속된 제5 트랜지스터; 게이트 전극이 제2 주사 선에 접속되고 제1 전극이 제1 기준 전원에 접속되고 제2 전극이 상기 제2 노드에 접속된 제4 트랜지스터; 게이트 전극이 상기 제1 주사 선에 접속되고 제1 전극이 제2 기준 전원에 접속되고 제2 전극이 제3 노드에 접속된 제3 트랜지스터; 상기 제1 노드와 상기 제2 노드 사이에 접속된 제1 커패시터; 상기 제2 노드와 상기 제3 노드 사이에 접속된 제2 커패시터; 및 상기 게이트 전극이 상기 제1 노드에 접속되고 제1 전극이 제1 전원에 접속되고 제2 전극이 상기 제3 노드에 접속되어 상기 유기 발광 다이오드를 구동하는 제1 트랜지스터를 포함하여 이루어진다.

[0006] 상기 화소 회로는 상기 제1 주사 선으로부터 제1 주사 신호, 상기 제2 주사 선으로부터 제2 주사 신호 및 상기 제3 주사 선으로부터 제3 주사 신호가 출력되고, 상기 제1 주사 신호, 상기 제2 주사 신호 및 상기 제3 주사 신호는 순차적으로 출력되는 것을 특징으로 한다.

[0007] 상기 제1 주사 신호와 상기 제2 주사 신호는 적어도 1 수평 시간(1H) 만큼 지연되어 출력되고, 상기 제2 주사 신호와 상기 제3 주사 신호는 적어도 2 수평 시간(2H) 만큼 지연되어 출력되는 것을 특징으로 한다.

[0008] 상기 제2 트랜지스터는 상기 제1 주사 선으로부터 제1 주사 신호에 응답하여 상기 데이터 선으로부터 데이터 신호를 상기 제1 노드에 인가하는 것을 특징으로 한다.

[0009] 상기 제4 트랜지스터는 상기 제2 주사 선으로부터 제2 주사 신호에 응답하여 상기 제1 기준 전원의 제1 전압을 상기 제2 노드에 인가하는 것을 특징으로 한다.

[0010] 상기 제5 트랜지스터는 상기 제3 주사 선으로부터 제3 주사 신호에 응답하여 상기 제1 노드와 상기 제2 노드를 단락시키는 것을 특징으로 한다.

[0011] 상기 제3 트랜지스터는 상기 제1 주사 선으로부터 제1 주사 신호에 응답하여 제2 기준 전원의 제2 전압을 상기 제3 노드에 인가하는 것을 특징으로 한다.

[0012] 상기 화소 회로는 상기 데이터 선으로부터 데이터 신호가 인가되고, 제1 레벨의 제1 주사 신호, 제2 주사 신호와, 제2 레벨의 제3 주사 신호를 갖는 제1 구간; 상기 제2 레벨의 제1 주사 신호, 제3 주사 신호와, 제1 레벨의 제2 주사 신호를 갖는 제2 구간; 및 상기 제1 레벨의 제3 주사 신호와, 상기 제2 레벨의 제1 주사 신호, 제2 주사 신호를 갖는 제3 구간을 갖도록 구동되는 것을 특징으로 한다.

[0013] 상기 제1 레벨은 상기 제1 내지 제5 트랜지스터가 턴 온되는 레벨이고, 상기 제2 레벨은 상기 제1 내지 제5 트랜지스터가 턴 오프되는 레벨인 것을 특징으로 한다.

[0014] 상기 제1 내지 제5 트랜지스터는 NMOS 트랜지스터인 것을 특징으로 한다.

[0015] 상기 다른 기술적 과제를 달성하기 위한, 본 발명의 다른 실시 예에 따른 유기전계 발광 표시 장치는 주사 선들로 주사 신호를 공급하고, 발광 제어 선들로 발광 신호를 공급하는 주사 구동부; 데이터 선들로 데이터 신호를 공급하는 데이터 구동부; 및 상기 주사 선들, 발광 제어 선들 및 데이터 선들이 교차하는 위치에 배치된 화소 회로들을 포함하며,

[0016] 상기 각각의 화소 회로는 유기 발광 다이오드; 게이트 전극이 제1 주사 선에 접속되고 제1 전극이 데이터 선에

접속되고 제2 전극이 제1 노드에 접속된 제2 트랜지스터; 게이트 전극이 제3 주사 선에 접속되고 제 1 전극이 상기 제1 노드에 접속되고 제2 전극이 제2 노드에 접속된 제5 트랜지스터; 게이트 전극이 제2 주사 선에 접속되고 제1 전극이 제1 기준 전원에 접속되고 제2 전극이 상기 제2 노드에 접속된 제4 트랜지스터; 게이트 전극이 상기 제1 주사 선에 접속되고 제1 전극이 제2 기준 전원에 접속되고 제2 전극이 제3 노드에 접속된 제3 트랜지스터; 상기 제1 노드와 상기 제2 노드 사이에 접속된 제1 커패시터; 상기 제2 노드와 상기 제3 노드 사이에 접속된 제2 커패시터; 및 상기 게이트 전극이 상기 제1 노드에 접속되고 제1 전극이 제1 전원에 접속되고 제2 전극이 상기 제3 노드에 접속되어 상기 유기 발광 다이오드를 구동하는 제1 트랜지스터를 포함하여 이루어진다.

- [0017] 상기 주사 구동부는,
- [0018] 상기 제1 주사 선으로부터 제1 주사 신호, 상기 제2 주사 선으로부터 제2 주사 신호 및 상기 제3 주사 선으로부터 제3 주사 신호를 출력하고, 상기 제1 주사 신호, 상기 제2 주사 신호 및 상기 제3 주사 신호를 순차적으로 출력하는 것을 특징으로 한다.
- [0019] 상기 주사 구동부는 상기 제1 주사 신호와 상기 제2 주사 신호는 적어도 1 수평 시간(1H) 만큼 지연하여 출력하고, 상기 제2 주사 신호와 상기 제3 주사 신호는 적어도 2 수평 시간(2H) 만큼 지연하여 출력하는 것을 특징으로 한다.
- [0020] 상기 화소 회로는 상기 데이터 선으로부터 데이터 신호가 인가되고, 제1 레벨의 제1 주사 신호, 제2 주사 신호와, 제2 레벨의 제3 주사 신호를 갖는 제1 구간; 상기 제2 레벨의 제1 주사 신호, 제3 주사 신호와, 상기 제1 레벨의 제2 주사 신호를 갖는 제2 구간; 및 상기 제1 레벨의 제3 주사 신호와, 상기 제2 레벨의 제1 주사 신호, 제2 주사 신호 를 갖는 제3 구간을 갖도록 구동되는 것을 특징으로 한다.
- [0021] 상기 제1 레벨은 상기 제1 내지 제5 트랜지스터가 턴 온되는 레벨이고, 상기 제2 레벨은 상기 제1 내지 제5 트랜지스터가 턴 오프되는 레벨인 것을 특징으로 한다.
- [0022] 상기 또 다른 기술적 과제를 달성하기 위한, 본 발명의 또 다른 기술적 과제를 달성하기 위한 유기 발광 다이오드; 게이트 전극이 제1 주사 선에 접속되고 제1 전극이 데이터 선에 접속되고 제2 전극이 제1 노드에 접속된 제2 트랜지스터; 게이트 전극이 제3 주사 선에 접속되고 제 1 전극이 상기 제1 노드에 접속되고 제2 전극이 제2 노드에 접속된 제5 트랜지스터; 게이트 전극이 제2 주사 선에 접속되고 제1 전극이 제1 기준 전원에 접속되고 제2 전극이 상기 제2 노드에 접속된 제4 트랜지스터; 게이트 전극이 상기 제1 주사 선에 접속되고 제1 전극이 제2 기준 전원에 접속되고 제2 전극이 제3 노드에 접속된 제3 트랜지스터; 상기 제1 노드와 상기 제2 노드 사이에 접속된 제1 커패시터; 상기 제2 노드와 상기 제3 노드 사이에 접속된 제2 커패시터; 및 상기 게이트 전극이 상기 제1 노드에 접속되고 제1 전극이 제1 전원에 접속되고 제2 전극이 상기 제3 노드에 접속되어 상기 유기 발광 다이오드를 구동하는 제1 트랜지스터를 포함하는 화소 회로의 구동 방법은 상기 데이터 선으로부터 데이터 신호가 인가되고, 제1 레벨의 제1 주사 신호, 제2 주사 신호를 인가하여 상기 제2 트랜지스터, 상기 제3 트랜지스터, 상기 제4 트랜지스터를 턴 온시키고, 제2 레벨의 제3 주사 신호를 인가하여 상기 제5 트랜지스터를 턴 오프시킴으로써 상기 화소 회로에 데이터를 기입하고, 상기 화소 회로를 초기화하는 단계; 상기 제2 레벨의 제1 주사 신호, 제3 주사 신호를 인가하여 상기 제2 트랜지스터, 상기 제3 트랜지스터 및 상기 제5 트랜지스터를 턴 오프시키고, 상기 제1 레벨의 제2 주사 신호를 인가하여 제4 트랜지스터를 턴 온시킴으로써 상기 제1 트랜지스터의 문턱 전압을 보상하는 단계; 상기 제1 레벨의 제3 주사 신호를 인가하여 상기 제5 트랜지스터를 턴 온시키고, 제2 레벨의 제1 주사 신호, 제2 주사 신호를 인가하여 상기 제2 내지 제4 트랜지스터를 턴 오프시킴으로써 상기 유기발광 다이오드를 발광시키는 단계를 포함하여 이루어진다.
- [0023] 상기 제1 레벨은 상기 제1 내지 제5 트랜지스터가 턴 온되는 레벨이고, 상기 제2 레벨은 상기 제1 내지 제5 트랜지스터가 턴 오프되는 레벨인 것을 특징으로 한다.
- [0024] 상기 제1 주사 신호, 상기 제2 주사 신호 및 상기 제3 주사 신호는 순차적으로 인가되는 것을 특징으로 한다.
- [0025] 상기 제1 주사 신호와 상기 제2 주사 신호는 적어도 1 수평 시간(1H) 만큼 지연하고, 상기 제2 주사 신호와 상기 제3 주사 신호는 적어도 2 수평 시간(2H) 만큼 지연하여 인가하는 것을 특징으로 한다.
- [0026] 상기 제1 내지 제5 트랜지스터는 NMOS 트랜지스터인 것을 특징으로 한다.

발명의 효과

[0027] 본 발명의 일 실시 예에 따르면 초기화 구간과 문턱 전압 보상 구간을 분리함으로써 유기전계발광 표시장치의 고해상도화 및 대면적화에 따른 문제를 해결하고, 구동 트랜지스터의 문턱 전압이 보상되어 균일한 휘도의 영상을 표시할 수 있다.

[0028] 또한, 주사 신호만으로 화소 회로를 구동함으로써 대면적 구동에 유리하고, 문턱 전압 보상 시간을 주사 신호의 길이를 조절함으로써 증가시킬 수 있어 고속 구동시의 문턱 전압 보상 효과를 극대화할 수 있다.

도면의 간단한 설명

- [0029] 도 1은 유기 발광 다이오드의 개념도이다.
- 도 2는 전압 구동 방식의 한 측면을 나타낸 화소 회로의 회로도이다.
- 도 3은 본 발명의 일 실시 예에 따른 유기전계발광 표시장치의 일례를 나타낸 평면 개념도이다.
- 도 4는 도 3에 도시된 화소 회로의 일 실시 예를 나타낸 회로도이다.
- 도 5는 도 4에 도시된 화소 회로의 타이밍 도이다.
- 도 6은 도 3에 도시된 화소 회로의 다른 실시 예를 나타내는 회로도이다.
- 도 7은 도 6에 도시된 화소 회로의 타이밍 도이다.
- 도 8은 도 3에 도시된 화소 회로의 또 다른 실시 예를 나타내는 회로도이다.
- 도 9는 도 8에 도시된 화소 회로의 타이밍 도이다.

발명을 실시하기 위한 구체적인 내용

[0030] 이하, 본 발명의 실시 예를 첨부도면을 참조하여 상세히 설명하기로 하며, 첨부 도면을 참조하여 설명함에 있어, 동일하거나 대응하는 구성 요소는 동일한 도면번호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.

[0031] 일반적으로 유기전계발광 표시장치는 형광성 유기화합물을 전기적으로 여기시켜 발광시키는 표시 장치로서, 행렬 형태로 배열된 복수개의 유기 발광셀들을 전압 구동 혹은 전류 구동하여 영상을 표현할 수 있도록 되어 있다. 이러한 유기 발광셀들은 다이오드 특성을 가져서 유기 발광 다이오드(OLED)로 불린다.

[0032] 도 1은 유기 발광 다이오드의 개념도이다.

[0033] 도면을 참조하면, 유기 발광 다이오드는 애노드(ITO), 유기 박막, 캐소드 전극층(금속)의 구조를 가진다. 유기 박막은 전자와 정공의 균형을 좋게 하여 발광 효율을 향상시키기 위해 발광층(emitting layer, EML), 전자 수송층(electron transport layer, ETL) 및 정공 수송층(hole transport layer, HTL)을 포함한다. 이외에도 유기 박막은 정공 주입층(Hole Injecting Layer, HIL) 또는 전자 주입층(Electron Injecting Layer, EIL)을 더 포함할 수 있다.

[0034] 이와 같이 이루어지는 유기 발광셀을 구동하는 방식에는 단순 매트릭스(passive matrix)방식과 박막 트랜지스터(thin film transistor, TFT) 또는 MOSFET를 이용한 능동 구동(active matrix) 방식이 있다. 단순 매트릭스 방식은 양극과 음극을 직교하도록 형성하고 라인을 선택하여 구동하는데 비해, 능동 구동 방식은 박막 트랜지스터를 각 ITO(indium tin oxide) 화소 전극에 연결하고 박막 트랜지스터의 게이트에 연결된 커패시터 용량에 의해 유지된 전압에 따라 구동하는 방식이다. 이러한 능동 구동 방식 중에는 커패시터에 전압을 기입하여 유지시키기 위해 인가되는 신호가 전압의 형태인 전압 구동 방식이 있다.

[0035] 도 2는 전압 구동 방식의 한 측면을 나타낸 화소 회로의 회로도이다.

[0036] 도 2를 참조하면, 주사 선(Sn)의 주사 신호에 의해 스위칭 트랜지스터(M2)가 턴 온되고, 상기 턴 온에 의해 데이터 선(Dm)으로부터의 데이터 전압이 구동 트랜지스터(M1)의 게이트 전극에 전달되며, 데이터 전압과 전압원(VDD)의 전위차가 구동 트랜지스터(M1)의 게이트와 소스 사이에 연결된 커패시터(C1)에 저장된다. 상기 전위차에 의해 구동전류(IOLED)가 유기 발광 다이오드(OLED)에 흘러, 유기 발광 다이오드(OLED)가 발광하게 된다. 이때 인가되는 데이터 전압의 전압 레벨에 따라 소정의 명암 계조 표시가 가능하게 된다.

- [0037] 그러나 이와 같이 복수 개의 화소 회로들의 구동 트랜지스터(M1)들은 문턱 전압이 서로 다르게 형성될 수 있다. 구동 트랜지스터(M1)의 문턱 전압이 다르면, 각 화소 회로들의 구동 트랜지스터(M1)들로부터 출력되는 전류량이 달라져 균일한 화상을 구현할 수 없는 문제가 있다. 이와 같은 구동 트랜지스터(M1)의 문턱 전압 편차는 유기전계발광 표시장치가 대면적화될수록 더욱 심하게 질 수 있으며, 이는 유기전계발광 표시장치의 화질 저하를 야기할 수 있다. 따라서 유기전계발광 표시장치의 화소 회로는 균일한 화질을 갖기 위해서는 화소 회로 내 구동 트랜지스터의 문턱 전압을 보상해 주어야 한다.
- [0038] 이와 같이 화소 회로 내 트랜지스터의 문턱 전압을 보상하기 위한 다양한 응용 회로가 있는데, 대부분 일정한 기간 동안 초기화와 트랜지스터 문턱 전압의 보상을 동시에 하게 된다. 이런 경우 초기화를 하는 동안 원치 않는 발광이 발생하여 명암비(C/R, Contrast ratio)가 나빠질 수 있다. 또한, 유기전계발광 표시장치가 고해상도화와 대면적화될수록 초기화 시간에 대한 로드가 커지기 때문에 초기화와 구동 트랜지스터 문턱 전압 보상을 동시에 실시하는 경우 실질적으로 초기화에 필요한 시간이 상대적으로 짧아질 수 있다. 이를 해결하기 위하여 초기화 시간을 분리하여 구동하는 화소 회로가 요구된다.
- [0039] 이하, 본 발명의 실시 예를 첨부도면을 참조하여 상세히 설명하기로 하며, 첨부 도면을 참조하여 설명함에 있어, 동일하거나 대응하는 구성 요소는 동일한 도면번호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0040] 도 3은 본 발명에 일 실시 예에 따른 유기전계발광 표시장치(300)의 일례를 나타낸 평면 개념도이다.
- [0041] 도 3을 참조하여 설명하면, 본 발명에 따른 유기전계발광 표시장치(300)는 화소부(310), 주사 구동부(302), 데이터 구동부(304) 및 전원 구동부(306)를 포함한다.
- [0042] 화소부는 유기 발광 다이오드(미도시)를 각각 구비하는 $n \times m$ 개의 화소 회로(P)와, 행방향으로 형성되어 주사 신호를 전달하는 n 개의 주사 선(S1, S2, ..., Sn), 열 방향으로 형성되어 데이터 신호를 전달하는 m 개의 데이터 선(D1, D2, ..., Dm) 및 전원을 전달하는 m 개의 제1 전원선(미도시)과 제2 전원선(미도시)을 포함한다.
- [0043] 화소부(310)는 주사 신호, 데이터 신호 및 제1 전원(ELVDD)과 제2 전원(ELVSS)에 의해 유기 발광 다이오드(미도시)를 발광시켜 화상을 표시한다.
- [0044] 주사 구동부(302)는 주사 선(S1, S2, ..., Sn)과 접속되어 화소부(310)에 주사 신호를 인가한다.
- [0045] 데이터 구동부(304)는 데이터 선(D1, D2, ..., Dm)과 접속되어 화소부(310)에 데이터 신호를 인가한다. 이때, 데이터 구동부(306)는 프로그래밍(programming) 기간 동안 복수의 화소 회로(P)에 데이터 전압을 공급한다.
- [0046] 전원 공급부(306)는 각 화소 회로에 제1 전원(ELVDD) 및 제2 전원(ELVSS)을 인가한다. 여기서, 제2 전원(ELVSS)은 접지(ground)될 수 있다.
- [0047] 도 4는 도 3에 도시된 화소 회로의 일 실시 예를 나타낸 회로도이다. 도 4에서는 설명의 편의상 제N 주사 선(S1[n]), 제N+1 주사 선(S1[n+1]), 또 다른 제N 주사 선(S2[n]), 제M 데이터 선(Data[m])과 접속된 화소 회로를 도시한다.
- [0048] 도 4를 참조하면, 유기 발광 다이오드(OLED)의 애노드 전극은 제3 노드(N3)에 접속되고, 캐소드 전극은 제2 전원(ELVSS) 사이에 접속된다. 이와 같이, 유기 발광 다이오드(OLED)는 제1 트랜지스터(T1), 즉 구동 트랜지스터를 통해 공급되는 전류량에 대응하여 소정 휘도의 빛을 생성한다.
- [0049] 제2 트랜지스터(T2)는 게이트 전극이 제1 주사 선(S1[n])에 접속되고 드레인 전극이 데이터 선(Data[m])에 접속되고, 소스 전극이 제2 노드(N2)에 접속된다. 제2 트랜지스터(T2)는 제1 주사 선으로부터 제1 주사 신호, 즉 하이 레벨의 전압 신호가 인가될 때 턴 온되어 데이터 선으로부터 데이터 신호, 즉 소정의 전압 신호를 제2 노드(N2)에 전달한다.
- [0050] 제3 트랜지스터(T3)는 게이트 전극이 제1 주사 선(S1[n])에 접속되고 드레인 전극이 제1 기준 전원(Vref)에 접속되고, 소스 전극이 제1 노드(N1)에 접속된다. 제3 트랜지스터(T3)는 제1 주사 선으로부터 제1 주사 신호, 즉 하이 레벨의 전압 신호가 인가될 때 턴 온되어 제1 기준 전원의 전압(Vref)을 제1 노드(N1)에 인가한다.
- [0051] 제5 트랜지스터(T5)는 게이트 전극이 또 다른 제1 주사 선(S2[n])에 접속되고, 드레인 전극이 제2 기준 전원(Vinit)에 접속되고, 소스 전극이 제3 노드(N3)에 접속된다. 제5 트랜지스터(T5)는 또 다른 제1 주사 선

(S2[n])으로부터 제1 주사 신호, 즉 하이 레벨의 전압 신호가 인가될 때 턴 온되어 제2 기준 전원의 전압 (Vinit)을 제3 노드(N3)에 인가한다.

[0052] 제4 트랜지스터(T4)는 게이트 전극이 제2 주사 선(S1[n+1])에 접속되고, 드레인 전극이 제1 노드(N1)에 접속되고, 소스 전극이 제2 노드(N2)에 접속된다. 제4 트랜지스터(T4)는 제2 주사 선(S1[n+1])으로부터 제2 주사 신호, 즉 하이 레벨의 전압 신호가 인가될 때 턴 온되어 제1 노드와 제2 노드를 단락시킨다.

[0053] 제1 커패시터(C1)는 제1 노드(N1)와 제2 노드(N2) 사이에 접속되고, 제2 커패시터(C2)는 제2 노드(N2)와 제3 노드(N3) 사이에 접속된다.

[0054] 제1 트랜지스터(T1)는 게이트 전극이 제1 노드(N1)에 접속되고, 드레인 전극이 제1 전원(ELVDD)에 접속되고, 소스 전극이 제3 노드(N3)와 유기 발광 다이오드의 애노드 전극과 공통 접속되어 유기 발광 다이오드(OLED)에 구동 전류(I_{OLED})를 공급한다. 여기서, 구동 전류(I_{OLED})는 구동 트랜지스터인 제1 트랜지스터(T1)의 게이트 전극과 소스 전극의 전압차(V_{gs})에 따라 결정된다. 제1 트랜지스터(T1)는 게이트 전극과 소스 전극 사이의 전압(V_{gs})이 임계 전압(V_{th}) 이상인 경우에 유기 발광 다이오드(OLED)로 구동 전류를 공급한다.

[0055] 본 발명의 일 실시 예에서 제1 내지 제5 트랜지스터들(T1 내지 T5)은 모두 NMOS 트랜지스터로 구현된다. NMOS 트랜지스터는 N타입 금속 산화물 반도체(Metal Oxide Semiconductor)를 의미하며, 제어 신호의 레벨 상태가 로우 레벨이면 턴 오프되고 하이 레벨이면 턴 온된다. NMOS 트랜지스터는 PMOS 트랜지스터에 비하여 동작 속도가 빠른 장점이 있어 대면적 화면의 디스플레이를 제조하는데 유리하다.

[0056] 도 4에서 설명한 화소 회로의 구동과정을 도 5의 타이밍 도를 참조하여 상세히 설명한다.

[0057] 도 5를 참조하면, 제1 구간은 초기화 구간으로 제1 주사 신호(S1[n])와 또 다른 제1 주사 신호(S2[n])가 하이 레벨(high level)이 되어 제1 노드(N1)가 제1 기준 전압(V_{ref})으로, 제2 노드가 데이터 신호(V_{data})로, 제3 노드(N3)가 제2 기준 전압(V_{init})으로 초기화된다. 제2 구간은 데이터 기입 및 구동 트랜지스터인 제1 트랜지스터(T1)의 문턱 전압(V_{th}) 보상 구간으로, 제1 주사 신호(S1[n])가 하이 레벨을 유지하며 또 다른 제1 주사 신호(S2[n])가 로우 레벨(low level)로 천이되어, 데이터 신호(V_{data})가 제1 커패시터(C1)에 기입되며, 구동 트랜지스터(T1)의 문턱 전압(V_{th})이 제3 노드(N3)에 전달된다. 제3 구간은 발광 구간으로 제2 주사 신호(S1[n+1])가 하이 레벨이 되고, 제1 주사 신호(S1[n])가 로우 레벨로 천이되어, 구동 트랜지스터(T1)의 게이트-소스 간 전압차(V_{gs})에 상응하는 전류, 즉 구동 전류(I_{OLED})가 유기발광 다이오드(OLED)로 공급되어 발광한다.

[0058] 도 4 및 5를 함께 참조하여 각각의 구간에서의 트랜지스터의 스위칭 동작과 구동 동작을 상세히 설명한다.

[0059] 제1 구간에서, 데이터 신호가 인가되면서, 제1 주사 신호(S1[n]) 및 또 다른 제1 주사 신호(S2[n])가 하이 레벨로 인가되면, 제2 트랜지스터(T2)와 제3 트랜지스터(T3), 및 제5 트랜지스터(T5)가 턴 온되어, 제2 노드(N2)를 데이터 신호(V_{data})로, 제1 노드(N1)를 제1 기준 전압(V_{ref})으로, 제3 노드(N3)를 제2 기준 전압(V_{init})으로 초기화시킨다.

[0060] 제2 구간에서, 데이터 신호가 인가되면서, 제1 주사 신호(S1[n])가 하이 레벨을 유지하고, 또 다른 제1 주사 신호(S2[n])가 로우 레벨로 천이되면, 제5 트랜지스터(T5)가 턴 오프되어 제3 노드(N3)에 제1 트랜지스터(T1)의 문턱 전압(V_{th})이 전달된다. 여기서, 구동 트랜지스터(T1)의 게이트 전극과 소스 전극 사이의 전압차(V_{gs})는 V_{data}-V_{ref}+V_{th}이다. 여기서, 제1 기준 전압(V_{ref})은 유기발광 다이오드(OLED)로 전류가 흐르지 않게 하는 낮은 전압이고, 제2 기준 전압(V_{init})은 V_{ref}-V_{th}보다 충분히 낮은 전압이다. 따라서, 전술한 전압원들의 전압 범위는 ELVDD>V_{data}>V_{ref}>V_{init} 이다.

[0061] 제3 구간에서, 제2 주사 신호(S[n+1])가 하이 레벨로 인가되면, 제4 트랜지스터(T3)가 턴 온되고, 제1 노드(N1)와 제2 노드(N2)를 단락시켜, 구동 트랜지스터인 제1 트랜지스터(T1)의 문턱 전압(V_{th})보다 큰 전압을 인가시켜 턴 온시킨다. 유기 발광 다이오드(OLED)로 흐르는 전류(I_{OLED})는 다음 수학적식에 따라 결정된다.

수학식 1

[0062]
$$I_{OLED} = K (V_{gs} - V_{th})^2$$

[0063] 여기서, K는 구동 트랜지스터의 이동도와 기생용량에 의해 결정되는 상수값이고, Vgs는 구동 트랜지스터의 게이트와 소스 전극 사이의 전압 차, Vth는 구동 트랜지스터의 문턱 전압이다. 여기서, Vgs는 제1 노드(N1)와 제3 노드(N3)간의 전압 차, 즉 제1 트랜지스터의 게이트 전극과 소스 전극 간의 전압차이다.

[0064] 상기 수학식 1에 전술한 Vgs값을 대입하면 수학식 2 및 3과 같다.

수학식 2

[0065]
$$I_{OLED} = K (V_{data} - V_{ref} + V_{th} - V_{th})^2$$

수학식 3

[0066]
$$I_{OLED} = K (V_{data} - V_{ref})^2$$

[0067] 상기 수학식 2 및 3을 통해 유기 발광 다이오드(OLED)에 흐르는 전류(Ioled)는 기준 전압(Vref)과 데이터 전압(Vdata)에 의해 결정되는 것을 알 수 있다. 즉, 구동 트랜지스터인 제1 트랜지스터(T1)의 문턱 전압(Vth)에 무관하게 전류가 흐르는 것을 알 수 있다.

[0068] 도 6은 도 3에 도시된 화소 회로의 다른 실시 예를 나타낸 회로도이다.

[0069] 도 6에서는 설명의 편의상 제N 주사 선으로부터 순차적으로 지연되어 출력되는 주사 선을 각각 제1 주사 선(S[n]), 제2 주사 선(S[n+1]), 제3 주사 선(S[n+3])으로 도시하고, 제M 데이터 선(Data[m])과 접속된 화소 회로를 도시한다.

[0070] 도 6을 참조하면, 유기 발광 다이오드(OLED)의 애노드 전극은 제3 노드(N3)와 제5 트랜지스터(T5)의 소스 전극과 공통 접속되고, 캐소드 전극은 제2 전원(ELVSS)에 접속된다. 이와 같이, 유기 발광 다이오드(OLED)는 제1 트랜지스터(T1), 즉 구동 트랜지스터를 통해 공급되는 전류량에 대응하여 소정 휘도의 빛을 생성한다.

[0071] 제2 트랜지스터(T2)는 게이트 전극이 제1 주사 선(S[n])에 접속되고 드레인 전극이 데이터 선(D[m])에 접속되고, 소스 전극이 제1 노드(N1)에 접속된다. 제2 트랜지스터(T2)는 제1 주사 선으로부터 제1 주사 신호, 즉 하이 레벨의 신호가 인가되면 턴 온되어 제1 노드(N1)에 데이터 신호를 전달한다.

[0072] 제4 트랜지스터(T4)는 게이트 전극이 제2 주사 선(S[n+1])에 접속되고, 소스 전극이 제2 노드(N2)에 접속되고, 드레인 전극이 제1 기준 전원(Vref)에 접속된다. 제4 트랜지스터(T4)는 제2 주사 선으로부터 제2 주사 신호, 즉 하이 레벨의 신호가 인가되면 턴 온되어, 제2 노드(N2)에 제1 기준 전원의 전압(Vref)을 인가한다.

[0073] 제3 트랜지스터(T3)는 게이트 전극이 제1 주사 선(S[n])에 접속되고, 드레인 전극이 제2 기준 전원(Vinit)에 접속되고, 소스 전극이 제3 노드(N3)에 접속된다. 제3 트랜지스터(T3)는 제1 주사 선으로부터 제1 주사 신호, 즉 하이 레벨의 신호가 인가되면 턴 온되어, 제3 노드(N2)에 제2 기준 전원의 전압(Vinit)을 인가한다.

[0074] 제5 트랜지스터(T5)는 게이트 전극이 제3 주사 선(S[n+3])에 접속되고, 드레인 전극이 제1 노드(N1)에 접속되고 소스 전극이 제2 노드(N2)에 접속된다. 제5 트랜지스터(T5)는 제3 주사 선으로부터 제3 주사 신호, 즉 하이 레벨의 신호가 인가되면 턴 온되어 제1 노드(N1)와 제2 노드(N2)를 단락시킨다.

[0075] 제1 노드(N1)와 제2 노드(N2) 사이에 접속된 제1 커패시터(C1), 제2 노드(N2)와 제3 노드(N3) 사이에

접속된 제2 커패시터(C2)는 각각 제1 노드(N1)와 제2 노드(N2) 사이의 전압값, 및 제2 노드(N2)와 제3 노드(N3) 사이의 전압값을 유지한다.

[0076] 제1 트랜지스터(T1)는 게이트 전극이 제1 노드(N1)에 접속되고 드레인 전극이 제1 전원(ELVDD)에 접속되고 소스 전극이 제3 노드(N3)에 접속되어, 게이트 전극과 소스 전극 간의 전압(V_{gs})이 문턱 전압을 넘는 경우, 유기 발광 다이오드를 구동하기 위한 구동 전류(I_{oled})를 전달한다.

[0077] 본 발명의 일 실시 예에서 제1 내지 제5 트랜지스터들(T1 내지 T5)은 모두 NMOS 트랜지스터로 구현된다. NMOS 트랜지스터는 N타입 금속 산화물 반도체(Metal Oxide Semiconductor)를 의미하며, 제어 신호의 레벨 상태가 로우 레벨이면 턴 오프되고 하이 레벨이면 턴 온된다. NMOS 트랜지스터는 PMOS 트랜지스터에 비하여 동작 속도가 빠른 장점이 있어 대면적 화면의 디스플레이를 제조하는데 유리하다.

[0078] 도 6에서 설명한 화소 회로의 구동과정을 도 7의 타이밍 도를 참조하여 상세히 설명한다.

[0079] 도 7을 참조하면, 제1 주사 신호($S[n]$), 제2 주사 신호($S[n+1]$) 및 제3 주사 신호($S[n+3]$)는 도 3에 도시된 주사 구동부(302)에서 출력되는 주사 선들(S_1, \dots, S_n) 중 하나의 주사 선에서 지연 출력되는 주사 신호들이다. 여기서, 제2 주사 신호($S[n+1]$)는 제1 주사 신호($S[n]$)에 대하여 1 수평 시간(1H) 만큼 지연되어 출력되고, 제3 주사 신호($S[n+3]$)는 제2 주사 신호($S[n+1]$)에 대하여 2 수평 시간(2H) 만큼 지연되어 출력된다.

[0080] 도 7에 도시된 것처럼, 1 수평 기간에 인가되는 데이터 신호(V_{data})에 따라, 2 수평 기간의 길이를 갖는 제1 내지 제3 주사 신호를 인가하는데, 제1 주사 신호($S[n]$)와 1 수평기간만큼 지연 출력되는 제2 주사 신호($S[n+1]$)가 하이 레벨로 오버랩되는 구간, 즉 제1 구간에서 데이터 기입과 초기화를 수행한다. 그리고 제1 주사 신호($S[n]$)가 로우 레벨로 천이되고, 1 수평 기간만큼 지연 출력되는 제2 주사 신호($S[n+1]$)가 하이 레벨을 유지하는 구간, 즉 문턱 전압 보상 구간을 1H만큼 수행한다. 따라서, 주사 신호의 하이 레벨 유지 구간을 2H 이상으로 늘림으로써 문턱 전압 보상 구간을 1H 이상으로 늘릴 수 있다. 따라서, 화소 회로를 고속으로 구동하는 경우에 문턱 전압 보상 효과를 최대화할 수 있다.

[0081] 다시 도 7을 참조하면, 제1 구간은 데이터 기입 및 초기화 구간으로, 데이터 선($Data[m]$)으로부터 유효 데이터 신호가 인가되고, 제1 주사 신호($S[n]$), 제2 주사 신호($S[n+1]$)가 하이 레벨(high level)로 인가되면, 제2 트랜지스터(T2), 제3 트랜지스터(T3) 및 제4 트랜지스터(T4)가 턴 온된다. 제1 주사 신호($S[n]$)가 하이 레벨로 인가되면, 제2 트랜지스터(T2)가 턴 온되어, 데이터 신호(V_{data})가 제1 노드(N1)에 전달되고, 제3 트랜지스터(T3)가 턴 온되어, 제2 기준 전압의 전압(V_{init})이 제3 노드(N3)에 인가된다. 그리고 제2 주사 신호($S[n+1]$)가 하이 레벨로 인가됨에 따라 제1 기준 전원의 전압(V_{ref})이 제2 노드(N2)에 인가된다. 따라서, 제1 노드(N1)는 데이터 신호(V_{data})로, 제2 노드(N2)는 제1 기준 전원의 전압(V_{ref})으로, 제3 노드(N3)는 제2 기준 전원의 전압(V_{init})으로 초기화된다.

[0082] 제2 구간은 문턱 전압(V_{th}) 보상 구간으로, 제2 주사 신호($S[n+1]$)가 하이 레벨을 유지하고, 제1 주사 신호($S[n]$)가 로우 레벨로 천이된다. 제4 트랜지스터(T4)는 턴 온 상태를 유지하고, 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)는 턴 오프된다. 제1 노드(N1), 제2 노드(N2)의 전압은 변하지 않고, 기존 인가된 전압, V_{data} , V_{ref} 을 유지하고, 제5 트랜지스터(T5)의 턴 오프에 따라 제3 노드(N3)의 전압이 V_{init} 에서 $V_{data}-V_{th}$ 전압까지 상승한다.

[0083] 제3 구간은 발광 구간으로, 제3 주사 신호($S[n+3]$)가 하이 레벨로 천이되고, 제1 및 제2 주사 신호가 로우 레벨로 인가되면, 제2 내지 제4 트랜지스터(T2 내지 T4)가 모두 턴 오프되고, 제5 트랜지스터(T5)가 턴 온된다. 이 구간에서, 제4 트랜지스터(T4)가 턴 온되어 제1 노드(N1)와 제2 노드(N2)를 단락시키고, 제1 트랜지스터(T1)의 게이트 전극과 소스 전극 사이의 전압차, 즉 V_{gs} 를 $V_{ref}-V_{data}+V_{th}$ 로 만들어 제2 커패시터(C2)에 저장한다. 그리고 구동 트랜지스터(T1)의 V_{gs} 가 문턱 전압을 넘게 되어, 유기 발광 다이오드(OLED)로 구동 전류(I_{oled})가 흐르게 된다.

[0084] 여기서, 구동 전류(I_{oled})는 상기 수학식 1에 전술한 V_{gs} 값을 이용하여 계산하면 다음 수학식 4와 같다.

수학식 4

$$I_{OLED} = K (V_{ref} - V_{data})^2$$

[0085]

[0086]

상기 수학식 4를 통해 유기 발광 다이오드(OLED)에 흐르는 전류(Ioled)는 기준 전압(Vref)과 데이터 전압(Vdata)에 의해 결정되는 것을 알 수 있다. 즉, 구동 트랜지스터인 제1 트랜지스터(T1)의 문턱 전압(Vth)에 무관하게 전류가 흐르는 것을 알 수 있다.

[0087]

또한, 도 6 및 7을 참조하여 설명한 화소 회로는 도 4 및 5를 참조하여 설명한 화소 회로와 달리, 제1 주사 신호, 즉 S[n]이 하이 레벨로 인가되는 구간 내에서, 초기화와 문턱 전압 보상을 함께 수행함으로써 대면적 고해상도 패널 구동시에 주사 시간이 짧아지게 되어 문턱 전압 보상 시간이 부족해지는 단점을 해결할 수 있다. 이러한 단점은 문턱 전압 보상 성능의 감소로 이어지고 이는 불균일한 휘도를 만든다. 또한, 하나의 화소 회로를 구동하는 데 하나의 주사 신호 선, 예를 들면 S1[n] 신호선만을 사용함으로써 게이트 드라이버의 구성이 간단해지고, 발광 드라이버를 사용하지 않고, 패널 양쪽에서 주사 신호를 공급해 줄 수 있어 대면적 패널 구현 시 RC 지연 측면에서 유용하다.

[0088]

도 8은 도 3에 도시된 화소 회로의 다른 실시 예를 나타낸 회로도이다.

[0089]

도 8에서는 설명의 편의상 제N 주사 선으로부터 순차적으로 지연되어 출력되는 주사 선을 각각 제1 주사 선(S[n]), 제2 주사 선(S[n+2]), 제3 주사 선(S[n+5])으로 도시하고, 제M 데이터 선(Data[m])과 접속된 화소 회로를 도시한다. 도 6에 도시된 화소 회로와의 차이점은 제2 주사 선으로부터의 제2 주사 신호를 S[n+1] 대신 S[n+2]를 사용하고, 제3 주사 선으로부터의 제3 주사 신호를 S[n+3] 대신 S[n+5]를 사용하는 것이다. 여기서, 제2 주사 신호(S[n+2])는 제1 주사 신호(S[n])에 대하여 2 수평 시간(2H) 만큼 지연되어 출력되고, 제3 주사 신호(S[n+3])는 제2 주사 신호(S[n+1])에 대하여 3 수평 시간(3H) 만큼 지연되어 출력되는 신호이다.

[0090]

도 8을 참조하면, 유기 발광 다이오드(OLED)의 애노드 전극은 제3 노드(N3)와 제5 트랜지스터(T5)의 소스 전극과 공통 접속되고, 캐소드 전극은 제2 전원(ELVSS)에 접속된다. 이와 같이, 유기 발광 다이오드(OLED)는 제1 트랜지스터(T1), 즉 구동 트랜지스터를 통해 공급되는 전류량에 대응하여 소정 휘도의 빛을 생성한다.

[0091]

제2 트랜지스터(T2)는 게이트 전극이 제1 주사 선(S[n])에 접속되고 드레인 전극이 데이터 선(D[m])에 접속되고, 소스 전극이 제1 노드(N1)에 접속된다. 제2 트랜지스터(T2)는 제1 주사 선으로부터 제1 주사 신호, 즉 하이 레벨의 신호가 인가되면 턴 온되어 제1 노드(N1)에 데이터 신호를 전달한다.

[0092]

제4 트랜지스터(T4)는 게이트 전극이 제2 주사 선(S[n+2])에 접속되고, 소스 전극이 제2 노드(N2)에 접속되고, 드레인 전극이 제1 기준 전원(Vref)에 접속된다. 제4 트랜지스터(T4)는 제2 주사 선으로부터 제2 주사 신호, 즉 하이 레벨의 신호가 인가되면 턴 온되어, 제2 노드(N2)에 제1 기준 전원의 전압(Vref)을 인가한다.

[0093]

제3 트랜지스터(T3)는 게이트 전극이 제1 주사 선(S[n])에 접속되고, 드레인 전극이 제2 기준 전원(Vinit)에 접속되고, 소스 전극이 제3 노드(N3)에 접속된다. 제3 트랜지스터(T3)는 제1 주사 선으로부터 제1 주사 신호, 즉 하이 레벨의 신호가 인가되면 턴 온되어, 제3 노드(N2)에 제2 기준 전원의 전압(Vinit)을 인가한다.

[0094]

제5 트랜지스터(T5)는 게이트 전극이 제3 주사 선(S[n+5])에 접속되고, 드레인 전극이 제1 노드(N1)에 접속되고 소스 전극이 제2 노드(N2)에 접속된다. 제5 트랜지스터(T5)는 제3 주사 선으로부터 제3 주사 신호, 즉 하이 레벨의 신호가 인가되면 턴 온되어 제1 노드(N1)와 제2 노드(N2)를 단락시킨다.

[0095]

제1 노드(N1)와 제2 노드(N2) 사이에 접속된 제1 커패시터(C1), 제2 노드(N2)와 제3 노드(N3) 사이에 접속된 제2 커패시터(C2)는 각각 제1 노드(N1)와 제2 노드(N2) 사이의 전압값, 및 제2 노드(N2)와 제3 노드(N3) 사이의 전압값을 유지한다.

[0096]

제1 트랜지스터(T1)는 게이트 전극이 제1 노드(N1)에 접속되고 드레인 전극이 제1 전원(ELVDD)에 접속되고 소스 전극이 제3 노드(N3)에 접속되어, 게이트 전극과 소스 전극 간의 전압(Vgs)이 문턱 전압을 넘는 경우, 유기 발광 다이오드를 구동하기 위한 구동 전류(Ioled)를 전달한다.

[0097]

본 발명의 일 실시 예에서 제1 내지 제5 트랜지스터들(T1 내지 T5)은 모두 NMOS 트랜지스터로

구현된다. NMOS 트랜지스터는 N타입 금속 산화물 반도체(Metal Oxide Semiconductor)를 의미하며, 제어 신호의 레벨 상태가 로우 레벨이면 턴 오프되고 하이 레벨이면 턴 온된다. NMOS 트랜지스터는 PMOS 트랜지스터에 비하여 동작 속도가 빠른 장점이 있어 대면적 화면의 디스플레이를 제조하는데 유리하다.

[0098] 도 8에서 설명한 화소 회로의 구동과정을 도 9의 타이밍 도이다. 도 9를 참조하여 도 7의 타이밍 도와의 차이점을 중심으로 설명한다.

[0099] 도 9를 참조하면, 제1 주사 신호(S[n]), 제2 주사 신호(S[n+2]) 및 제3 주사 신호(S[n+5])는 도 3에 도시된 주사 구동부(302)에서 출력되는 주사 선들(S1, ..., Sn) 중 하나의 주사 선에서 지연 출력되는 주사 신호들이다.

[0100] 도 9에 도시된 것처럼, 1 수평 기간에 인가되는 데이터 신호(Vdata)에 따라, 3 수평 기간의 길이를 갖는 제1 내지 제3 주사 신호를 인가하는데, 제1 주사 신호(S[n])에 대해 2 수평기간만큼 지연 출력되는 제2 주사 신호(S[n+2])가 하이 레벨로 오버랩되는 구간, 즉 제1 구간에서 데이터 기입과 초기화를 수행한다. 그리고 제1 주사 신호(S[n])가 로우 레벨로 천이되고, 2 수평 기간만큼 지연 출력되는 제2 주사 신호(S[n+2])가 하이 레벨을 유지하는 구간, 즉 문턱 전압 보상 구간을 2H만큼 수행한다. 따라서, 주사 신호의 하이 레벨 유지 구간을 2H 이상으로 늘림으로써 문턱 전압 보상 구간을 2H 이상으로 늘릴 수 있다. 따라서, 화소 회로를 고속으로 구동하는 경우에 문턱 전압 보상 효과를 최대화할 수 있다.

[0101] 상기한 실시 예에서는 주사 신호의 하이 레벨 유지 구간이 3H이고, 제2 및 제3 주사 신호가 이전 주사 신호에 대하여 각각 2H 및 3H 지연 출력되는 것으로 설명하였지만, 이에 한정되지 않고, 그 이상으로 늘려서 구현할 수 있음은 물론이다. 또한, 상세한 설명과 도면은 NMOS 트랜지스터에 한정하여 설명하였지만, PMOS로 구현(PMOS inverted OLED 구조)에서도 동일하게 적용할 수 있음은 물론이다.

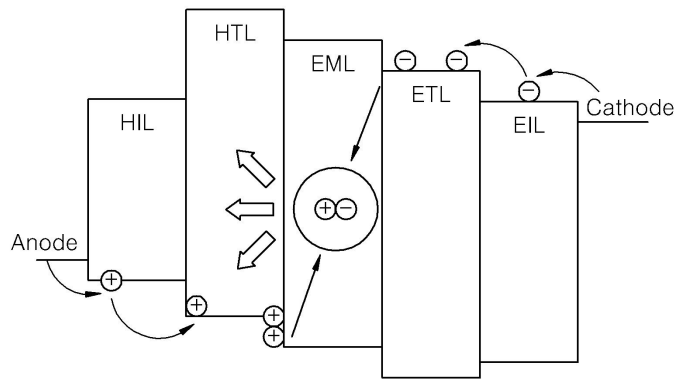
[0102] 이제까지 본 발명에 대하여 바람직한 실시 예를 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 본 발명을 구현할 수 있음을 이해할 것이다. 그러므로 상기 개시된 실시 예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 한다.

부호의 설명

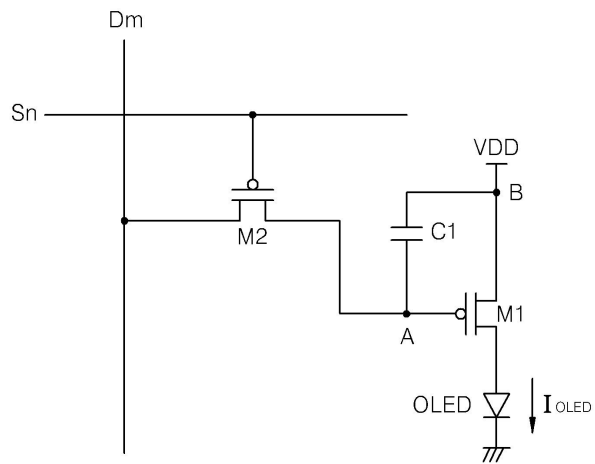
- [0103] 300 : 유기 발광 표시장치
- 310 : 화소부
- 302 : 주사 구동부
- 304 : 데이터 구동부
- 306 : 전원 구동부

도면

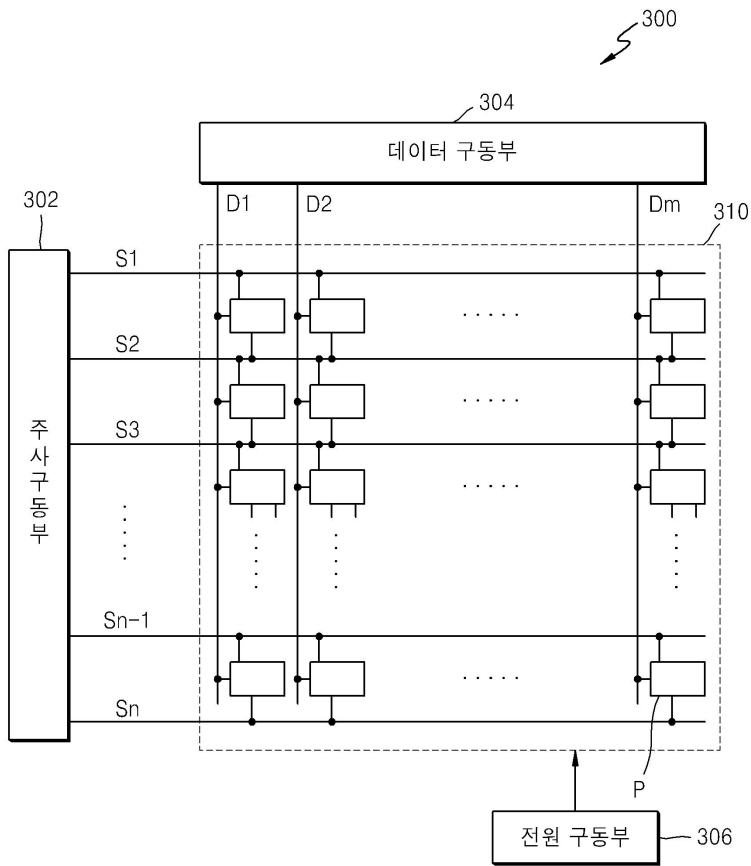
도면1



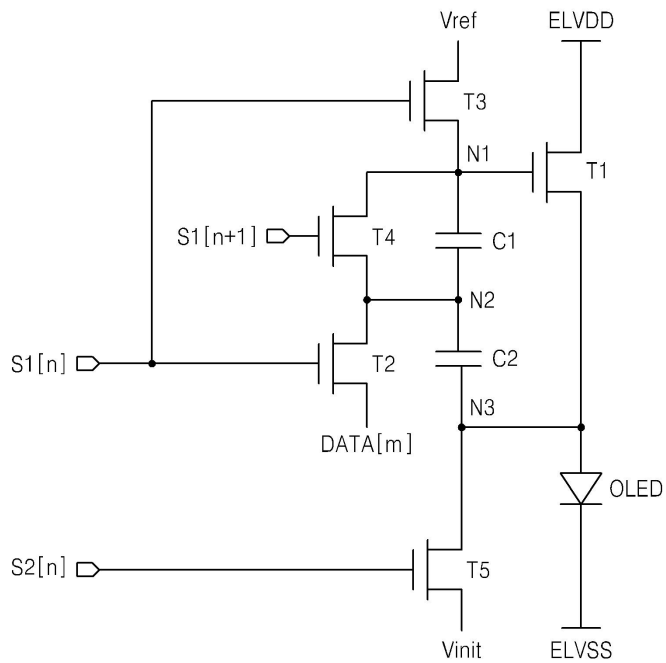
도면2



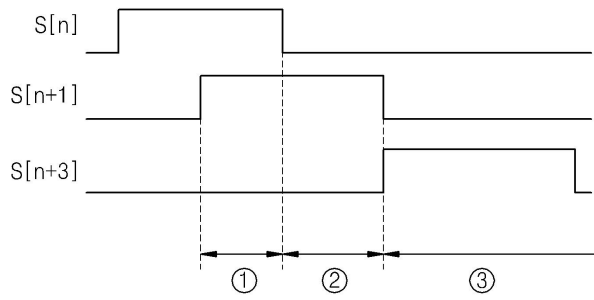
도면3



도면4

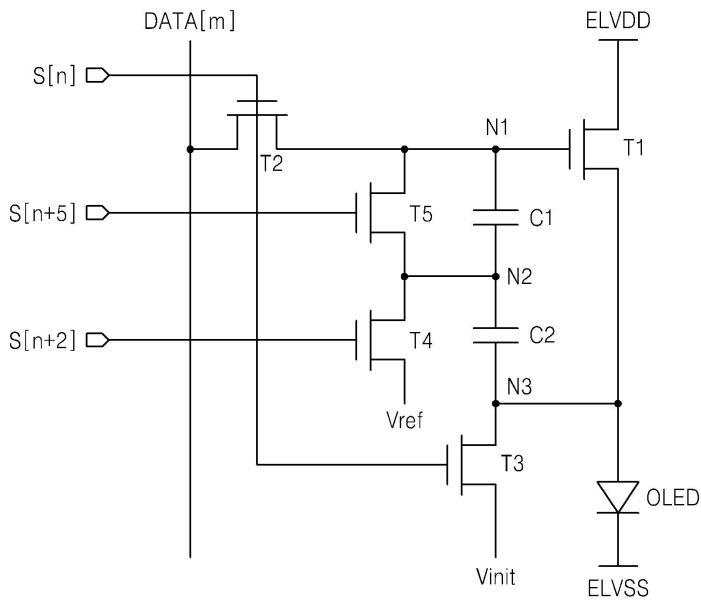


도면7

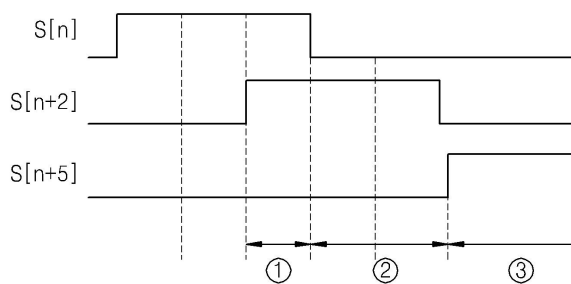


- ① 데이터 기입 및 초기화 구간
- ② Vth 보상 구간
- ③ 발광 구간

도면8



도면9



- ① 데이터 기입 및 초기화 구간
- ② Vth 보상 구간
- ③ 발광 구간

