



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0041107
(43) 공개일자 2011년04월21일

(51) Int. Cl.

G09G 3/30 (2006.01) H01L 29/786 (2006.01)

(21) 출원번호 10-2009-0098137

(22) 출원일자 2009년10월15일

심사청구일자 2009년10월15일

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

이홍로

경기도 용인시 기흥구 농서동 산 24번지

이상조

경기도 용인시 기흥구 농서동 산 24번지

(74) 대리인

팬코리아특허법인

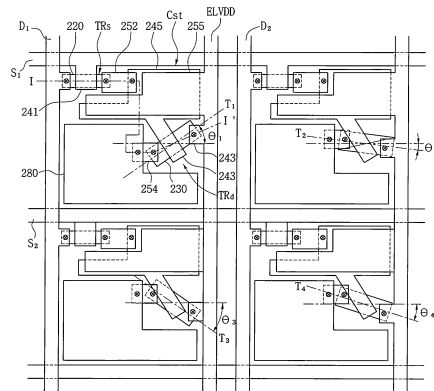
전체 청구항 수 : 총 18 항

(54) 유기전계발광표시장치 및 그의 제조 방법

(57) 요약

유기전계발광표시장치 및 그의 제조 방법에서, 유기전계발광표시장치에 포함된 인접한 두 화소에 각각 위치하는 구동 트랜지스터의 반도체층이 서로 상이한 길이 방향으로 연장한다. 따라서 유기전계발광표시장치의 줄얼룩 무늬 현상을 개선할 수 있다.

대표도 - 도2



특허청구의 범위

청구항 1

다수의 스캔 라인;

상기 스캔 라인과 교차하는 다수의 데이터 라인; 및

상기 스캔 라인과 데이터 라인이 교차하는 영역에 위치하는 다수의 화소를 포함하며,

상기 다수의 화소는 각각 유기전계발광다이오드, 게이트 전극이 상기 스캔 라인에 연결되고 일측 전극이 상기 데이터 라인에 연결되는 스위칭 트랜지스터, 상기 유기전계발광다이오드와 전원전압공급라인 사이에 연결되며 게이트 전극이 상기 스위칭 트랜지스터의 타측 전극에 연결되는 구동 트랜지스터 및 상기 구동 트랜지스터의 게이트 전극과 전원전압공급라인 사이에 연결되는 커패시터를 포함하고,

상기 스캔 라인 또는 데이터 라인을 따라 인접한 두 화소는 상기 구동 트랜지스터의 반도체층이 서로 상이한 길이 방향으로 연장하는 유기전계발광표시장치.

청구항 2

제 1 항에 있어서,

상기 스위칭 트랜지스터 및 구동 트랜지스터는 각각 소오스/드레인 영역 및 채널 영역을 갖는 반도체층, 상기 반도체층의 소오스/드레인 영역에 전기적으로 연결되는 소오스/드레인 전극, 상기 반도체층의 채널 영역에 대응되도록 위치하는 게이트 전극 및 상기 반도체층과 게이트 전극 사이에 위치하는 게이트 절연막을 포함하는 유기전계발광표시장치.

청구항 3

제 2 항에 있어서,

상기 스위칭 트랜지스터 및 구동 트랜지스터는 동일한 구조를 가지는 유기전계발광표시장치.

청구항 4

제 1 항에 있어서,

상기 다수의 화소는 상기 인접한 화소의 구동 트랜지스터의 반도체층이 연장하는 길이 방향 사이의 각도 차이가 일정한 유기전계발광표시장치.

청구항 5

제 1 항에 있어서,

상기 스위칭 트랜지스터의 반도체층 및 상기 구동 트랜지스터의 반도체층은 레이저에 의해 결정화된 다결정 실리콘인 유기전계발광표시장치.

청구항 6

제 5 항에 있어서,

상기 스위칭 트랜지스터의 반도체층 및 상기 구동 트랜지스터의 반도체층은 상기 스캔 라인 또는 데이터 라인과 평행하게 형성된 결정립 경계를 가지는 유기전계발광표시장치.

청구항 7

제 1 항에 있어서,

상기 스캔 라인 및 데이터 라인을 따라 인접한 화소의 구동 트랜지스터의 반도체층이 서로 상이한 길이 방향으로 연장하는 유기전계발광표시장치.

청구항 8

데이터 드라이버로부터 데이터 신호를 전달하기 위한 다수의 데이터 라인과 스캔 드라이버로부터 스캔 신호를 전달하기 위한 다수의 스캔 라인이 교차하는 영역에 위치하며, 반도체층, 게이트 절연막, 소오스/드레인 전극 및 게이트 전극을 구비하는 다수의 박막 트랜지스터에 의해 유기전계발광다이오드의 발광이 조절되는 다수의 화소를 포함하는 유기전계발광표시장치에 있어서,

상기 다수의 화소 중 상기 스캔 라인 또는 데이터 라인을 따라 인접한 적어도 두 화소는 상기 유기전계발광다이오드와 전기적으로 연결된 박막 트랜지스터의 반도체층이 서로 상이한 길이 방향으로 연장하는 유기전계발광표시장치.

청구항 9

제 8 항에 있어서,

상기 다수의 화소는 각각 유기전계발광다이오드, 상기 데이터 신호를 저장하기 위한 커패시터, 상기 데이터 신호에 따른 구동 전류를 상기 유기전계발광다이오드로 인가하기 위한 구동 트랜지스터 및 상기 스캔 신호에 따라 상기 데이터 신호를 상기 구동 트랜지스터의 게이트 단자에 인가하기 위한 스위칭 트랜지스터를 포함하며,

상기 스캔 라인 또는 데이터 라인을 따라 인접한 두 화소의 구동 트랜지스터의 반도체층은 서로 상이한 길이 방향으로 연장하는 유기전계발광표시장치.

청구항 10

제 8 항에 있어서,

상기 다수의 화소는 인접한 화소의 유기전계발광다이오드와 전기적으로 연결된 박막 트랜지스터의 반도체층이 연장하는 길이 방향 사이의 각도 차이가 일정한 유기전계발광표시장치.

청구항 11

제 8 항에 있어서,

상기 박막 트랜지스터의 반도체층은 레이저에 의해 결정화된 다결정 실리콘인 유기전계발광표시장치.

청구항 12

제 11 항에 있어서,

상기 박막 트랜지스터의 반도체층은 상기 스캔 라인 또는 데이터 라인과 평행하게 형성된 결정립 경계를 가지는 유기전계발광표시장치.

청구항 13

제 8 항에 있어서,

상기 스캔 라인 및 데이터 라인을 따라 인접한 화소의 유기전계발광다이오드와 전기적으로 연결된 박막 트랜지스터의 반도체층이 연장하는 길이 방향이 서로 상이한 유기전계발광표시장치.

청구항 14

다수의 데이터 라인, 다수의 스캔 라인 및 상기 데이터 라인과 스캔 라인이 교차하는 영역에 위치하는 다수의 화소를 포함하는 유기전계발광표시장치의 제조 방법에 있어서,

기판을 제공하고,

상기 기판 상에 제 1 반도체층, 게이트 절연막, 제 1 소오스/드레인 전극, 제 2 소오스/드레인 전극 및 제 1 게이트 전극을 포함하는 스위칭 트랜지스터와 제 2 반도체층, 게이트 절연막, 제 3 소오스/드레인 전극, 제 4 소오스/드레인 전극 및 제 2 게이트 전극을 포함하는 구동 트랜지스터를 형성하고,

상기 스위칭 트랜지스터의 제 1 게이트 전극과 연결되는 다수의 스캔 라인 및 상기 스위칭 트랜지스터의 제 1 소오스/드레인 전극 또는 제 2 소오스/드레인 전극과 연결되는 다수의 데이터 라인을 형성하고,

상기 스위칭 트랜지스터 및 구동 트랜지스터 상에 보호막을 형성하고,

상기 보호막 상에 상기 구동 트랜지스터의 제 3 소오스/드레인 전극 또는 제 4 소오스/드레인 전극과 연결되는 하부 전극, 하나 또는 다수의 발광층을 포함하는 유기막층 및 상부 전극을 포함하는 유기전계발광다이오드를 형성하는 것을 포함하며,

상기 스캔 라인 또는 데이터 라인을 따라 인접한 두 화소에 위치하는 제 2 반도체층이 서로 상이한 길이 방향으로 연장하도록 형성하는 유기전계발광표시장치의 제조 방법.

청구항 15

제 14 항에 있어서,

상기 스위칭 트랜지스터의 제 1 반도체층 및 상기 구동 트랜지스터의 제 2 반도체층은 레이저를 이용하여 비정질 실리콘을 다결정 실리콘으로 결정화하여 형성하는 유기전계발광표시장치의 제조 방법.

청구항 16

제 15 항에 있어서,

상기 비정질 실리콘의 결정화에 사용되는 레이저는 상기 스캔 라인 또는 데이터 라인과 평행한 방향으로 조사되는 유기전계발광표시장치의 제조 방법.

청구항 17

제 14 항에 있어서,

상기 인접한 두 화소의 제 2 반도체층이 연장하는 길이 방향 사이의 각도 차이가 일정하도록 형성하는 유기전계발광표시장치의 제조 방법.

청구항 18

제 14 항에 있어서,

상기 보호막 상에 평탄화막을 형성하는 것을 더 포함하는 유기전계발광표시장치의 제조 방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 유기전계발광표시장치 및 그의 제조 방법에 관한 것이다. 보다 구체적으로 본 발명은 발광 유기 물질을 사용하여 이미지를 구현하는 유기전계발광표시장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 유기전계발광표시장치는 평판표시장치의 하나로 액정표시장치에 비하여 휘도 특성 및 시야각 특성이 우수하고 백라이트(Back Light)를 필요로 하지 않아 초박형으로 구현할 수 있는 장점이 있다.

[0003] 상기 유기전계발광표시장치는 구동 방법에 따라 수동 구동(Passive matrix) 방식과 능동 구동(Active matrix) 방식으로 나뉘는데, 능동 구동 방식은 박막트랜지스터(Thin Film Transistor; TFT)를 사용하는 회로를 가진다. 그리고 박막트랜지스터에 포함된 반도체층은 레이저를 통해 결정화된 폴리실리콘막이 사용될 수 있으나 결정화 과정에서 줄무늬 얼룩 등의 불량에 야기될 수 있다.

발명의 내용

해결하고자 하는 과제

[0004] 레이저를 이용한 결정화법은 양산성 및 효율성을 고려하여, 엑시머 레이저로 대표되는 가스레이저 발진장치 또는 야그(YAG)레이저로 대표되는 고체레이저 발진장치로부터 출력되는 빔 스폿 형상의 레이저 빔을 광학계를 통

해 일정 길이의 선형 레이저 빔으로 가공하여 기판에 조사하고 있으나, 레이저의 높은 간섭성 때문에 선형 빔의 장축 및 단축으로 스펙클이 발생하여 기판에 형성되는 다결정 실리콘의 결정 균일성을 감소시키게 되고, 이로 인하여 상기 레이저 빔이 조사되는 방향과 평행하게 또는 수직하게 줄무늬 얼룩이 발생하는 문제점이 있다.

[0005] 또한, 상기와 같은 줄무늬 얼룩을 최소화하기 위하여, 기판 상에 선형의 레이저 빔이 일정 각도를 가지며 조사되도록 하여 스펙클이 발생된 레이저 빔이 기판에 분산되어 조사되도록 하는 방법이 있으나, 기판과 레이저 빔 사이에 일정 각도를 가지게 하는 경우, 상기 기판과 레이저 빔 사이의 각도에 따라 가공 시간이 증가하고 화소 사이의 오버랩 영역을 제어하기 어려워 생산성이 저하된다는 문제점이 있다.

과제 해결수단

[0006] 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위한 것으로, 생산성 저하 없이 레이저 조사 장치의 발진 레이저의 출력 불균일에 따른 줄무늬 얼룩을 최소화시킬 수 있는 유기전계발광표시장치 및 그의 제조 방법을 제공함에 본 발명의 목적이 있다.

[0007] 본 발명의 상기 목적은 다수의 스캔 라인; 상기 스캔 라인과 교차하는 다수의 데이터 라인; 및 상기 스캔 라인과 데이터 라인이 교차하는 영역에 위치하는 다수의 화소를 포함하며, 상기 다수의 화소는 각각 유기전계발광다이오드, 게이트 전극이 상기 스캔 라인에 연결되고 일측 전극이 상기 데이터 라인에 연결되는 스위칭 트랜지스터, 상기 유기전계발광다이오드와 전원전압공급라인 사이에 연결되며 게이트 전극이 상기 스위칭 트랜지스터의 타측 전극에 연결되는 구동 트랜지스터 및 상기 구동 트랜지스터의 게이트 전극과 전원전압공급라인 사이에 연결되는 커패시터를 포함하고, 상기 스캔 라인 또는 데이터 라인을 따라 인접한 두 화소는 상기 구동 트랜지스터의 반도체층이 서로 상이한 길이 방향으로 연장하는 유기전계발광표시장치에 의해 달성된다.

[0008] 본 발명의 상기 목적은 데이터 드라이버로부터 데이터 신호를 전달하기 위한 다수의 데이터 라인과 스캔 드라이버로부터 스캔 신호를 전달하기 위한 다수의 스캔 라인이 교차하는 영역에 위치하며, 반도체층, 게이트 절연막, 소오스/드레인 전극 및 게이트 전극을 구비하는 다수의 박막 트랜지스터에 의해 유기전계발광다이오드의 발광이 조절되는 다수의 화소를 포함하는 유기전계발광표시장치에 있어서, 상기 다수의 화소 중 상기 스캔 라인 또는 데이터 라인을 따라 인접한 두 화소는 상기 유기전계발광다이오드와 전기적으로 연결된 박막 트랜지스터의 반도체층이 서로 상이한 길이 방향으로 연장하는 유기전계발광표시장치에 의해 달성된다.

[0009] 본 발명의 상기 목적은 다수의 데이터 라인, 다수의 스캔 라인 및 상기 데이터 라인과 스캔 라인이 교차하는 영역에 위치하는 다수의 화소를 포함하는 유기전계발광표시장치의 제조 방법에 있어서, 기판을 제공하고, 상기 기판 상에 제 1 반도체층, 게이트 절연막, 제 1 소오스/드레인 전극, 제 2 소오스/드레인 전극 및 제 1 게이트 전극을 포함하는 스위칭 트랜지스터와 제 2 반도체층, 게이트 절연막, 제 3 소오스/드레인 전극, 제 4 소오스/드레인 전극 및 제 2 게이트 전극을 포함하는 구동 트랜지스터를 형성하고, 상기 스위칭 트랜지스터의 제 1 게이트 전극과 연결되는 다수의 스캔 라인 및 상기 스위칭 트랜지스터의 제 1 소오스/드레인 전극 또는 제 2 소오스/드레인 전극과 연결되는 다수의 데이터 라인을 형성하고, 상기 스위칭 트랜지스터 및 구동 트랜지스터 상에 보호막을 형성하고, 상기 보호막 상에 상기 구동 트랜지스터의 제 3 소오스/드레인 전극 또는 제 4 소오스/드레인 전극과 연결되는 하부 전극, 하나 또는 다수의 발광층을 포함하는 유기막층 및 상부 전극을 포함하는 유기전계발광다이오드를 형성하는 것을 포함하며, 상기 스캔 라인 또는 데이터 라인을 따라 인접한 두 화소에 위치하는 제 2 반도체층이 서로 상이한 길이 방향으로 연장하는 유기전계발광표시장치의 제조 방법에 의해 달성된다.

효과

[0010] 따라서, 본 발명에 따른 유기전계발광표시장치 및 그의 제조 방법은 스캔 라인 또는 데이터 라인을 따라 인접한 두 화소에 위치하는 구동 트랜지스터의 반도체층이 서로 상이한 길이 방향으로 연장하도록 형성하여 상기 인접한 두 화소의 구동 트랜지스터 간 특성 산포를 유발함으로써, 레이저를 이용한 결정화법에 의해 다결정 실리콘을 형성하는 경우, 생산성 저하 없이 발진 레이저의 출력 불균일에 따른 줄무늬 얼룩을 완화시키는 효과가 있다.

발명의 실시를 위한 구체적인 내용

[0011] 본 발명의 상기 목적과 기술적 구성 및 그에 따른 작용효과에 관한 자세한 사항은 본 발명의 바람직한 실시예를 도시하고 있는 도면을 참조한 이하 상세한 설명에 의해 보다 명확하게 이해될 것이다. 또한, 도면들에 있어서, 층 및 영역의 길이, 두께 등은 편의를 위하여 과장되어 표현될 수 있으며, 명세서 전체에 걸쳐서 동일한 참조번호

호들은 동일한 구성 요소들을 나타낸다.

- [0012] (실시예)
- [0013] 도 1은 본 발명의 실시예에 따른 유기전계발광표시장치를 나타낸 회로도이며, 도 2는 도 1의 "A" 영역을 나타낸 본 발명의 실시예에 따른 유기전계발광표시장치의 평면도이다.
- [0014] 도 1 및 2를 참조하면, 본 발명의 실시예에 따른 유기전계발광표시장치는 일정 영상을 디스플레이하기 위한 화소부(100), 다수의 데이터 라인(D1 ~ Dm)을 통해 상기 화소부(100)로 데이터 신호를 인가하기 위한 데이터 드라이버(110) 및 다수의 스캔 라인(S1 ~ Sn)을 통해 상기 화소부(100)로 스캔 신호를 인가하기 위한 스캔 드라이버(120)를 포함한다.
- [0015] 상기 화소부(100)는 상기 스캔 신호 및 데이터 신호에 따라 일정 영상을 디스플레이하기 위한 것으로, 상기 데이터 라인(D1 ~ Dm)과 스캔 라인(S1 ~ Sn)이 교차하는 영역에 위치하며, 각각 유기전계발광다이오드(EL), 게이트 전극(241)이 상기 스캔 라인(S1 ~ Sn)에 연결되고 일측 전극이 상기 데이터 라인(D1 ~ Dm)에 연결되어 상기 스캔 신호에 따라 상기 데이터 신호를 전달하기 위한 스위칭 트랜지스터(TRs), 상기 유기전계발광다이오드(EL)와 전원전압공급라인(ELVDD) 사이에 연결되며 게이트 전극(243)이 상기 스위칭 트랜지스터(TRs)의 타측 전극에 연결되어, 상기 스위칭 트랜지스터(TRs)로부터 전달되는 데이터 신호에 따른 구동 전류를 상기 유기전계발광다이오드(EL)에 인가하기 위한 구동 트랜지스터(TRd) 및 상기 구동 트랜지스터(TRd)의 게이트 전극(243)과 전원전압공급라인(ELVDD) 사이에 연결되어 상기 데이터 신호를 저장하기 위한 커패시터(Cst)를 포함하는 다수의 화소로 이루어진다.
- [0016] 여기서, 상기 스캔 라인(S1 ~ Sn) 또는 데이터 라인(D1 ~ Dm)을 따라 인접한 두 화소는 상기 구동 트랜지스터(TRd)의 반도체층(230)이 서로 상이한 길이 방향(T1 ~ T4)으로 연장하도록 형성되어, 상기 스캔 라인(S1 ~ Sn) 또는 데이터 라인(D1 ~ Dm)을 따라 인접한 두 화소의 구동 트랜지스터(TRd) 간 특성 산포를 유발한다.
- [0017] 레이저를 이용한 결정화 방법으로 인해 발생하는 줄무늬 얼룩은 레이저의 높은 간섭성 때문에 선형 빔의 장축 및 단축으로 발생된 스펙클(speckle)에 의해 레이저 조사 방향에 수직한 방향 또는 평행한 방향으로 위치하는 구동 트랜지스터(TRd)의 반도체층(230)의 전자 이동도 차이에 의해 발생하게 되므로, 인접한 두 화소의 구동 트랜지스터(TRd)가 서로 상이한 길이 방향(T1 ~ T4)으로 연장하도록 하여 특성 산포를 유발하는 경우, 상기 선형 빔의 스펙클(speckle)에 의한 전자 이동도 차이에 따른 휘도 편차를 감소시켜, 줄무늬 얼룩을 완화시키게 된다.
- [0018] 여기서, 상기 줄무늬 얼룩은 레이저 조사 방향에 수직한 방향 및 평행한 방향 중 어느 한 방향 또는 모든 방향으로 발생할 수 있으므로, 스캔 라인(S1 ~ Sn) 및 데이터 라인(D1 ~ Dm)을 따라 인접한 모든 화소의 구동 트랜지스터(TRd)가 서로 상이한 길이 방향(T1 ~ T4)으로 연장하도록 할 수도 있다.
- [0019] 또한, 상기 스캔 라인(S1 ~ Sn) 또는 데이터 라인(D1 ~ Dm)을 따라 인접한 두 화소에 위치하는 스위칭 트랜지스터(TRs)의 반도체층(220)도 서로 상이한 길이 방향으로 연장하도록 형성할 수 있으나, 인접한 두 화소의 반도체층(220, 230)이 서로 상이한 길이 방향으로 연장하도록 하기 위해서는 일정 면적을 필요하며, 이로 인하여 화소 회로가 복잡해지고 발광 면적이 감소하게 되므로, 인접한 화소에 위치하며, 상기 데이터 신호에 따른 구동 전류를 생성하여 상기 유기전계발광다이오드(EL)에 인가하기 위한 구동 트랜지스터(TRd)의 반도체층(230)만이 서로 상이한 길이 방향(T1 ~ T4)으로 연장하도록 형성하는 것이 바람직하다.
- [0020] 상기 스캔 라인(S1 ~ Sn) 또는 데이터 라인(D1 ~ Dm)을 따라 인접한 화소의 구동 트랜지스터(TRd) 사이의 전자 이동도 차이가 증가할수록 줄무늬 얼룩은 감소하며, 아래 수식과 같이, 인접한 두 화소의 반도체층(230) 사이의 전자 이동도 차이는 인접한 두 화소의 구동 트랜지스터(TRd)의 반도체층(230)이 연장하는 길이 방향(T1 ~ T4) 사이의 각도 차이($\theta 1 \sim \theta 4$)와 비례하므로, 인접한 두 화소의 구동 트랜지스터(TRd)의 반도체층(230)이 연장하는 길이 방향(T1 ~ T4) 사이의 각도 차이는 최대값을 갖는 것이 바람직하다.
- [0021] 다만, 상기 인접한 두 화소의 구동 트랜지스터(TRd)의 반도체층(230)이 연장하는 길이 방향(T1 ~ T4) 사이의 각도 차이가 변경되는 경우, 휘도 불균일을 유발할 수 있다는 점에서 상기 인접한 두 화소의 구동 트랜지스터(TRd)의 반도체층(230)이 연장하는 길이 방향(T1 ~ T4) 사이의 각도 차이는 동일한 것이 바람직하다.

$$M_d = CW \left(\frac{1}{\cos \theta_1} - \frac{1}{\cos \theta_2} \right) = CW \left(\frac{\cos \theta_2 - \cos \theta_1}{\cos \theta_1 \cos \theta_2} \right)$$

[0022]

[0023]

(여기서, M_d 는 인접한 두 화소의 전자 이동도 차이, W 는 구동 트랜지스터의 반도체층의 폭, θ_1 및 θ_2 는 데이터 라인과 평행한 선을 기준으로 인접한 두 화소의 구동 트랜지스터의 반도체층의 길이 방향각이다.)

[0024]

도 3은 도 2의 I-I' 선을 따라 자른 단면도이다.

[0025]

도 2 및 3을 참조하여 본 발명의 실시예에 따른 유기전계발광표시장치의 제조 방법을 설명하면, 먼저 유리(glass)나 합성 수지, 스테인레스 스틸 등의 재질로 형성되는 기판(210) 상에 비정질 실리콘층(미도시)을 적층하고, 엑시머 레이저 어닐링(Excimer Laser Annealing: ELA) 결정화법 및 순차측면고상(Sequential Lateral Solidification: SLS) 결정화법 등과 같은 레이저를 이용한 결정화 방법으로 상기 비정질 실리콘을 다결정 실리콘으로 결정화한 후, 상기 다결정 실리콘을 패터닝하여 스위칭 트랜지스터(TRs)의 제 1 반도체층(220) 및 구동 트랜지스터(TRd)의 제 2 반도체층(230)을 형성한다.

[0026]

여기서, 상기 구동 트랜지스터(TRd)의 제 2 반도체층(230)은 일정 길이 방향(T1 ~ T4)으로 연장하며, 상기 스캔 라인(S1 ~ Sn) 또는 데이터 라인(D1 ~ Dm)을 따라 인접한 두 화소는 상기 구동 트랜지스터(TRd)의 제 2 반도체층(230)이 서로 상이한 길이 방향(T1 ~ T4)으로 연장하도록 형성하여, 상기 스캔 라인(S1 ~ Sn) 또는 데이터 라인(D1 ~ Dm)을 따라 인접한 두 화소의 구동 트랜지스터(TRd)에 특성 산포가 발생하도록 한다.

[0027]

또한, 상기 스위칭 트랜지스터(TRs)의 제 1 반도체층(220) 및 구동 트랜지스터(TRd)의 제 2 반도체층(230)의 결정화를 위하여 기판(210)에 조사되는 레이저 빔(미도시)은 기판(210)과 레이저 빔 사이에 일정 각도가 발생하는 경우, 공정 시간 증가 등의 생산성에 저하되는 점을 고려하여 상기 기판(210)의 일측면과 평행하도록 조사하는 것이 바람직하며, 통상적으로 스캔 라인(S1 ~ Sn) 및 데이터 라인(D1 ~ Dm)은 각각 기판(210)의 일측면과 평행하도록 형성되는 점을 고려하여 상기 스위칭 트랜지스터(TRs)의 제 1 반도체층(220) 및 구동 트랜지스터(TRd)의 제 2 반도체층(230)의 결정화를 위하여 기판에 조사되는 레이저는 상기 스캔 라인(S1 ~ Sn) 또는 데이터 라인(D1 ~ Dm)과 평행한 방향으로 조사되어, 상기 스위칭 트랜지스터(TRs)의 제 1 반도체층(220) 및 구동 트랜지스터(TRd)의 제 2 반도체층(230)이 상기 스캔 라인(S1 ~ Sn) 또는 데이터 라인(D1 ~ Dm)과 평행한 방향으로 결정립 경계가 위치하는 다결정 실리콘으로 형성되도록 하는 것이 바람직하다.

[0028]

본 발명의 실시예는 상기 기판(210) 상에 바로 비정질 실리콘층을 형성하는 것으로 설명하고 있으나, 상기 비정질 실리콘층의 결정화 공정 시 상기 기판(210) 상의 불순물이 확산되는 것을 방지하기 위하여, 상기 기판(210) 상에 실리콘 질화막(SiNx), 실리콘 산화막(SiO₂) 또는 이들의 적층으로 버퍼층(미도시)을 형성한 후, 상기 비정질 실리콘층을 적층하고, 상기 비정질 실리콘층을 결정화할 수도 있다.

[0029]

계속해서, 상기 제 1 반도체층(220) 및 제 2 반도체층(230)을 포함하는 기판(210) 상에 게이트 절연막(240)을 적층한다. 여기서, 상기 게이트 절연막(240)은 실리콘산화막(SiO₂), 실리콘질화막(SiNx) 또는 그 적층 구조를 사용하여 형성될 수 있다.

[0030]

이어서, 상기 게이트 절연막(240) 상부에 알루미늄(Al) 또는 알루미늄-네오디뮴(Al-Nd)과 같은 알루미늄 합금의 단일층이나, 크롬(Cr) 또는 몰리브덴(Mo) 합금 위에 알루미늄 합금이 다층으로 적층된 게이트 전극용 금속층(미도시)을 형성하고, 상기 게이트 전극용 금속층을 건식 또는 습식 식각하여 상기 제 1 반도체층(220)의 일정 영역에 대응되며, 상기 스캔 라인(S1 ~ Sn)과 연결되는 제 1 게이트전극(241), 상기 제 2 반도체층(230)의 일정 영역에 대응되는 제 2 게이트 전극(243) 및 상기 커패시터(Cst)의 커패시터 하부 전극(245)을 형성한다. 여기서, 상기 일정 영역은 후속공정에 의해 형성되는 상기 제 1 반도체층(220) 및 제 2 반도체층(230)의 채널 영역(224, 234)이다.

[0031]

도 2는 상기 제 1 게이트 전극(241)과 스캔 라인(S1 ~ Sn)이 접촉하고 상기 제 2 게이트 전극(243)과 커패시터 하부 전극(245)이 접촉하는 것으로 도시하고 있으나, 상기 제 1 게이트 전극(241), 스캔 라인(S1 ~ Sn), 상기 제 2 게이트 전극(243) 및 커패시터 하부 전극(245)을 각각 형성하고, 콘택홀 등을 통해 상기 제 1 게이트 전극(241)과 스캔 라인(S1 ~ Sn) 및 상기 제 2 게이트 전극(243)과 커패시터 하부 전극(245)을 각각 전기적으로 연결시킬 수 있다.

- [0032] 다음으로, 상기 제 1 게이트 전극(241) 및 제 2 게이트 전극(243)을 마스크로 사용하여 상기 제 1 반도체층(220) 및 제 2 반도체층(230)의 일부를 도전형의 불순물을 도핑함으로써, 상기 제 1 반도체층(220)의 제 1 소오스/드레인 영역(222) 및 상기 제 2 반도체층(230)의 제 2 소오스/드레인 영역(232)를 형성하여, 상기 제 1 반도체층(220)의 제 1 소오스/드레인 영역(222) 사이 및 상기 제 2 반도체층(230)의 제 2 소오스/드레인 영역(232) 사이가 상기 제 1 반도체층의 채널 영역(224) 및 제 2 반도체층(230)의 채널 영역(234)이 되도록 한다. 여기서, 상기 불순물 도핑 공정은 제 1 게이트 전극(241) 및 제 2 게이트 전극(243)을 형성되기 전에 상기 기판(210) 상에 포토레지스트를 형성하여 진행할 수도 있으며, 상기 제 1 반도체층의 채널 영역(224) 및 제 2 반도체층(230)의 채널 영역(234)의 일부를 저농도의 불순물로 도핑하여 누설 전류를 방지할 수도 있다.
- [0033] 계속해서, 상기 제 1 게이트 전극(241) 및 제 2 게이트 전극(243)을 포함하는 기판(210)상에 층간 절연막(250)을 형성하고, 상기 층간 절연막(250) 및 게이트 절연막(240)을 식각하여 상기 제 1 소오스/드레인 영역(222)의 일부를 노출시키는 제 1 콘택홀(225), 상기 제 2 소오스/드레인 영역(232)의 일부를 노출시키는 제 2 콘택홀(235) 및 상기 하부 커패시터 전극(245)의 일부를 노출시키는 제 3 콘택홀(242)을 형성한다.
- [0034] 이어서, 상기 제 1 콘택홀(225), 제 2 콘택홀(235) 및 제 3 콘택홀(242)을 포함한 층간 절연막(250) 상부에 몰리브덴(MoW) 또는 알루미늄-네오디뮴(Al-Nd) 등의 도전 물질을 적층한 후, 상기 도전 물질을 패터닝하여 상기 제 1 콘택홀(225)을 통해 제 1 소오스/드레인 영역(222)에 연결되며 상기 데이터 라인(D1 ~ Dm)과 전기적으로 연결되는 제 1 소오스/드레인 전극(251), 상기 제 1 콘택홀(225) 및 제 3 콘택홀(242)을 통해 제 1 소오스/드레인 영역(222)과 커패시터 하부 전극(245)을 전기적으로 연결되는 제 2 소오스/드레인 전극(251), 상기 제 2 콘택홀(235)을 통해 제 2 소오스/드레인 영역(222)에 연결되며 전원전압공급라인(ELVDD)과 전기적으로 연결되는 제 3 소오스/드레인 전극(253), 상기 제 2 콘택홀(235)을 통해 제 2 소오스/드레인 영역(222)에 연결되며 후속 공정을 통해 형성되는 하부 전극(280)과 전기적으로 연결되는 제 4 소오스/드레인 전극(254) 및 커패시터 상부 전극(255)을 형성하여, 스위칭 트랜지스터(TRs), 구동 트랜지스터(TRd) 및 커패시터(Cst)를 완성한다.
- [0035] 본 발명의 실시예는 각 화소가 하나의 스위칭 트랜지스터(TRs), 구동 트랜지스터(TRd) 및 커패시터(Cst)를 포함하는 것으로 설명하고 있으나, 상기 구동 트랜지스터(TRd)의 문턱 전압을 보상하기 위한 보상 회로를 구비하는 경우, 다수의 스위칭 트랜지스터(TRs)를 더 형성할 수도 있다.
- [0036] 또한, 본 발명의 실시예는 상기 스위칭 트랜지스터(TRs)와 구동 트랜지스터(TRd)가 모두 반도체층 상부에 게이트 전극이 위치하는 탑 게이트(top gate) 구조를 가지는 것으로 설명하고 있으나, 상기 스위칭 트랜지스터(TRs)와 구동 트랜지스터(TRd)는 서로 상이한 구조, 즉 상기 스위칭 트랜지스터(TRs) 또는 구동 트랜지스터(TRd)는 반도체층 하부에 게이트 전극이 위치하는 바텀 게이트(bottom gate) 구조일 수 있다.
- [0037] 다음으로, 상기 제 1 내지 제 4 소오스/드레인 전극(251, 252, 253, 254)을 포함하는 상기 기판(210) 상에 실리콘 산화물 등의 무기 절연막으로 형성되는 보호막(260) 및 아크릴 등의 유기 절연막으로 형성되는 평탄화막(270)을 형성하고, 상기 보호막(260) 및 평탄화막(270)을 식각하여, 상기 제 4 소오스/드레인 전극(254)의 일부를 노출시키는 비아홀(272)을 형성한다. 여기서, 본 발명의 실시예는 상기 제 1 내지 제 4 소오스/드레인 전극(251, 252, 253, 254)을 포함하는 상기 기판(210) 상에 보호막(260) 및 평탄화막(270)을 모두 형성하는 것으로 설명하고 있으나, 상기 보호막(260) 및 평탄화막(270) 중 어느 하나만을 형성할 수도 있다.
- [0038] 계속해서, 상기 비아홀(272)을 포함한 평탄화막(270) 상에 도전성 물질을 적층하고, 상기 도전성 물질을 패터닝하여 상기 비아홀(272)을 통하여 상기 제 4 소오스/드레인 전극(254)과 전기적으로 연결되는 하부 전극(280)을 형성한 후, 상기 하부 전극(280)을 포함하는 상기 기판(210) 상에 상기 하부 전극(280)의 일부를 노출시켜 발광 영역을 정의하는 화소 정의막(290)을 형성한다. 여기서, 상기 화소 정의막(290)은 폴리이미이드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutens series resin), 페놀계 수지(phenol resin) 또는 아크릴레이트(acrylate)로 형성할 수 있다. 이들은 단독 또는 혼합으로 사용될 수 있다.
- [0039] 다음으로, 도시되어 있지는 않으나, 상기 화소 정의막(290)에 의해 정의된 발광 영역, 즉 상기 화소 정의막(290)에 의해 노출된 상기 하부 전극(280)의 표면에 하나 또는 다수의 발광층(미도시)을 포함하는 유기막(미도시) 및 상기 유기막 상에 위치하는 상부 전극(미도시)을 형성하여 데이터 신호 및 스캔 신호에 따라 일정 색을 발광하는 유기전계발광다이오드(EL)를 완성한다.
- [0040] 결과적으로, 본 발명의 실시예에 따른 유기전계발광표시장치 및 그의 제조 방법은 스캔 라인 또는 데이터 라인을 따라 인접한 두 화소의 구동 트랜지스터가 서로 상이한 길이 방향으로 연장하는 반도체층을 가지도록 하여 구동 트랜지스터의 특성 산포를 유발함으로써, 발진 레이저의 출력 불균일에 따른 줄무늬 얼룩을 완화시킨다.

도면의 간단한 설명

[0041] 도 1은 본 발명의 실시예에 따른 유기전계발광표시장치를 나타낸 회로도이다.

[0042] 도 2는 도 1의 "A" 영역을 나타낸 본 발명의 실시예에 따른 유기전계발광표시장치의 평면도이다.

[0043] 도 3은 도 2의 I-I'선을 따라 자른 단면도이다.

[0044] <주요 부호에 대한 부호의 설명>

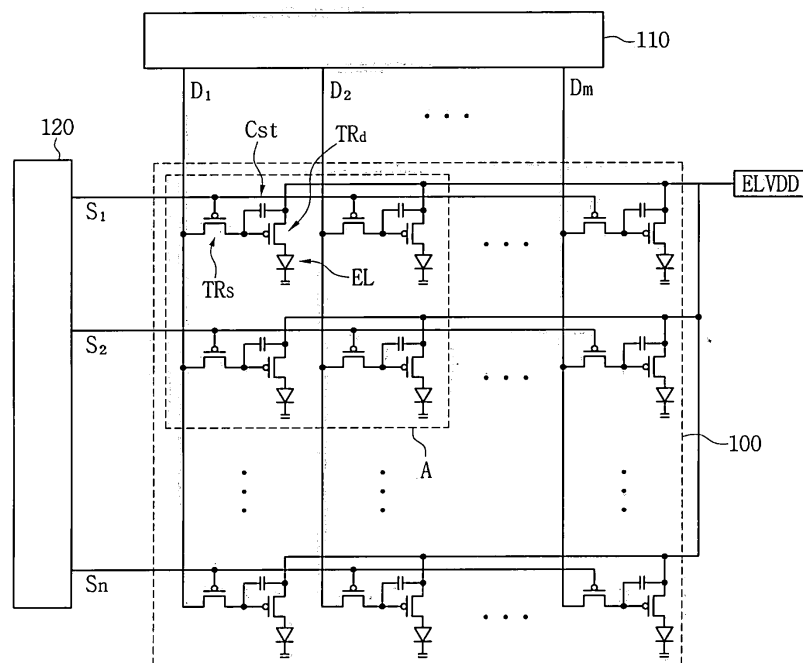
[0045] 100 : 화소부 210 : 기관

[0046] 220 : 제 1 반도체층 230 : 제 2 반도체층

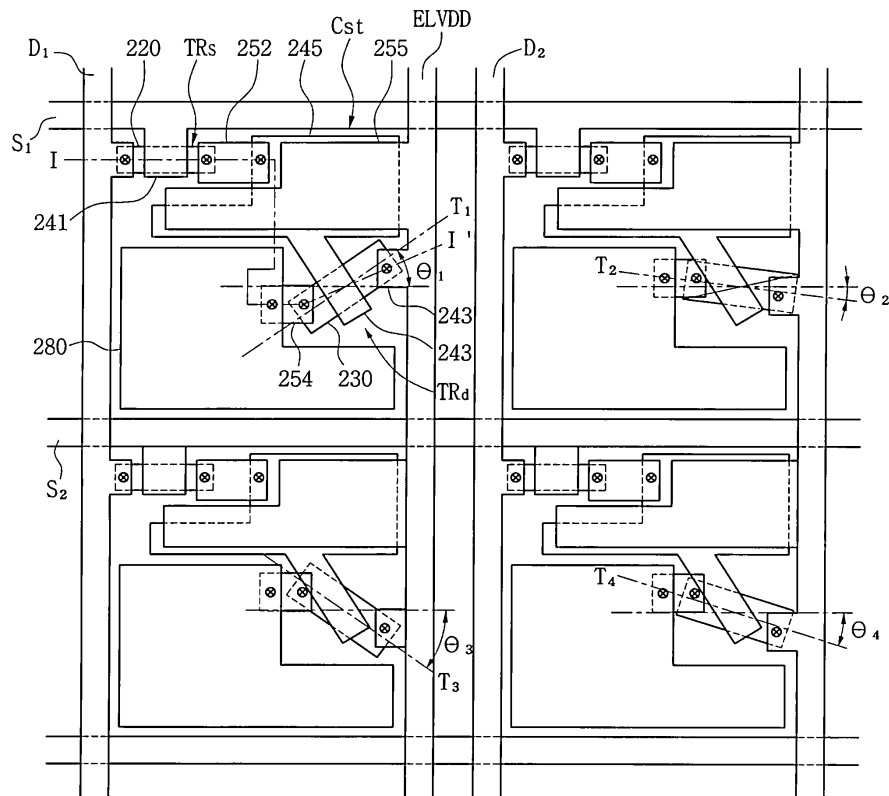
[0047] T1 : 제 1 반도체층의 길이 방향 T2 : 제 2 반도체층의 길이 방향

도면

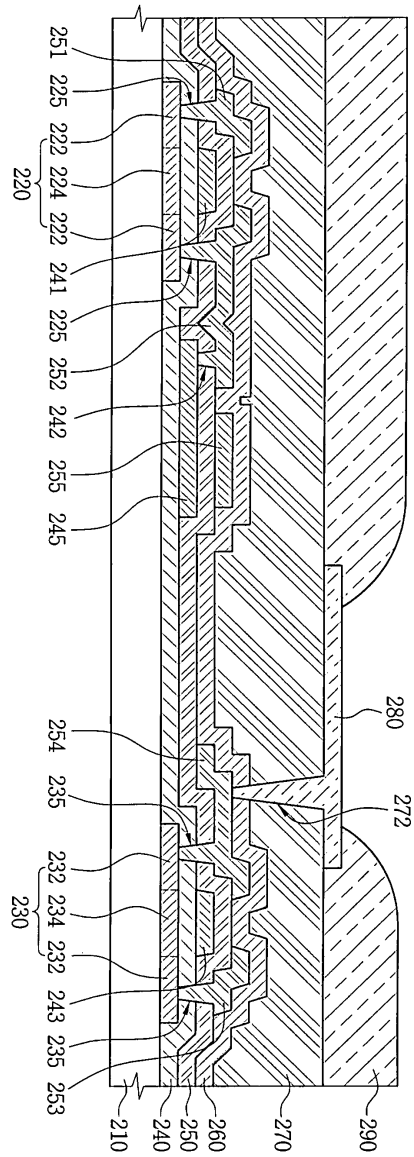
도면1



도면2



도면3



目的：提供一种有机电致发光显示装置及其制造方法，以减少有机电致发光显示装置上的条纹，因为相邻像素的驱动晶体管沿不同方向延伸。

组成：多条数据线与扫描线交叉。多个像素（100）位于扫描线和数据线的交叉点中。每个像素包括有机电致发光，开关晶体管（TR），驱动晶体管（TRd）和电容器。在开关晶体管中，栅电极连接到扫描线，并且一个侧电极连接到数据线。驱动晶体管连接在有机电致发光和电源电压供应线之间，并包括连接到开关晶体管的另一侧电极的栅电极。电容器连接在驱动晶体管的栅极和电源电压供应线之间。在沿扫描或数据线彼此相邻的像素中，驱动晶体管的半导体层沿不同方向延伸。COPYRIGHT KIPO 2011

