



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0071304  
(43) 공개일자 2008년08월04일

(51) Int. Cl.

G09G 3/30 (2006.01) G09G 3/32 (2006.01)  
G09G 3/20 (2006.01) H05B 33/12 (2006.01)

(21) 출원번호 10-2007-0009347

(22) 출원일자 2007년01월30일  
심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사  
서울 영등포구 여의도동 20번지

(72) 발명자

김철세  
대구 달서구 도원동 강산타운아파트 409동 205호

(74) 대리인  
특허법인로얄

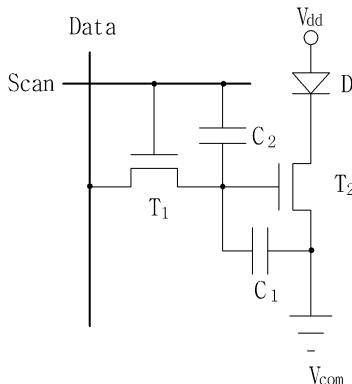
전체 청구항 수 : 총 9 항

(54) 유기전계발광소자와 이를 이용한 유기전계발광표시장치

### (57) 요 약

본 발명은, 제1전원 라인에 제1전극이 연결된 유기 발광다이오드; 스캔 라인에 게이트 전극이 연결되고, 데이터 라인에 제1전극이 연결된 제1트랜지스터; 제1트랜지스터의 제2전극에 게이트 전극이 연결되고 유기 발광다이오드의 제2전극에 제1전극이 연결된 제2트랜지스터; 제2트랜지스터의 게이트 전극과 제2전원 라인 사이에 연결된 제1커패시터; 및 스캔 라인과 제2트랜지스터의 게이트 전극 사이에 연결된 제2커패시터를 포함하는 유기전계발광소자를 제공한다.

대표도 - 도2



## 특허청구의 범위

### 청구항 1

제1전원 라인에 제1전극이 연결된 유기 발광다이오드;

스캔 라인에 게이트 전극이 연결되고, 데이터 라인에 제1전극이 연결된 제1트랜지스터;

상기 제1트랜지스터의 제2전극에 게이트 전극이 연결되고 상기 유기 발광다이오드의 제2전극에 제1전극이 연결된 제2트랜지스터;

상기 제2트랜지스터의 게이트 전극과 제2전원 라인 사이에 연결된 제1커패시터; 및

상기 스캔 라인과 상기 제2트랜지스터의 게이트 전극 사이에 연결된 제2커패시터를 포함하는 유기전계발광소자.

### 청구항 2

제1항에 있어서,

상기 제2트랜지스터의 게이트에 공급된 전압은,

상기 제2커패시터의 크기에 의해 조절되는 유기전계발광소자.

### 청구항 3

제1항에 있어서,

상기 제2트랜지스터의 게이트에 공급된 전압  $V_d$ 는  $V_{data} - \Delta V_d$  이고,

$\Delta V_d$ 는  $(V_{gh} - V_{gl}) \times (C_{gs\_s} + C_2) / (C_{gs\_s} + C_2 + C_1 + C_{ox\_d})$  이며,

상기  $V_{gh}$ 는 상기 제1트랜지스터의 턴 온 전압이고, 상기  $V_{gl}$ 은 상기 제1트랜지스터의 턴 오프 전압이며, 상기  $C_{gs\_s}$ 는 제1트랜지스터의 게이트 전극과 제2전극 사이의 기생 커패시턴스(capacitance)이며, 상기  $C_{ox\_d}$ 는 상기 제2트랜지스터의 게이트 전극과 채널 사이에 형성되는 커패시턴스이고, 상기  $C_1$  및  $C_2$ 는 제1 및 제2커패시터인 유기전계발광소자.

### 청구항 4

제1항에 있어서,

상기 제1 또는 제2커패시터 중 어느 하나 이상에는,

양의 데이터 또는 음의 데이터 중 어느 하나가 유기되는 유기전계발광소자.

### 청구항 5

제1전원 라인, 제2전원 라인, 데이터 라인 및 스캔 라인을 포함하는 신호 배선들에 연결된 유기 발광다이오드, 제1 및 제2트랜지스터 및 제1커패시터를 포함하는 서브 픽셀들이 매트릭스 형태로 다수 배치된 패널을 포함하는 유기전계발광표시장치에 있어서,

상기 서브 픽셀들 각각은 상기 스캔 라인과 상기 제2트랜지스터의 게이트 사이에 연결된 제2커패시터를 포함하는 유기전계발광표시장치.

### 청구항 6

제5항에 있어서,

상기 제2트랜지스터의 게이트에 공급된 전압은,

상기 제2커패시터의 크기에 의해 조절되는 유기전계발광표시장치.

### 청구항 7

제5항에 있어서,

상기 제2트랜지스터의 게이트에 공급된 전압  $V_d$ 는  $V_{data} - \Delta V_d$  이고,

$\Delta V_d$ 는  $(V_{gh} - V_{gl}) \times (C_{gs\_s} + C_2) / (C_{gs\_s} + C_2 + C_1 + C_{ox\_d})$  이며,

상기  $V_{gh}$ 는 상기 제1트랜지스터의 턴 온 전압이고, 상기  $V_{gl}$ 은 상기 제1트랜지스터의 턴 오프 전압이며, 상기  $C_{gs\_s}$ 는 제1트랜지스터의 게이트 전극과 제2전극 사이의 기생 커패시턴스(capacitance)이며, 상기  $C_{ox\_d}$ 는 상기 제2트랜지스터의 게이트 전극과 채널 사이에 형성되는 커패시턴스이고, 상기  $C_1$  및  $C_2$ 는 제1 및 제2커패시터인 유기전계발광표시장치.

## 청구항 8

제5항에 있어서,

상기 신호 배선들에 연결되어 구동신호를 공급하는 구동 드라이버를 포함하며, 상기 구동 드라이버는,

상기 제1 또는 제2커패시터 중 어느 하나 이상에 양의 데이터 또는 음의 데이터 중 어느 하나가 유기되도록 공급하는 유기전계발광표시장치.

## 청구항 9

제5항에 있어서,

상기 유기 발광다이오드는 상기 제1전원 라인에 제1전극 연결되고,

상기 제1트랜지스터는 상기 스캔 라인에 게이트 전극이 연결되고 상기 데이터 라인에 제1전극이 연결되며,

상기 제2트랜지스터는 상기 제1트랜지스터의 제2전극에 게이트 전극이 연결되고 상기 유기 발광다이오드의 제2전극에 제1전극이 연결되며,

상기 제1커패시터는 상기 제2트랜지스터의 게이트 전극과 상기 제2전원 라인 사이에 연결된 유기전계발광표시장치.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

<14>

본 발명은 유기전계발광소자와 이를 이용한 유기전계발광표시장치에 관한 것이다.

<15>

최근, 평판표시장치(FPD: Flat Panel Display)는 멀티미디어의 발달과 함께 그 중요성이 증대되고 있다. 이에 부응하여 액정 디스플레이(Liquid Crystal Display: LCD), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP), 전계방출표시장치(Field Emission Display: FED), 유기전계발광표시장치(Organic Light Emitting Device) 등과 같은 여러 가지의 평면형 디스플레이가 실용화되고 있다.

<16>

이들 중 유기전계발광표시장치에 사용되는 유기전계발광소자는 두 개의 전극 사이에 발광층이 형성된 자발광소자로서, 행렬 형태로 배열된  $N \times M$ 개의 유기발광다이오드(OLED)들을 전압 구동(Voltage Programming) 혹은 전류 구동(Current Programming)하여 영상을 표현할 수 있다.

<17>

도 1은 일반적인 종래 유기전계발광소자의 서브 픽셀 회로 구성도이다.

<18>

도 1을 참조하면, 종래 유기전계발광소자의 서브 픽셀 구조는 스캔 라인(Scan)에 스캔신호가 공급되면, 스위칭 트랜지스터(T1) 턴온되어 데이터 라인(Data)으로 공급된 데이터신호가 스위칭 트랜지스터(T1)를 통해 커패시터(C)에 저장된다.

<19>

이와 동시에 구동 트랜지스터(T2)가 턴 온되어 전원전압(Vdd)을 통해 공급된 전압에 의해 전류가 구동 트랜지스

터(T2) 및 유기 발광다이오드(D)에 흐르게 된다.

- <20> 이때, 구동 트랜지스터(T2)를 턴 온 시키기 위해서는 구동 트랜지스터(T2)의 문턱 전압( $V_{th}$ ) 이상의 값을 공급하여야 한다. 그러나 실제 문턱 전압( $V_{th}$ )은 패널 간, 패널 상에 위치하는 구동 트랜지스터 간 또는 기타 요건 등에 의해 저마다 변동 폭을 가지므로 패널마다 휘도가 다르게 나타나는 문제점이 있었다.
- <21> 그리고 아몰포스 실리콘(a-Si) 트랜지스터 기반 패널의 경우, 구동 트랜지스터(T2)의 게이트 전극에는 항상 양의 전압이 인가되므로 아몰포스 실리콘(a-Si) 트랜지스터 특성에 의해 패널이 켜져 있는 동안 문턱 전압이 양의 방향으로 이동하게 되어 시간 지남에 따라 휘도가 감소하는 문제점이 있었다.
- <22> 종래에는 이러한 문제점을 해결하는 방법의 하나로 구동시 프레임 시간을 나누어 일정 시간 동안 음의 게이트 전압을 구동 트랜지스터(T2)의 게이트 전극에 입력하는 방법이 제안되었다. 그러나 이와 같은 방법의 경우, 종래의 데이터 드라이버 IC(Integrated Circuit)를 새로 제작하여야 하는 어려움이 있었다.

### 발명이 이루고자 하는 기술적 과제

- <23> 상술한 문제점을 해결하기 위한 본 발명의 목적은, 문턱 전압 이동에 따른 휘도의 변동 또는 불 균일 문제를 해결하고 표시품질을 높일 수 있는 유기전계발광소자를 제공하는 것이다.

### 발명의 구성 및 작용

- <24> 상술한 과제를 해결하기 위한 본 발명은, 제1전원 라인에 제1전극이 연결된 유기 발광다이오드; 스캔 라인에 게이트 전극이 연결되고, 데이터 라인에 제1전극이 연결된 제1트랜지스터; 제1트랜지스터의 제2전극에 게이트 전극이 연결되고 유기 발광다이오드의 제2전극에 제1전극이 연결된 제2트랜지스터; 제2트랜지스터의 게이트 전극과 제2전원 라인 사이에 연결된 제1커패시터; 및 스캔 라인과 제2트랜지스터의 게이트 전극 사이에 연결된 제2커패시터를 포함하는 유기전계발광소자를 제공한다.
- <25> 제2트랜지스터의 게이트에 공급된 전압은, 제2커패시터의 크기에 의해 조절될 수 있다.
- <26> 제2트랜지스터의 게이트에 공급된 전압  $V_d$ 는  $V_{data} - \Delta V_d$  이고,  $\Delta V_d$ 는  $(V_{gh} - V_{gl}) \times (C_{gs\_s} + C_2) / (C_{gs\_s} + C_2 + C_1 + C_{ox\_d})$  이며,  $V_{gh}$ 는 제1트랜지스터의 턴 온 전압이고,  $V_{gl}$ 은 제1트랜지스터의 턴 오프 전압이며,  $C_{gs\_s}$ 는 제1트랜지스터의 게이트 전극과 제2전극 사이의 기생 커패시턴스(capacitance)이며,  $C_{ox\_d}$ 는 제2트랜지스터의 게이트 전극과 채널 사이에 형성되는 커패시턴스이고,  $C_1$  및  $C_2$ 는 제1 및 제2커패시터일 수 있다.
- <27> 제1 또는 제2커패시터 중 어느 하나 이상에는, 양의 데이터 또는 음의 데이터 중 어느 하나가 유기될 수 있다.
- <28> 한편, 또 다른 측면에서 본 발명은, 제1전원 라인, 제2전원 라인, 데이터 라인 및 스캔 라인을 포함하는 신호 배선들에 연결된 유기 발광다이오드, 제1 및 제2트랜지스터 및 제1커패시터를 포함하는 서브 픽셀들이 매트릭스 형태로 다수 배치된 패널을 포함하는 유기전계발광표시장치에 있어서, 서브 픽셀들 각각은 스캔 라인과 제2트랜지스터의 게이트 사이에 연결된 제2커패시터를 포함하는 유기전계발광표시장치를 제공한다.
- <29> 제2트랜지스터의 게이트에 공급된 전압은, 제2커패시터의 크기에 의해 조절될 수 있다.
- <30> 제2트랜지스터의 게이트에 공급된 전압  $V_d$ 는  $V_{data} - \Delta V_d$  이고,  $\Delta V_d$ 는  $(V_{gh} - V_{gl}) \times (C_{gs\_s} + C_2) / (C_{gs\_s} + C_2 + C_1 + C_{ox\_d})$  이며,  $V_{gh}$ 는 제1트랜지스터의 턴 온 전압이고,  $V_{gl}$ 은 제1트랜지스터의 턴 오프 전압이며,  $C_{gs\_s}$ 는 제1트랜지스터의 게이트 전극과 제2전극 사이의 기생 커패시턴스(capacitance)이며,  $C_{ox\_d}$ 는 제2트랜지스터의 게이트 전극과 채널 사이에 형성되는 커패시턴스이고,  $C_1$  및  $C_2$ 는 제1 및 제2커패시터일 수 있다.
- <31> 신호 배선들에 연결되어 구동신호를 공급하는 구동 드라이버를 포함하며, 구동 드라이버는, 제1 또는 제2커패시터 중 어느 하나 이상에 양의 데이터 또는 음의 데이터 중 어느 하나가 유기되도록 공급할 수 있다.
- <32> 유기 발광다이오드는 제1전원 라인에 제1전극 연결되고, 제1트랜지스터는 스캔 라인에 게이트 전극이 연결되고 데이터 라인에 제1전극이 연결되며, 제2트랜지스터는 제1트랜지스터의 제2전극에 게이트 전극이 연결되고 유기 발광다이오드의 제2전극에 제1전극이 연결되며, 제1커패시터는 제2트랜지스터의 게이트 전극과 제2전원 라인 사이에 연결될 수 있다.
- <33> 이하, 첨부된 도면을 참조하여 본 발명의 실시예에 따른 유기전계발광소를 상세히 설명한다.

- <34> 도 2는 본 발명의 일 실시예에 따른 유기전계발광소자의 서브 팩셀 회로 구성도이다.
- <35> 도 2를 참조하면, 유기전계발광소자의 서브 팩셀 회로는, 제1전원 라인(Vdd)에 제1전극이 연결된 유기 발광다이오드(D)를 포함한다.
- <36> 또한, 스캔 라인(Scan)에 게이트 전극이 연결되고, 데이터 라인(Data)에 제1전극이 연결된 제1트랜지스터(T1)를 포함한다.
- <37> 또한, 제1트랜지스터(T1)의 제2전극에 게이트 전극이 연결되고 유기 발광다이오드(D)의 제2전극에 제1전극이 연결된 제2트랜지스터(T2)를 포함한다.
- <38> 또한, 제2트랜지스터(T2)의 게이트 전극과 제2전원 라인(Vcom) 사이에 연결된 제1커패시터(C1)를 포함한다.
- <39> 또한, 스캔 라인(Scan)과 제2트랜지스터(T2)의 게이트 전극 사이에 연결된 제2커패시터(C2)를 포함한다.
- <40> 이와 같은 구성에 의하면, 제2트랜지스터(T2)의 문턱 전압(Vth)은, 제1 또는 제2커패시터(C1, C2)에 유기된 전압에 의해 결정될 수 있다.
- <41> 그리고 제2트랜지스터(T2)의 게이트에 공급된 전압은, 제2커패시터(C)의 크기에 의해 조절될 수 있다.
- <42> 앞서 설명한 서브 팩셀 회로는 스캔 라인(Scan)에 스캔신호가 공급되면, 제1트랜지스터(T1)가 턴 온 되고, 이때, 데이터 라인(Data)을 통해 공급된 데이터신호는 제1트랜지스터(T1)를 통해 제2트랜지스터(T2)의 게이트 전극과 제2전원 라인(Vcom) 사이에 연결된 제1커패시터(C1)에 데이터 전압(Vdata)으로 유기된다. 또한, 데이터 전압(Vdata)은 스캔 라인(Scan)과 제2트랜지스터(T2)의 게이트 전극 사이에 연결된 제2커패시터(C2)에도 유기된다.
- <43> 데이터 신호를 입력한 후, 제1트랜지스터(T1)가 턴 오프 되면 유기된 데이터 전압(Vdata)은 제1 및 제2커패시터(C1, C2)에 유지된다. 제1트랜지스터(T1)가 턴 오프 되는 순간, 제1트랜지스터(T1)의 게이트 전극과 제2전극 사이의 기생 커패시턴스(C<sub>gs\_s</sub>) 및 제2커패시터(C2)에 의해서 각 커패시터(C1, C2)에 충전된 데이터 전압(Vdata)은  $\Delta V_d$  만큼 내려간다.
- <44> 이를 이하, 도 3 및 수학식을 참조하여 더욱 자세히 설명한다.
- <45> 도 3은 데이터 전압의 파형도이다.

### 수학식 1

- <46> 
$$\Delta V_d = (V_{gh} - V_{gl}) \times (C_{gs_s} + C_2) / (C_{gs_s} + C_2 + C_1 + C_{ox_d})$$
- <47> 여기서,  $V_{gh}$ 는 제1트랜지스터(T1)의 턴 온 전압이고,  $V_{gl}$ 은 제1트랜지스터(T1)의 턴 오프 전압이며,  $C_{gs_s}$ 는 제1트랜지스터(T1)의 게이트 전극과 제2전극 사이의 기생 커패시턴스(capacitance)이며,  $C_{ox_d}$ 는 제2트랜지스터(T2)의 게이트 전극과 채널 사이에 형성되는 커패시턴스이고,  $C_1$  및  $C_2$ 는 제1 및 제2커패시터(C1, C2)이다.
- <48> 수학식 1에 따르면, 실제 제2트랜지스터(T2)의 게이트 전극에 공급되는 전압  $V_d$ 는,  $V_d = V_{data} - \Delta V_d$  이 된다.
- <49> 따라서, 앞서 설명한 바와 같이 제2커패시터(C2)의 크기를 조절하게 되면, 제2트랜지스터(T2)에 공급되는 전압의 조절이 가능하게 된다.
- <50> 이상과 같은 서브 팩셀 회로는 종래 데이터 드라이버 IC(Integrated Circuit)를 사용하면서 즉, 종래 데이터 드라이버 IC의 설계 변경 없이 제1 및 제2커패시터(C1, C2)에 양의 데이터 또는 음의 데이터 중 어느 하나를 유기할 수 있게 된다.
- <51> 이는 유기전계발광소자를 프레임 구동을 할 때, 프레임 중간에 음의 데이터 값을 공급하여 트랜지스터(예: 제2트랜지스터, 다른 말로는 구동 트랜지스터)가 바이어스 스트레스(bias stress)에 의한 문턱 전압(Vth) 이동 문제를 해결할 수 있게 된다.
- <52> 또한, 제1트랜지스터(T1)의 턴 온 또는 턴 오프 전압을 조절하여 이의  $V_d$ (제2트랜지스터)를 조절할 수 있으므로, 패널 간, 패널 상에 위치하는 구동 트랜지스터 간 또는 기타 요건 등에 의해 문턱 전압(Vth)이 변동하여 휘도 변동 또는 불 균일 현상이 일어나는 문제를 해결할 수 있게 된다.

- <53> 도 4는 다른 실시예에 따른 유기전계발광소자의 서브 팩셀 회로 구성도이다.
- <54> 도 4를 참조하면, 앞서 설명한 서브 팩셀 회로 구성과 동일하나 이를 회로의 의연결관계가 상이하다. 이는 구동 방법과 패널 상에 위치하는 트랜지스터의 형성 방법에 따라 회로의 연결관계가 달라지기 때문이다.
- <55> 따라서, 본 발명의 일 실시예에 따른 유기전계발광소자의 서브 팩셀 회로 구성은 앞서 설명된 것에 한정되지 않고, 도 4와 같이 설계될 수 있음은 물론이다.
- <56> 그리고 서브 팩셀 회로 구성시 제2트랜지스터(T2)의 문턱 전압(Vth)의 변동에 의해 보상 트랜지스터를 더 구비 할 수도 있다.
- <57> 다만, 본 발명은 이들을 포함하는 구성 요건을 갖추고 있되, 제1 및 제2커패시터(C1, C2)가 데이터 전압(Vdat a)을 저장할 때, 이들이 상호 보완적인 관계가 있음을 참조하여 본 발명을 해석하는 것이 바람직할 것이다.
- <58> 이하, 첨부된 도면을 참조하여 본 발명의 일 실시예에 따른 유기전계발광소자를 이용한 유기전계발광표시장치를 상세히 설명한다.
- <59> 도 5는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 개략적인 평면도이다. 단, 서브 팩셀 회로 구성은 도 2를 참조하여 설명한다.
- <60> 도 2 및 5를 함께 참조하면, 본 발명의 일 실시예에 따른 유기전계발광표시장치의 패널(110)은 매트릭스 형태로 다수 배치된 서브 팩셀들(120)을 포함한다.
- <61> 그리고 패널(110)에 배치된 서브 팩셀들(120)에 연결된 신호 배선들(140)을 포함한다.
- <62> 그리고 신호 배선들(140)에 연결되어 구동신호를 공급하는 구동 드라이버(150)를 포함한다.
- <63> 앞서 설명한 서브 팩셀들(120)은 제1전원 라인(Vdd)에 제1전극이 연결된 유기 발광다이오드(D)를 포함한다. 또한, 스캔 라인(Scan)에 게이트 전극이 연결되고, 데이터 라인(Data)에 제1전극이 연결된 제1트랜지스터(T1)를 포함한다. 또한, 제1트랜지스터(T1)의 제2전극에 게이트 전극이 연결되고 유기 발광다이오드(D)의 제2전극에 제1전극이 연결된 제2트랜지스터(T2)를 포함한다. 또한, 제2트랜지스터(T2)의 게이트 전극과 제2전원 라인(Vcom) 사이에 연결된 제1커패시터(C1)를 포함한다. 또한, 스캔 라인(Scan)과 제2트랜지스터(T2)의 게이트 전극 사이에 연결된 제2커패시터(C2)를 포함한다. 하는 서브 팩셀들(120)이 패널(110)을 포함한다.
- <64> 도 5에 도시된 유기전계발광표시장치의 서브 팩셀들(120)은 각각 적색 서브 팩셀들(120R), 녹색 서브 팩셀들(120G) 및 청색 서브 팩셀들(120B)으로 구분되어 각기 적색, 녹색 및 청색을 발광한다. 그러나 서브 팩셀들(120)은 이 밖에 다른 색을 발광할 수도 있음을 물론이다.
- <65> 그리고 제1전원 라인(Vdd)은 제2전원 라인(Vcom)보다 높은 전압 레벨로 전원을 형성하고, 제2전원 라인(Vcom)은 제1전원 라인(Vdd)보다 낮은 전압 레벨로 전원을 형성할 수 있다.
- <66> 덧붙여, 제1전원 라인(Vdd)은 서로 다른 색을 발광하는 서브 팩셀들(120)에 서로 다른 전원을 공급할 수 있도록 각각 배선할 수 있고, 제2전원 라인(Vcom)은 하나의 공통전극을 형성하도록 배선할 수 있으나 이에 한정되진 않는다.
- <67> 그리고 구동 드라이버(150)는 패널(110)의 어느 한쪽에 위치하는 것으로 설명하였지만 구동 드라이버(150)는 설계 방식에 따라, 패널(110)의 위치한 표시부(130)의 양쪽에 스캔 드라이버를 두고, 어느 한쪽에 데이터 드라이버를 위치시킬 수도 있으며, 이와는 다르게 외부에 위치할 수도 있음을 물론이다. 참고로, 도 5는 스캔 구동부와 데이터 구동부가 포함된 구동 드라이버(150)가 패널(110) 상에 위치한 것을 나타낸다.
- <68> 참고로, 표시부(130)는 일반적으로 발광 영역 또는 표시 영역 등으로 정의되고, 이외의 영역은 비 발광 영역 또는 비 표시 영역 등으로 정의된다.
- <69> 이와 같은 방식은 패널(110) 상에 위치한 구동 드라이버(150)에 구동신호와 전원을 공급하는 외부장치들을 연결하기 위하여 패널(110) 상에 패드부(155)를 형성하고, 플렉서블한 케이블(예: FPC) 등을 이용하여 이들을 전기적으로 연결하게 된다.
- <70> 이에 따라 패널(110) 상에 배치된 구동 드라이버(150)를 통해 공급된 구동신호 및 전원 등은 각 서브 팩셀들(120)에 공급됨으로써 패널(110)에 원하는 영상을 표현할 수 있게 된다.
- <71> 여기서, 패널(110)에 매트릭스 형태로 배치된 각 서브 팩셀들(120)에 포함된 제2트랜지스터(T2)의 게이트에 공

급된 전압은, 제2커패시터(C2)의 크기에 의해 조절될 수 있다.

<72> 여기서, 제2트랜지스터(T2)의 게이트에 공급된 전압  $V_d$ 는 앞서 설명한 수학식 1에 의해  $V_d = V_{data} - \Delta V_d$  이 된다.

<73> 참고로,  $\Delta V_d$ 는  $(V_{gh} - V_{gl}) \times (C_{gs\_s} + C_2) / (C_{gs\_s} + C_2 + C_1 + C_{ox\_d})$  이며,  $V_{gh}$ 는 제1트랜지스터(T1)의 턴 온 전압이고,  $V_{gl}$ 은 제1트랜지스터(T1)의 턴 오프 전압이며,  $C_{gs\_s}$ 는 제1트랜지스터(T1)의 게이트 전극과 제2전극 사이의 기생 커패시턴스(capacitance)이며,  $C_{ox\_d}$ 는 제2트랜지스터(T2)의 게이트 전극과 채널 사이에 형성되는 커패시턴스이고,  $C_1$  및  $C_2$ 는 제1 및 제2커패시터(C1, C2)이다.

<74> 이상과 같은 유기전계발광표시장치는 종래 데이터 드라이버 IC(Integrated Circuit)를 사용하면서 즉, 종래 데이터 드라이버 IC의 설계 변경 없이 제1 및 제2커패시터(C1, C2)에 양의 데이터 또는 음의 데이터 중 어느 하나를 유기할 수 있게 된다.

<75> 양의 데이터 또는 음의 데이터란 데이터 드라이버에서 생성된 신호를 이와 같이 공급한다는 것으로서, 양의 데이터는 실질적으로 공급되는 데이터 신호를 지칭할 수 있고, 음의 데이터는 실질적으로 공급되는 데이터 신호가 될 수도 있으나 일반적으로는 데이터가 포함되지 않는 블랙 데이터 신호를 지칭한다.

<76> 이상과 같은 설명에 따르면, 본 발명의 일 실시예에 따른 유기전계발광표시장치는 프레임 구동을 할 때, 프레임 중간에 음의 데이터 값을 공급하여 트랜지스터(예: 제2트랜지스터, 다른 말로는 구동 트랜지스터)가 바이어스 스트레스(bias stress)에 의한 문턱 전압(Vth) 이동 문제를 해결할 수 있게 된다.

<77> 또한, 제1트랜지스터(T1)의 턴 온 또는 턴 오프 전압을 조절하여 이의  $V_d$ (제2트랜지스터)를 조절할 수 있으므로, 패널 간, 패널 상에 위치하는 구동 트랜지스터 간 또는 기타 요건 등에 의해 문턱 전압(Vth)이 변동하여 휘도 변동 또는 불 균일 현상이 일어나는 문제를 해결할 수 있게 된다.

<78> 즉, 본 발명에 따른 유기전계발광표시장치는 문턱 전압 이동에 따른 휘도의 변동 또는 불 균일 문제를 해결하고 표시품질을 높일 수 있고, 다른 측면으로는 구동 트랜지스터의 수명을 향상시키는 효과가 있게 된다.

<79> 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

### 발명의 효과

<80> 상술한 바와 같이 본 발명은, 문턱 전압 이동에 따른 휘도의 변동 또는 불 균일 문제를 해결하고 표시품질을 높일 수 있는 유기전계발광소자를 제공하는 효과가 있다. 또한, 다른 측면으로는 구동 트랜지스터의 수명을 향상시키는 효과가 있다.

### 도면의 간단한 설명

<1> 도 1은 일반적인 종래 유기전계발광소자의 서브 팩셀 회로 구성도.

<2> 도 2는 본 발명의 일 실시예에 따른 유기전계발광소자의 서브 팩셀 회로 구성도.

<3> 도 3은 데이터 전압의 과정도.

<4> 도 4는 다른 실시예에 따른 유기전계발광소자의 서브 팩셀 회로 구성도.

<5> 도 5는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 개략적인 평면도.

<6> <도면의 주요 부분에 관한 부호의 설명>

T1: 제1트랜지스터

T2: 제2트랜지스터

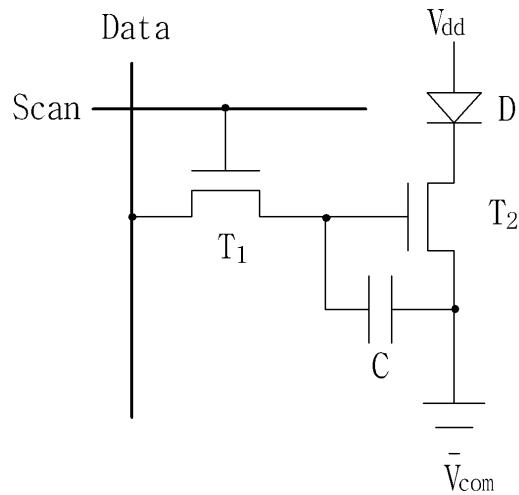
C1: 제1커패시터

C2: 제2커패시터

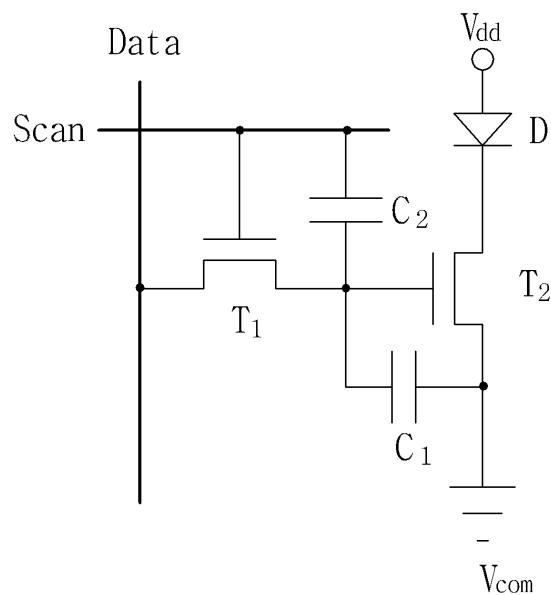
<9>	Data: 데이터 라인	Scan: 스캔 라인
<10>	Vdd: 제1전원 라인	Vcom: 제2전원 라인
<11>	D: 유키 발광다이오드	110: 패널
<12>	120: 서브 팩셀들	130: 표시부
<13>	140: 신호 배선들	150: 구동 드라이버

## 도면

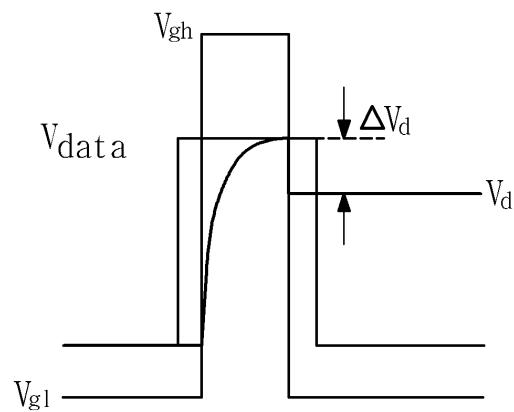
### 도면1



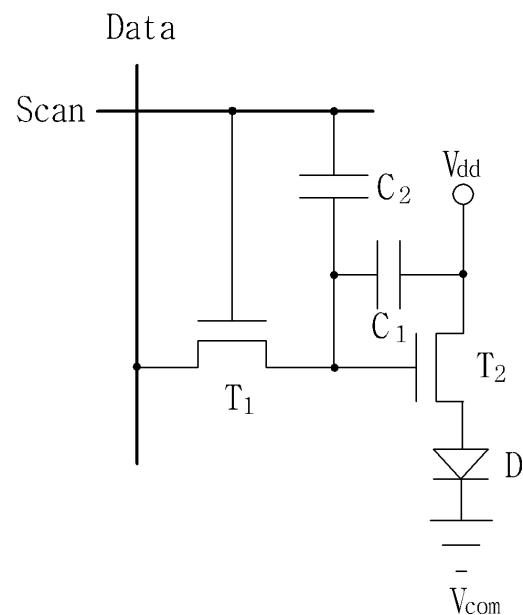
### 도면2



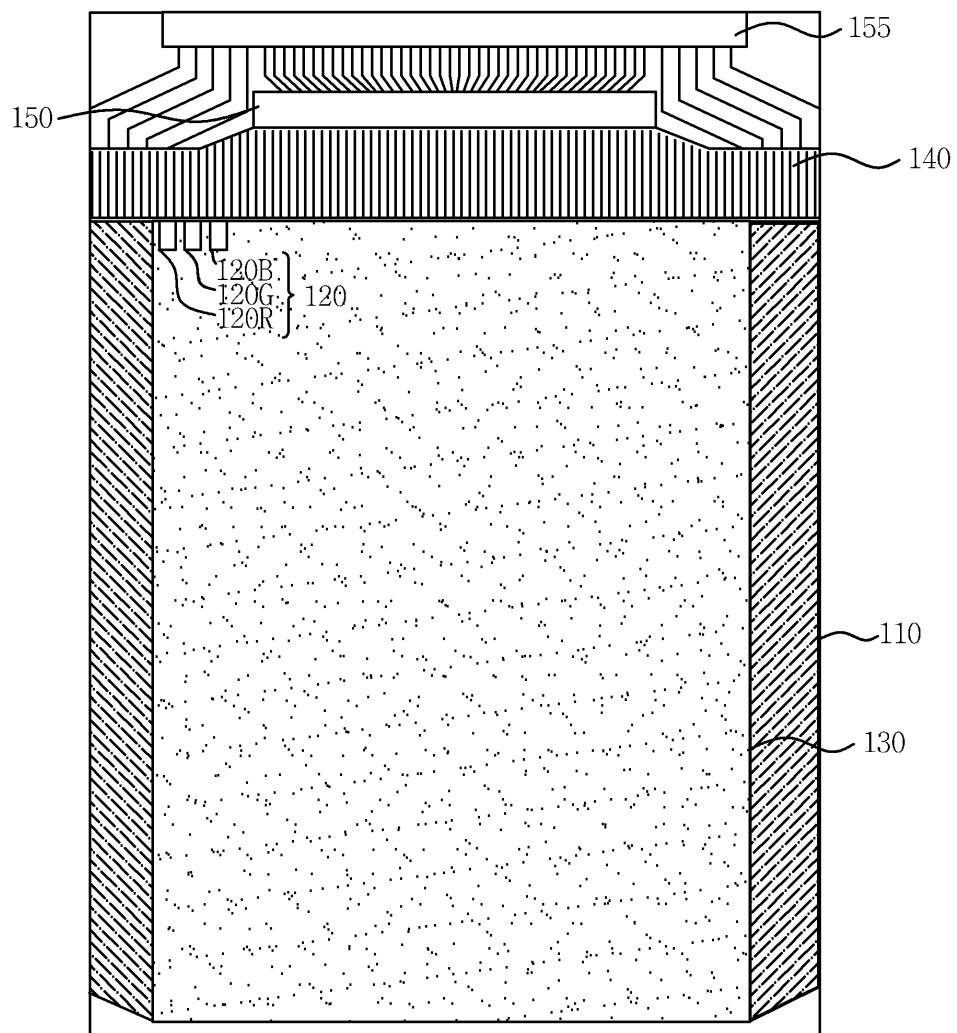
## 도면3



## 도면4



도면5



专利名称(译)	有机电致发光器件和使用其的有机电致发光显示器		
公开(公告)号	<a href="#">KR1020080071304A</a>	公开(公告)日	2008-08-04
申请号	KR1020070009347	申请日	2007-01-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM CHEOL SE		
发明人	KIM, CHEOL SE		
IPC分类号	G09G3/30 G09G3/32 G09G3/20 H05B33/12		
外部链接	<a href="#">Espacenet</a>		

## 摘要(译)

本发明提供一种有机电致发光器件，包括第二电容器，其中栅电极连接到有机发光二极管：扫描线，其中第一电极连接到第一电源线并且连接在第一电容器之间，其中栅电极连接到第一晶体管的第二电极：第一晶体管，其中第一电极连接到数据线并且连接在第二晶体管的栅电极和第二电源线之间：第二晶体管，其中第一电极连接到有机发光二极管的第二电极，第二晶体管的扫描线和栅电极。有机电致发光器件，阈值电压和亮度。

