



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0059723
(43) 공개일자 2008년07월01일

(51) Int. Cl.

H05B 33/26 (2006.01) H05B 33/02 (2006.01)

(21) 출원번호 10-2006-0133369

(22) 출원일자 2006년12월26일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

방희석

경기 평택시 장당동 우미이노스빌아파트 104동 302호

(74) 대리인

허용록

전체 청구항 수 : 총 25 항

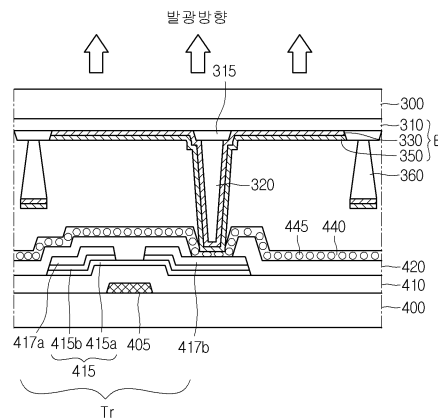
(54) 유기전계발광표시장치 및 그 제조 방법

(57) 요약

유기전계발광표시장치 및 그 제조방법이 개시된다.

본 발명의 유기전계발광표시장치는, 다수의 서브픽셀이 정의된 제1 기판; 제1 기판 상에 배치된 제1 전극; 제1 전극 상에 배치된 스페이서; 각 서브픽셀을 구획하기 위해 제1 전극 상에 배치되고 스페이서보다 낮은 높이를 갖는 격벽; 제1 전극 상에 배치된 유기발광층; 유기발광층 상에 배치된 제2 전극; 제1 기판에 대향 배치된 제2 기판; 제2 기판의 상기 각 서브픽셀에 배치된 다수의 박막트랜지스터; 각 박막트랜지스터 상에 배치되고 각 박막트랜지스터의 전극이 노출되도록 형성된 콘택홀을 갖는 보호막; 및 보호막 상에 배치되고 다수의 도전성 볼을 갖는 접합층을 포함한다. 접합층을 매개로 상기 제2 전극과 상기 각 박막트랜지스터의 전극이 전기적으로 연결된다.

대표도 - 도2



특허청구의 범위

청구항 1

다수의 서브픽셀이 정의된 제1 기판;
 상기 제1 기판 상에 배치된 제1 전극;
 상기 제1 전극 상에 배치된 스페이서;
 상기 각 서브픽셀을 구획하기 위해 상기 제1 전극 상에 배치되고 상기 스페이서보다 낮은 높이를 갖는 격벽;
 상기 제1 전극 상에 배치된 유기발광층;
 상기 유기발광층 상에 배치된 제 2 전극;
 상기 제1 기판에 대향 배치된 제2 기판;
 상기 제2 기판의 상기 각 서브픽셀에 배치된 다수의 박막트랜지스터;
 상기 각 박막트랜지스터 상에 배치되고 상기 각 박막트랜지스터의 전극이 노출되도록 형성된 컨택홀을 갖는 보호막; 및
 상기 보호막 상에 배치되고 다수의 도전성 볼을 갖는 접합층을 포함하고,
 상기 접합층을 매개로 상기 제2 전극과 상기 각 박막트랜지스터의 전극이 전기적으로 연결되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 2

제1항에 있어서, 상기 제2 전극은 상기 서브픽셀의 유기발광층 상에 배치되고, 상기 서브픽셀에 배치된 상기 유기발광층에 연장되어 상기 스페이서의 유기발광층 상에 배치되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 3

제1항에 있어서, 상기 접합층은 단단하게 경화된 것을 특징으로 하는 유기전계발광표시장치.

청구항 4

제1항에 있어서, 상기 스페이서 상에 배치된 상기 제2 전극은 상기 접합층의 내부에 배치되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 5

제1항에 있어서, 상기 스페이서 상에 배치된 상기 제2 전극과 상기 각 박막트랜지스터의 전극은 상기 접합층의 도전볼에 의해 전기적으로 연결되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 6

제1항에 있어서, 상기 접합층은 상기 보호막의 전 영역에 배치되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 7

제1항에 있어서, 상기 접합층은 상기 각 박막트랜지스터의 전극에 배치되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 8

다수의 서브픽셀이 정의된 제1 기판;
 상기 제1 기판 상에 배치된 제1 전극;
 상기 제1 전극 상에 배치된 스페이서;
 상기 각 서브픽셀을 구획하기 위해 상기 제1 전극 상에 배치되고 상기 스페이서보다 낮은 높이를 갖는 격벽;

상기 스페이서를 포함하는 상기 제1 전극 상에 배치된 유기발광층;

상기 유기발광층 상에 배치된 제 2 전극;

상기 제2 전극을 포함하는 상기 제1 기판 상에 배치되고 다수의 도전성 볼을 갖는 접합층;

상기 제1 기판에 대향 배치된 제2 기판;

상기 제2 기판의 상기 각 서브픽셀에 배치된 다수의 박막트랜지스터; 및

상기 각 박막트랜지스터 상에 배치되고 상기 각 박막트랜지스터의 전극이 노출되도록 형성된 콘택홀을 갖는 보호막을 포함하고,

상기 접합층을 매개로 상기 제2 전극과 상기 각 박막트랜지스터의 전극이 전기적으로 연결되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 9

제8항에 있어서, 상기 제2 전극은 상기 서브픽셀의 유기발광층 상에 배치되고, 상기 서브픽셀에 배치된 상기 유기발광층에 연장되어 상기 스페이서의 유기발광층 상에 배치되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 10

제8항에 있어서, 상기 접합층은 단단하게 경화된 것을 특징으로 하는 유기전계발광표시장치.

청구항 11

제8항에 있어서, 상기 스페이서 상에 배치된 상기 제2 전극과 상기 각 박막트랜지스터의 전극은 상기 접합층의 도전볼에 의해 전기적으로 연결되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 12

제8항에 있어서, 상기 스페이서 상에 배치된 상기 제2 전극과 상기 각 박막트랜지스터의 전극은 상기 접합층의 도전볼에 의해 전기적으로 연결되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 13

제8항에 있어서, 상기 접합층은 상기 각 서브픽셀의 상기 제2 전극 상에 배치되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 14

제8항에 있어서, 상기 접합층은 상기 스페이서 상에 배치된 상기 제2 전극 상에 배치되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 15

제1 기판 상의 각 서브픽셀에 박막트랜지스터를 형성하는 단계;

상기 각 박막트랜지스터의 전극이 노출되도록 패터닝하여 콘택홀을 갖는 보호막을 형성하는 단계;

상기 보호막 상에 다수의 도전볼을 포함하는 접합층을 형성하는 단계;

상기 유기발광다이오드소자와 스페이서를 갖는 제2 기판을 제공하는 단계;

상기 제1 및 제2 기판을 합착하는 단계; 및

상기 접합층을 열경화 처리하는 단계를 포함하는 유기전계발광표시장치의 제조 방법.

청구항 16

제15항에 있어서, 상기 열경화처리는 상기 제1 기판의 배면을 대상으로 수행되는 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

청구항 17

제15항에 있어서, 상기 열경화처리에 의해 상기 스페이서 상에 형성된 전극은 상기 접합층 내부에 고정되는 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

청구항 18

제15항에 있어서, 상기 접합층은 실리콘 계열 물질 및 아크릴 계열 물질 중 어느 하나로 이루어지는 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

청구항 19

제18항에 있어서, 상기 어느 하나의 물질은 열가소성 물질인 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

청구항 20

제1 기관의 각 서브픽셀에 제1 전극, 유기발광층 및 제2 전극을 포함하는 유기발광다이오드소자를 형성하는 단계;

상기 제1 기관의 각 서브픽셀에 스페이서를 형성하는 단계-상기 스페이서 상에 상기 제2 전극이 형성됨-;

상기 제2 전극 상에 다수의 도전볼을 포함하는 접합층을 형성하는 단계;

상기 각 서브픽셀에 배치된 박막트랜지스터를 갖는 제2 기관을 제공하는 단계;

상기 제1 및 제2 기관을 합착하는 단계; 및

상기 접합층을 열경화 처리하는 단계를 포함하는 유기전계발광표시장치의 제조 방법.

청구항 21

제20항에 있어서, 상기 열경화처리는 상기 제1 기관의 배면을 대상으로 수행되는 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

청구항 22

제20항에 있어서, 상기 열경화처리에 의해 상기 스페이서 상에 형성된 상기 제2 전극은 상기 접합층의 내부에 고정되는 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

청구항 23

제20항에 있어서, 상기 열경화처리에 의해 상기 박막트랜지스터의 전극은 상기 접합층에 고정되는 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

청구항 24

제20항에 있어서, 상기 접합층은 실리콘 계열 물질 및 아크릴 계열 물질 중 어느 하나로 이루어지는 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

청구항 25

제24항에 있어서, 상기 어느 하나의 물질은 열가소성 물질인 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <13> 본 발명은 유기전계발광표시장치에 관한 것으로, 특히 듀얼 패널 타입의 유기전계발광표시장치 및 그 제조방법에 관한 것이다.
- <14> 유기전계발광표시장치는 전자(electron)와 정공(hole)에 의해 전자-정공 쌍이 생성되거나 캐리어들(carrier)이 하이 에너지 상태로 여기된 후 다시 안정화 상태인 바닥상태로 천이될 때 발생하는 광을 이용하는 표시장치이다.
- <15> 유기전계발광표시장치는 스스로 광을 발생시키는 자체발광형이다.
- <16> 따라서, 유기전계발광표시장치는 액정 표시 장치와 같이 백라이트 유닛이 필요하지 않으므로 경량 박형이 가능한 장점을 가진다. 또한, 유기전계발광표시장치는 저전압 구동, 높은 발광 효율, 넓은 시야각 및 빠른 응답속도 등의 장점을 가진다. 이에 따라 유기전계발광표시장치는 고화질의 동영상 구현하는데 유리하다.
- <17> 특히, 유기전계발광표시장치는 다수의 포토리소그래피(photolithography) 공정을 이용하는 액정표시장치나 PDP(Plasma Display Panel)와 달리 증착 및 봉지(encapsulation) 공정에 의해 제조될 수 있으므로, 공정이 매우 단순할 뿐만 아니라 공정 비용도 저렴하다.
- <18> 또한, 유기전계발광표시장치는 각 서브픽셀마다 스위칭 소자인 박막트랜지스터를 가지는 액티브 매트릭스방식으로 구동하는 경우, 낮은 전류를 이용하여 고휘도를 얻을 수 있으므로, 저소비 전력, 고정세, 대형화가 가능한 장점을 가진다.
- <19> 종래의 유기전계발광표시장치는 하부발광방식의 구조를 가진다. 즉, 어레이기판에 어레이소자와 유기발광다이오드소자가 형성되고, 실런트를 이용하여 하부기판과 봉지기판이 합착된다.
- <20> 유기전계발광표시장치는 서브픽셀이 액티브매트릭스 형태로 배열된다. 각 서브픽셀에는 상기 어레이소자와 상기 어레이소자에 연결된 상기 유기발광다이오드소자가 형성된다. 상기 어레이소자는 박막트랜지스터를 의미할 수 있다.
- <21> 상기 유기발광다이오드소자는 제1 전극, 유기발광층 및 제2 전극으로 이루어진다.
- <22> 상기 제2 전극은 상기 박막트랜지스터의 드레인전극에 연결된다. 상기 제1 전극은 모든 서브픽셀에 대해 공통으로 형성된 공통전극이다.
- <23> 상기 제1 및 제2 전극은 상기 유기발광층으로부터 광이 방출되도록 하기 위해 전계가 인가된다.
- <24> 종래의 유기전계발광표시장치는, 어레이기판에 어레이소자 및 유기발광다이오드소자가 함께 형성되기 때문에, 상기 어레이소자의 수율과 유기발광다이오드소자의 수율의 곱이 유기전계발광표시장치의 전체 수율을 결정한다. 통상적으로 어레이소자를 제조한 후, 유기발광다이오드소자를 제한다. 따라서, 어레이소자가 불량 없이 제조되더라도 후 공정인 유기발광다이오드소자의 제조 공정 중에 불량이 발생하는 경우, 유기전계발광표시장치는 최종적으로 불량으로 판정되게 된다. 그러므로, 유기전계발광표시장치의 전체 수율은 유기발광다이오드의 수율에 전적으로 의존하게 된다.
- <25> 이로 인하여, 양품의 어레이소자를 제조하는데 소요되었던 제반 경비 및 재료비 손실이 초래되고, 생산수율이 저하되는 문제점이 있다.
- <26> 또한, 하부발광방식의 유기전계발광표시장치는 봉지공정에 의한 안정성 및 공정의 자유도가 높은 반면 개구율의 제한이 있어 고해상도 제품에 적용하기 어려운 문제점이 있다.
- <27> 이와 달리, 상부발광방식의 유기전계발광표시장치는 박막트랜지스터 설계가 용이하고 개구율 향상이 가능하기 때문에 제품수명 측면에서 유리하다.
- <28> 그러나, 종래의 상부발광방식의 유기전계발광표시장치에서는 유기발광층 상부에 통상적으로 음극이 위치함에 따라 재료선택폭이 좁기 때문에 투과도가 제한되어 광효율이 저하되는 등의 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <29> 본 발명은 어레이소자의 수율과 유기발광다이오드소자의 수율이 서로 영향을 받지 않도록 하여, 불량률 및 생산관리 효율을 증대시킬 수 있는 유기전계발광표시장치 및 그 제조 방법을 제공함에 그 목적이 있다.

- <30> 본 발명의 다른 목적은 광효율이 향상된 상부발광방식을 갖는 유기전계발광표시장치 및 그 제조 방법을 제공함에 있다.
- <31> 본 발명의 또 다른 목적은 수분이나 가스와 같은 오염원에 강한 유기전계발광표시장치 및 그 제조 방법을 제공함에 있다.
- <32> 본 발명은 또 다른 목적은 하판과 상판 간에 전기적 단선을 방지할 수 있는 유기전계발광표시장치 및 그 제조 방법을 제공함에 있다.

발명의 구성 및 작용

- <33> 상기 목적을 달성하기 위한 본 발명의 제1 실시예에 따르면, 유기전계발광표시장치는, 다수의 서브픽셀이 정의된 제1 기판; 상기 제1 기판 상에 배치된 제1 전극; 상기 제1 전극 상에 배치된 스페이서; 상기 각 서브픽셀을 구획하기 위해 상기 제1 전극 상에 배치되고 상기 스페이서보다 낮은 높이를 갖는 격벽; 상기 제1 전극 상에 배치된 유기발광층; 상기 유기발광층 상에 배치된 제 2 전극; 상기 제1 기판에 대향 배치된 제2 기판; 상기 제2 기판의 상기 각 서브픽셀에 배치된 다수의 박막트랜지스터; 상기 각 박막트랜지스터 상에 배치되고 상기 각 박막트랜지스터의 전극이 노출되도록 형성된 콘택홀을 갖는 보호막; 및 상기 보호막 상에 배치되고 다수의 도전성 볼을 갖는 접합층을 포함하고, 상기 접합층을 매개로 상기 제2 전극과 상기 각 박막트랜지스터의 전극이 전기적으로 연결된다.
- <34> 본 발명의 제2 실시예에 따르면, 유기전계발광표시장치는, 다수의 서브픽셀이 정의된 제1 기판; 상기 제1 기판 상에 배치된 제1 전극; 상기 제1 전극 상에 배치된 스페이서; 상기 각 서브픽셀을 구획하기 위해 상기 제1 전극 상에 배치되고 상기 스페이서보다 낮은 높이를 갖는 격벽; 상기 스페이서를 포함하는 상기 제1 전극 상에 배치된 유기발광층; 상기 유기발광층 상에 배치된 제 2 전극; 상기 제2 전극을 포함하는 상기 제1 기판 상에 배치되고 다수의 도전성 볼을 갖는 접합층; 상기 제1 기판에 대향 배치된 제2 기판; 상기 제2 기판의 상기 각 서브픽셀에 배치된 다수의 박막트랜지스터; 및 상기 각 박막트랜지스터 상에 배치되고 상기 각 박막트랜지스터의 전극이 노출되도록 형성된 콘택홀을 갖는 보호막을 포함하고, 상기 접합층을 매개로 상기 제2 전극과 상기 각 박막트랜지스터의 전극이 전기적으로 연결된다.
- <35> 본 발명의 제3 실시예에 따르면, 유기전계발광표시장치의 제조 방법은, 제1 기판 상의 각 서브픽셀에 박막트랜지스터를 형성하는 단계; 상기 각 박막트랜지스터의 전극이 노출되도록 패터닝하여 콘택홀을 갖는 보호막을 형성하는 단계; 상기 보호막 상에 다수의 도전볼을 포함하는 접합층을 형성하는 단계; 상기 유기발광다이오드소자와 스페이서를 갖는 제2 기판을 제공하는 단계; 상기 제1 및 제2 기판을 합착하는 단계; 및 상기 접합층을 열경화 처리하는 단계를 포함한다.
- <36> 본 발명의 제4 실시예에 따르면, 유기전계발광표시장치의 제조 방법은, 제1 기판의 각 서브픽셀에 제1 전극, 유기발광층 및 제2 전극을 포함하는 유기발광다이오드소자를 형성하는 단계; 상기 제1 기판의 각 서브픽셀에 스페이서를 형성하는 단계-상기 스페이서 상에 상기 제2 전극이 형성됨-; 상기 제2 전극 상에 다수의 도전볼을 포함하는 접합층을 형성하는 단계; 상기 각 서브픽셀에 배치된 박막트랜지스터를 갖는 제2 기판을 제공하는 단계; 상기 제1 및 제2 기판을 합착하는 단계; 및 상기 접합층을 열경화 처리하는 단계를 포함한다.
- <37> 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 상세히 설명한다.
- <38> 도 1은 본 발명의 제1 실시예에 따른 유기전계발광표시장치를 도시한 단면도이다.
- <39> 도 1을 참조하면, 제1 및 제2 기판(100, 200)이 서로 이격되어 대향 배치된다. 상기 제1 기판(100)의 내측에는 유기발광다이오드소자(E)가 배치되어 있다. 상기 제2 기판(200)의 내측에는 박막트랜지스터(Tr)가 배치되어 있다.
- <40> 스페이서(120)가 상기 제1 및 제2 기판(100, 200) 사이에 게재된다. 본 발명에서는 상기 스페이서(120)가 상기 제1 기판(100) 상에 형성되고 있지만, 상기 스페이서(120)는 상기 제2 기판(200)에 형성될 수도 있다.
- <41> 상기 스페이서(120)에 의해 상기 유기발광다이오드소자(E)와 상기 박막트랜지스터(Tr)가 전기적으로 연결되어 있다. 아울러, 상기 스페이서(120)에 의해 상기 제1 및 제2 기판(100, 200) 사이의 간격이 유지된다.
- <42> 따라서, 상기 제2 기판(200)의 상기 박막트랜지스터(Tr)가 구동될 때, 상기 박막트랜지스터(Tr)를 경유하여 소정의 데이터 전압이 상기 유기발광다이오드소자(E)로 공급된다. 상기 전압에 의해 상기 유기발광다이오드소자(E)가 발광되어 상기 제2 기판(200)의 배면을 통해 외부로 광이 방출되어 화상이 표시되게 된다.

- <43> 상기 제 1 기판은 다수의 서브픽셀로 정의되어 있다. 상기 제1 기판(100) 상에 제1 전극(110)이 배치된다.
- <44> 상기 제1 전극(110) 상에 다수의 버퍼층(115)이 배치된다. 상기 버퍼층(115)은 상기 각 서브픽셀을 구획하는 외곽 영역에 배치될 수 있다.
- <45> 상기 버퍼층(115) 상에 스페이서(120)와 격벽(160)이 배치된다. 상기 격벽(160)은 상기 스페이서(120)와 이격되도록 배치된다.
- <46> 상기 스페이서(120)는 상기 격벽(160)보다 적어도 높은 높이를 가질 수 있다. 이는 상기 스페이서(120)만이 상기 제2 기판(200)의 유기발광다이오드소자(E)와 전기적으로 접촉되도록 하기 위함이다. 만일 상기 스페이서(120)가 상기 격벽(160)보다 더 낮은 높이를 가지게 되면, 상기 스페이서(120)는 상기 격벽(160)으로 인해 상기 제2 기판(200)의 유기발광다이오드와 전기적으로 접촉되지 못하게 되어 구동 불량이 발생하게 된다.
- <47> 상기 스페이서(120)를 포함하여 상기 제1 전극(110) 상에 유기발광층(130)이 배치된다. 상기 유기발광층(130)은 그 상부면 또는 하부면에 정공 주입층, 정공 수송층, 정공 억제층, 전자 수송층 및 전자 주입층으로 이루어진 군에서 선택된 적어도 하나 이상의 유기층을 포함할 수 있다.
- <48> 상기 유기발광층(130) 상에 제2 전극(150)이 배치된다. 상기 제2 전극(150)은 상기 유기발광층(130)과 마찬가지로 상기 격벽(160)에 각 서브픽셀 단위로 분리되어 있다.
- <49> 도시하지 않았지만, 상기 제2 기판(200) 상에는 다수의 게이트배선과 데이터배선이 교차하여 배치되고, 상기 게이트배선과 상기 데이터배선의 교차에 의해 각 서브픽셀이 정의된다. 상기 각 서브픽셀에는 상기 게이트배선과 상기 데이터배선과 전기적으로 연결된 박막트랜지스터(Tr)가 배치된다.
- <50> 상기 제2 기판(200) 상에 상기 게이트배선과 일체로 형성된 게이트전극(205)이 배치된다. 상기 게이트전극(205)을 포함하는 기판 상에 게이트절연막(210)이 배치된다.
- <51> 상기 게이트전극(205)에 대응된 상기 게이트절연막(210) 상에 반도체층(215)이 배치된다. 상기 반도체층(215)은 비정질실리콘으로 이루어진 액티브층(215a)과 불순물이 도핑된 비정질실리콘으로 이루어진 오믹컨택층(215b)을 포함할 수 있다. 상기 오믹컨택층(215b)은 중앙 영역을 중심으로 이격되어 배치될 수 있다.
- <52> 상기 반도체층(215) 상에 소오스/드레인전극(217a, 217b)이 이격되어 배치된다. 상기 소오스전극(217a)과 상기 드레인전극(217b) 중 어느 하나의 전극은 상기 데이터배선과 일체로 형성될 수 있다.
- <53> 따라서, 상기 제2 기판(200) 상에 게이트전극(205), 반도체층(215) 및 소오스/드레인전극(217a, 217b)을 포함하는 박막트랜지스터(Tr)가 배치된다.
- <54> 상기 박막트랜지스터(Tr)를 포함하는 상기 제2 기판(200) 상에 상기 드레인전극(217b)을 노출시킨 콘택홀을 갖는 보호막(220)이 배치된다.
- <55> 도시되지 않았지만, 상기 콘택홀을 통해 상기 드레인전극(217b)과 전기적으로 연결된 연결전극이 상기 보호막(220) 상에 배치될 수 있다.
- <56> 이에 따라, 상기 제2 기판(200)의 박막트랜지스터(Tr)의 드레인전극(217b)은 상기 제1 기판(100)의 스페이서(120) 상에 배치된 제2 전극(150)과 전기적으로 연결될 수 있다.
- <57> 따라서, 본 발명의 제1 실시예는 제1 기판(100)에 유기발광다이오드소자(E)를 배치하고, 제2 기판(200)에 박막트랜지스터(Tr)를 배치하여, 유기발광다이오드소자(E)와 박막트랜지스터(Tr)를 전기적으로 연결하여 줌으로써, 어레이소자의 수율과 유기발광다이오드소자(E)의 수율이 서로 영향을 받지 않도록 하여, 불량률 및 생산관리 효율을 증대시킬 수 있다.
- <58> 본 발명의 제1 실시예에서, 스페이서(120)와 유기발광층(130)은 집적 접촉되어 있다. 상기 스페이서(120)는 유기 절연 물질로 이루어지는데, 이러한 유기 절연 물질은 많은 수분이나 가스와 같은 오염원을 함유하고 있다. 따라서, 스페이서(120)에서 많은 수분이나 가스와 같은 오염원이 방출되게 된다. 상기 방출된 수분이나 가스와 같은 오염원은 제2 전극(150)에 의해 차단되어 상기 제1 및 제2 기판(100, 200) 사이의 공간으로 방출되지 못하게 되고, 대신 버퍼층(115)과 유기발광층(130)의 계면을 따라 각 서브픽셀에 배치된 유기발광층(130)으로 침투하게 된다. 그러므로, 상기 유기발광층(130)은 수분이나 가스와 같은 오염원에 의해 유기발광층(130)을 이루는 물질의 화학 구조식이 변하게 되어 발광 특성이 저하될 수 있다. 예컨대, 수분이나 가스와 같은 오염원에 의해 서브픽셀의 일부 영역이 발광하지 않는 흑점이 발생할 수 있다. 더군다나, 상기 흑점은 시간이 지남에 따라 증

가하게 되어, 결국에는 한 서브픽셀은 광이 나오지 않게 되어 불량을 일으키거나 수명을 단축시킬 수 있다.

- <59> 본 발명의 제1 실시예와 같이, 제1 및 제2 기관은 실린트를 이용하여 합착된다. 실린트는 고분자 물질로 이루어지기 때문에, 시간이 경과함에 따라 외부의 수분이 실린트를 통해 상기 제1 및 제2 기관에 의해 형성된 공간으로 침투하게 된다. 이러한 경우, 외부에서 침투된 수분에 의해 상기 제1 및 제2 기관에 의해 형성된 공간의 압력이 증가하게 된다.
- <60> 상기 제1 기관의 스페이서 상에 형성된 제2 전극은 제2 기관 상에 형성된 박막트랜지스터의 드레인전극에 물리적으로 접촉되어 있다.
- <61> 이러한 압력 상승에 의해 제1 기관은 상부 방향으로 밀리고, 제2 기관은 하부 방향으로 밀린다. 따라서, 제1 기관의 스페이서 상에 형성된 제2 전극과 제2 기관 상에 형성된 박막트랜지스터의 드레인전극이 전기적으로 단선되게 된다.
- <62> 이와 같이, 스페이서 상에 형성된 제2 전극과 박막트랜지스터의 드레인전극이 단선됨에 따라, 박막트랜지스터의 구동 신호가 제2 전극으로 공급되지 못하게 되어, 서브픽셀이 동작되지 않게 된다. 따라서, 동작이 되지 않은 서브픽셀은 비발광 영역으로 되어 암점을 유발시키게 된다.
- <63> 도 2는 본 발명의 제2 실시예에 따른 유기전계발광표시장치를 도시한 단면도이다.
- <64> 도 2를 참조하면, 제1 및 제2 기관(300, 400)이 서로 이격되어 대향 배치된다. 상기 제1 기관(300)의 내측에는 유기발광다이오드소자(E)가 배치되어 있다. 상기 제2 기관(400)의 내측에는 박막트랜지스터(Tr)가 배치되어 있다.
- <65> 스페이서(320)가 상기 제1 및 제2 기관(300, 400) 사이에 게재된다. 본 발명에서는 상기 스페이서(320)가 상기 제1 기관(300) 상에 형성되고 있지만, 상기 스페이서(320)는 상기 제2 기관(400)에 형성될 수도 있다.
- <66> 상기 스페이서(320)에 의해 상기 유기발광다이오드소자(E)와 상기 박막트랜지스터(Tr)가 전기적으로 연결되어 있다. 아울러, 상기 스페이서(320)에 의해 상기 제1 및 제2 기관(300, 400) 사이의 간격이 유지된다.
- <67> 따라서, 상기 제2 기관(400)의 상기 박막트랜지스터(Tr)가 구동될 때, 상기 박막트랜지스터(Tr)를 경유하여 소정의 데이터 전압이 상기 유기발광다이오드소자(E)로 공급된다. 상기 전압에 의해 상기 유기발광다이오드소자(E)가 발광되어 상기 제2 기관(400)의 배면을 통해 외부로 광이 방출되어 화상이 표시되게 된다.
- <68> 상기 제1 기관은 다수의 서브픽셀로 정의되어 있다. 상기 제1 기관은 투명한 물질로 이루어진 유리 기관 또는 플라스틱 기관일 수 있으나 이에 한정하지 않는다.
- <69> 상기 제1 기관(300) 상에 제1 전극(310)이 배치된다. 상기 제1 전극(310)은 투명한 도전 물질로 이루어질 수 있다. 상기 제1 전극(310)은 예컨대 인듐틴옥사이드(ITO) 또는 인듐징크옥사이드(IZO)로 이루어질 수 있다.
- <70> 따라서, 상기 제1 기관(300)의 배면으로 광이 방출되는 경우, 상기 제1 전극(310)이 투명한 도전 물질로 이루어짐에 따라, 광 손실을 최소화하여 광 효율을 향상시킬 수 있다.
- <71> 도시되지 않았지만, 상기 제1 전극(310)과 전기적으로 연결된 보조전극이 배치될 수 있다. 상기 보조전극은 저항값이 비교적 높은 상기 제1 전극(310)을 보상하여 상기 제1 전극(310)의 저항값을 줄이는 역할을 한다. 상기 보조전극은 저항이 비교적 낮은 금속 물질로 이루어지는데, 예컨대 알루미늄(Al), 알루미늄네오듐(AlNd), 몰리브덴(Mo) 및 크롬(Cr)으로 이루어진 군에서 선택된 적어도 하나의 물질로 이루어질 수 있다.
- <72> 상기 제1 전극(310) 상에 다수의 버퍼층(315)이 배치된다. 상기 버퍼층(315)은 상기 각 서브픽셀을 구획하는 외곽 영역에 배치될 수 있다.
- <73> 상기 버퍼층(315) 상에 스페이서(320)와 격벽(360)이 배치된다.
- <74> 본 발명에서는 상기 버퍼층(315)과 상기 스페이서(320)가 별개로 형성되지만, 공정수를 줄이기 위해 상기 버퍼층(315)과 상기 스페이서(320)는 동일 물질을 이용하여 일체로 형성될 수 있다. 상기 버퍼층(315)과 상기 스페이서(320)는 유기 절연 물질로 이루어질 수 있다. 상기 유기 절연 물질로는 감광성 수지가 사용될 수 있는데, 예컨대 아크릴계 수지, 벤조사이클로부텐(BCB), 폴리이미드 및 노블락계 수지 중에서 선택된 적어도 하나일 수 있다.
- <75> 상기 격벽(360)은 상기 스페이서(320)와 이격되도록 배치된다. 상기 격벽(360)은 역테이퍼 형상을 가질 수 있다. 이는 공정시에 후술할 유기발광층(330)과 제2 전극(350)이 상기 격벽(360)의 측면에 형성되지 못하게 하

여, 상기 유기발광층(330)과 상기 제2 전극(350)이 각 서브픽셀 내에만 형성되도록 하기 위함이다. 상기 격벽(360)은 감광성 수지로 이루어질 수 있다.

- <76> 상기 격벽(360)의 상부와 상기 버퍼층(315)의 상부는 동일한 폭을 가질 수 있다. 이에 따라, 상기 유기발광층(330)과 상기 제2 전극(350)이 상기 버퍼층(315)의 상부에는 형성되지 않고 측면에만 형성될 수 있다. 물론 상기 유기발광층(330)과 상기 제2 전극(350)은 상기 버퍼층(315)의 측면을 포함하여 상기 각 서브픽셀에 형성될 수 있다.
- <77> 상기 스페이서(320)는 상기 격벽(360)보다 적어도 높은 높이를 가질 수 있다. 이는 상기 스페이서(320)만이 상기 제2 기관(400)의 유기발광다이오드소자(E)와 전기적으로 접촉되도록 하기 위함이다. 만일 상기 스페이서(320)가 상기 격벽(360)보다 더 낮은 높이를 가지게 되면, 상기 스페이서(320)는 상기 격벽(360)으로 인해 상기 제2 기관(400)의 유기발광다이오드와 전기적으로 접촉되지 못하게 되어 구동 불량이 발생하게 된다.
- <78> 상기 스페이서(320)를 포함하여 상기 제1 전극(310) 상에 유기발광층(330)이 배치된다. 아울러, 상기 유기발광층(330)은 상기 격벽(360) 상에도 배치될 수 있다. 이는 제조 공정에 의해 부득이 형성되는 것으로서, 제조 공정에 변화를 주어 상기 격벽(360) 상에 유기발광층(330)을 형성하지 않을 수도 있다.
- <79> 상기 유기발광층(330)은 그 상부면 또는 하부면에 정공 주입층, 정공 수송층, 정공 억제층, 전자 수송층 및 전자 주입층으로 이루어진 군에서 선택된 적어도 하나 이상의 유기층을 더 포함할 수 있다.
- <80> 상기 제1 전극(310), 상기 유기발광층(330) 및 상기 제2 전극(350)의 각 경계면에서의 에너지 레벨을 조절하여, 상기 유기발광층(330)으로 전자와 정공을 효율적으로 주입시킬 수 있다. 이에 따라, 상기 유기전계발광표시장치의 발광 효율이 향상될 수 있다.
- <81> 상기 유기발광층(330) 상에 제2 전극(350)이 배치된다. 상기 제2 전극(350)은 상기 유기발광층(330)과 마찬가지로 상기 격벽(360)에 각 서브픽셀 단위로 분리되어 있다. 상기 제2 전극(350)은 반사성을 갖는 도전 물질로 이루어지는데, 예컨대 마그네슘(Mg), 칼슘(Ca), 알루미늄(Al), 은(Ag), 바륨(Ba) 및 이들의 합금 중에서 선택된 적어도 하나의 물질로 이루어질 수 있다.
- <82> 한편, 상기 제2 기관(400) 상에는 게이트배선(미도시)과 게이트전극이 배치된다. 상기 게이트전극은 상기 게이트배선과 일체로 형성될 수 있다.
- <83> 상기 게이트전극(405)을 포함하는 상기 제2 기관(400) 상에 게이트절연층(410)이 형성되어 있다.
- <84> 상기 게이트절연층(410) 상에 액티브층(415a)과 오믹컨택층(415b)을 포함하는 반도체층(415)이 배치되어 있다. 상기 반도체층(415) 상에 이격되어 소오스/드레인전극(417a, 417b)과 데이터배선(미도시)이 배치되어 있다. 상기 데이터배선은 상기 소오스전극(417a)과 일체로 형성될 수 있다. 상기 데이터배선은 상기 게이트배선과 교차 배열될 수 있다.
- <85> 따라서, 상기 게이트전극(405), 반도체층(415) 및 소오스/드레인전극(417a, 417b)에 의해 박막트랜지스터(Tr)가 형성될 수 있다.
- <86> 상기 게이트배선과 상기 데이터배선의 교차에 의해 각 서브픽셀이 정의된다. 상기 각 서브픽셀에는 상기 게이트배선과 상기 데이터배선과 전기적으로 연결된 박막트랜지스터(Tr)가 배치된다.
- <87> 상기 박막트랜지스터를 포함하는 상기 제2 기관(400) 상에 상기 드레인전극(417b)이 노출되도록 형성된 컨택홀을 갖는 보호막(420)이 형성된다.
- <88> 상기 보호막(420) 상에 다수의 도전성 불(445)을 갖는 접합층(440)이 배치된다. 상기 접합층(440)은 상기 보호막(420)의 전 영역에 배치되거나 상기 컨택홀을 통해 상기 드레인전극(417b) 상에 배치될 수 있다.
- <89> 상기 제1 기관의 스페이서(320) 상에 형성된 제2 전극(350)은 상기 접합층(440)에 의해 단단하게 접합되게 된다. 바람직하게 상기 스페이서(320) 상에 형성된 제2 전극(350)은 상기 접합층(440)의 내부에 배치될 수 있다. 따라서, 상기 접합층(440)이 보다 많이 상기 스페이서(320) 상에 형성된 제2 전극(350)에 접하게 되므로, 상기 스페이서(320)가 보다 단단하게 상기 접합층(440)에 접합되게 된다.
- <90> 상기 드레인전극(417b)은 상기 접합층(440)의 도전성 불(445)을 통해 상기 스페이서(320) 상에 형성된 제2 전극(350)과 전기적으로 연결되어 있다.
- <91> 따라서, 본 발명의 제2 실시예는 외부의 수분이 상기 제1 및 제2 기관(300, 400) 내부로 침투하여 내압이 증가

하더라도, 상기 접합층(440)에 의해 상기 스페이서(320) 상에 형성된 제2 전극(350)이 이탈되지 않게 되어, 상기 드레인전극(417b)과 상기 제2 전극(350) 간의 전기적 단선이 발생하지 않게 된다. 그러므로, 드레인전극과 제2 전극 간의 전기적 단선에 의한 서브픽셀의 구동 불능에 따른 암점의 발생을 방지할 수 있다.

<92> 도 3a 내지 도 3e는 본 발명의 제3 실시예에 따른 유기전계발광표시장치의 제조 공정을 도시한 단면도이다.

<93> 도 3a에 도시한 바와 같이, 제2 기판(400) 상에 제1 금속 물질을 증착하고 패터닝하여 게이트전극(405)과 게이트배선(미도시)을 형성한다.

<94> 이어서, 상기 게이트전극을 포함하는 제2 기판(400) 상에 게이트절연막(410)을 형성한다.

<95> 도 3b에 도시한 바와 같이, 게이트절연막(410) 상에 비정질 실리콘, 불순물을 함유한 비정질 실리콘 및 제2 금속 물질을 순차적으로 증착하고, 회절 노광 공정 및 현상 공정을 수행하여 서로 상이한 높이를 갖는 포토레지스트 패턴(미도시)을 형성하고, 포토레지스트 패턴을 마스크로 하여 패터닝하여 액티브층(415a)과 오믹컨택층(415b)을 포함하는 반도체층(415), 소오스/드레인전극(417a, 417b) 및 데이터배선(미도시)을 형성한다.

<96> 따라서, 상기 게이트전극(405), 반도체층(415) 및 소오스/드레인전극(417a, 417b)으로 구성되는 박막트랜지스터(Tr)가 형성될 수 있다.

<97> 도 3c에 도시한 바와 같이, 박막트랜지스터(Tr)를 포함하는 제2 기판(400) 상에 유기 물질을 증착하고 상기 드레인전극(417b)이 노출되도록 패터닝하여 컨택홀(418)을 갖는 보호막(420)을 형성한다.

<98> 도 3d에 도시한 바와 같이, 상기 보호막(420) 상에 다수의 도전성 볼(445)을 포함하는 실런트 물질을 도포하여 접합층(440)을 형성한다. 상기 실런트 물질은 실리콘 계열 물질이나 아크릴 계열 물질 중 열에 의해 경화될 수 있는 열가소성 물질일 수 있다.

<99> 상기 접합층(440)은 상기 드레인전극(417b)을 포함하는 상기 보호막(420)의 전 영역에 형성될 수 있다. 또는, 상기 접합층(440)은 패터닝되어 상기 드레인전극(417b) 상에만 형성될 수도 있다.

<100> 이와 같은 공정을 통해 박막트랜지스터(Tr)와 접합층(440)을 갖는 제2 기판(400)이 제조될 수 있다.

<101> 한편, 제1 기판(300)이 제공된다. 도 2에 도시한 바와 같이, 상기 제1 기판(300)에는 유기발광다이오드소자(E)와 스페이서(320)가 형성될 수 있다. 상기 스페이서(320) 상에는 제2 전극(350)이 형성될 수 있다.

<102> 상기 제1 및 제2 기판(300, 400)을 합착한다. 상기 제1 및 제2 기판(300, 400)의 합착에는 실런트 물질이 이용될 수 있다.

<103> 상기 제1 및 제2 기판(300, 400)의 합착에 의해, 제1 기판(300)의 상기 스페이서(320) 상에 형성된 제2 전극(350)이 상기 제2 기판(400)의 박막트랜지스터(Tr)의 드레인전극(417b) 상의 접합층(440)의 내부에 배치되게 된다.

<104> 이후, 상기 접합층(440)을 갖는 제2 기판(400)의 배면을 대상으로 열경화 공정을 수행하여, 상기 접합층(440)을 열 경화시킨다. 열경화를 하지 않는 경우, 상기 스페이서(320) 상에 형성된 제2 전극(350)이 고정되지 않은 채 상기 접합층(440) 내부에 배치되게 되므로, 외부의 수분에 의해 제1 및 제2 기판(300, 400)의 내부 공간의 내압이 증가하게 되는 경우, 상기 스페이서(320) 상에 형성된 제2 전극(350)이 상기 접합층(440)의 내부로부터 이탈되게 될 수 있다.

<105> 따라서, 상기 접합층(440)은 열경화에 의해 단단해지게 되고, 이에 따라 상기 스페이서(320) 상에 형성된 제2 전극(350)이 상기 접합층(440)의 내부에 단단히 고정되게 된다. 그러므로, 외부의 수분에 의해 상기 제1 및 제2 기판(300, 400)의 내부 공간의 내압이 증가하더라도, 상기 스페이서(320) 상에 형성된 제2 전극(350)이 상기 접합층(440)으로부터 절대로 이탈하지 않게 될 수 있다.

<106> 결국, 상기 스페이서(320) 상에 형성된 제2 전극(350)은 상기 접합층(440)의 도전성 볼(445)에 전기적으로 연결되어 있고, 마찬가지로 상기 드레인전극(417b)도 상기 접합층(440)의 도전성 볼(445)에 전기적으로 연결되어 있다. 이에 따라, 상기 도전성 볼(445)을 매개로 하여 상기 스페이서(320) 상에 형성된 제2 전극(350)과 상기 드레인전극(417b)이 전기적으로 연결되게 되므로, 해당 서브픽셀을 안정적으로 구동할 수 있다.

<107> 도 4는 본 발명의 제4 실시예에 따른 유기전계발광표시장치를 도시한 단면도이다.

<108> 도 4를 참조하면, 제1 및 제2 기판(500, 600)이 서로 이격되어 대향 배치된다. 상기 제1 기판(500)의 내측에는 유기발광다이오드소자(E)가 배치되어 있다. 상기 제2 기판(600)의 내측에는 박막트랜지스터(Tr)가 배치되어 있

다.

- <109> 스페이서(520)가 상기 제1 및 제2 기관(500, 600) 사이에 게재된다. 본 발명에서는 상기 스페이서(520)가 상기 제1 기관(500) 상에 형성되고 있지만, 상기 스페이서(520)는 상기 제2 기관(600)에 형성될 수도 있다.
- <110> 상기 스페이서(520)에 의해 상기 유기발광다이오드소자(E)와 상기 박막트랜지스터(Tr)가 전기적으로 연결되어 있다. 아울러, 상기 스페이서(520)에 의해 상기 제1 및 제2 기관(500, 600) 사이의 간격이 유지된다.
- <111> 따라서, 상기 제2 기관(600)의 상기 박막트랜지스터(Tr)가 구동될 때, 상기 박막트랜지스터(Tr)를 경유하여 소정의 데이터 전압이 상기 유기발광다이오드소자(E)로 공급된다. 상기 전압에 의해 상기 유기발광다이오드소자(E)가 발광되어 상기 제2 기관(600)의 배면을 통해 외부로 광이 방출되어 화상이 표시되게 된다.
- <112> 상기 제 1 기관은 다수의 서브픽셀로 정의되어 있다. 상기 제 1 기관은 투명한 물질로 이루어진 유리 기관 또는 플라스틱 기관일 수 있으나 이에 한정하지 않는다.
- <113> 상기 제1 기관(500) 상에 제1 전극(510)이 배치된다. 상기 제1 전극(510)은 투명한 도전 물질로 이루어질 수 있다. 상기 제1 전극(510)은 예컨대 인듐틴옥사이드(ITO) 또는 인듐징크옥사이드(IZO)로 이루어질 수 있다.
- <114> 따라서, 상기 제1 기관(500)의 배면으로 광이 방출되는 경우, 상기 제1 전극(510)이 투명한 도전 물질로 이루어짐에 따라, 광 손실을 최소화하여 광 효율을 향상시킬 수 있다.
- <115> 도시되지 않았지만, 상기 제1 전극(510)과 전기적으로 연결된 보조전극이 배치될 수 있다. 상기 보조전극은 저항값이 비교적 높은 상기 제1 전극(510)을 보상하여 상기 제1 전극(510)의 저항값을 줄이는 역할을 한다. 상기 보조전극은 저항이 비교적 낮은 금속 물질로 이루어지는데, 예컨대 알루미늄(Al), 알루미늄네오듐(AlNd), 몰리브덴(Mo) 및 크롬(Cr)으로 이루어진 군에서 선택된 적어도 하나의 물질로 이루어질 수 있다.
- <116> 상기 제1 전극(510) 상에 다수의 버퍼층(515)이 배치된다. 상기 버퍼층(515)은 상기 각 서브픽셀을 구획하는 외곽 영역에 배치될 수 있다.
- <117> 상기 버퍼층(515) 상에 스페이서(520)와 격벽(560)이 배치된다.
- <118> 본 발명에서는 상기 버퍼층(515)과 상기 스페이서(520)가 별개로 형성되지만, 공정수를 줄이기 위해 상기 버퍼층(515)과 상기 스페이서(520)는 동일 물질을 이용하여 일체로 형성될 수 있다. 상기 버퍼층(515)과 상기 스페이서(520)는 유기 절연 물질로 이루어질 수 있다. 상기 유기 절연 물질로는 감광성 수지가 사용될 수 있는데, 예컨대 아크릴계 수지, 벤조사이클로부텐(BCB), 폴리이미드 및 노블락계 수지 중에서 선택된 적어도 하나일 수 있다.
- <119> 상기 격벽(560)은 상기 스페이서(520)와 이격되도록 배치된다. 상기 격벽(560)은 역테이퍼 형상을 가질 수 있다. 이는 공정시에 후술할 유기발광층(530)과 제2 전극(550)이 상기 격벽(560)의 측면에 형성되지 못하게 하여, 상기 유기발광층(530)과 상기 제2 전극(550)이 각 서브픽셀 내에만 형성되도록 하기 위함이다. 상기 격벽(560)은 감광성 수지로 이루어질 수 있다.
- <120> 상기 격벽(560)의 상부와 상기 버퍼층(515)의 상부는 동일한 폭을 가질 수 있다. 이에 따라, 상기 유기발광층(530)과 상기 제2 전극(550)이 상기 버퍼층(515)의 상부에는 형성되지 않고 측면에만 형성될 수 있다. 물론 상기 유기발광층(530)과 상기 제2 전극(550)은 상기 버퍼층(515)의 측면을 포함하여 상기 각 서브픽셀에 형성될 수 있다.
- <121> 상기 스페이서(520)는 상기 격벽(560)보다 적어도 높은 높이를 가질 수 있다. 이는 상기 스페이서(520)만이 상기 제2 기관(600)의 유기발광다이오드소자(E)와 전기적으로 접촉되도록 하기 위함이다. 만일 상기 스페이서(520)가 상기 격벽(560)보다 더 낮은 높이를 가지게 되면, 상기 스페이서(520)는 상기 격벽(560)으로 인해 상기 제2 기관(600)의 유기발광다이오드와 전기적으로 접촉되지 못하게 되어 구동 불량이 발생하게 된다.
- <122> 상기 스페이서(520)를 포함하여 상기 제1 전극(510) 상에 유기발광층(530)이 배치된다. 아울러, 상기 유기발광층(530)은 상기 격벽(560) 상에도 배치될 수 있다. 이는 제조 공정에 의해 부득이 형성되는 것으로서, 제조 공정에 변화를 주어 상기 격벽(560) 상에 유기발광층(530)을 형성하지 않을 수도 있다.
- <123> 상기 유기발광층(530)은 그 상부면 또는 하부면에 정공 주입층, 정공 수송층, 정공 억제층, 전자 수송층 및 전자 주입층으로 이루어진 군에서 선택된 적어도 하나 이상의 유기층을 더 포함할 수 있다.
- <124> 상기 제1 전극(510), 상기 유기발광층(530) 및 상기 제2 전극(550)의 각 경계면에서의 에너지 레벨을 조절하여,

상기 유기발광층(530)으로 전자와 정공을 효율적으로 주입시킬 수 있다. 이에 따라, 상기 유기전계발광표시장치의 발광 효율이 향상될 수 있다.

- <125> 상기 유기발광층(530) 상에 제2 전극(550)이 배치된다. 상기 제2 전극(550)은 상기 유기발광층(530)과 마찬가지로 상기 격벽(560)에 각 서브픽셀 단위로 분리되어 있다. 상기 제2 전극(550)은 반사성을 갖는 도전 물질로 이루어지는데, 예컨대 마그네슘(Mg), 칼슘(Ca), 알루미늄(Al), 은(Ag), 바륨(Ba) 및 이들의 합금 중에서 선택된 적어도 하나의 물질로 이루어질 수 있다.
- <126> 상기 제2 전극(550)을 포함하는 제1 기판(500) 상에 다수의 도전성 볼(585)을 갖는 접합층(580)이 배치된다. 상기 접합층(580)은 상기 제1 기판(500)의 전 영역에 배치되거나, 서브픽셀 영역에만 배치되거나, 또는 상기 스페이서(520)의 하부 면 상에만 배치될 수 있다.
- <127> 따라서, 상기 스페이서(520)의 하부 면 상에 배치된 접합층(580)이 대응되는 제2 기판(600)의 드레인전극(617b)에 단단하게 접합되게 될 수 있다. 이를 위해 상기 접합층(580)은 열경화 처리될 수 있다. 이에 따라, 상기 스페이서(520) 상에 형성된 제2 전극(550)은 상기 접합층(580)의 내부에 배치되어 단단하게 고정될 수 있다. 이와 같이 열경화 처리에 의해 상기 접합층(580)이 상기 제2 기판(600)의 드레인전극(617b)에 단단하게 고정되게 됨으로써, 외부의 수분이 상기 제1 및 제2 기판(500, 600)의 내부 공간으로 침투하여 내압이 상승되더라도 상기 접합층(580)이 상기 드레인전극(618b)으로부터 이탈되지 않게 된다. 이에 따라, 제2 기판(600)의 박막트랜지스터(Tr)의 드레인전극(617b)으로 인가된 구동 신호가 상기 접합층(580)의 도전성 볼(585)을 경유하여 상기 스페이서(520) 상에 형성된 제2 전극(550)으로 공급될 수 있으므로, 드레인전극과 제2 전극 간의 전기적 단선에 의한 서브픽셀의 구동 불능에 따른 암점의 발생을 방지할 수 있다.
- <128> 한편, 상기 제2 기판(600) 상에는 게이트배선(미도시)과 게이트전극이 배치된다. 상기 게이트전극은 상기 게이트배선과 일체로 형성될 수 있다.
- <129> 상기 게이트전극(605)을 포함하는 상기 제2 기판(600) 상에 게이트절연층(610)이 형성되어 있다.
- <130> 상기 게이트절연층(610) 상에 액티브층(615a)과 오믹컨택층(615b)을 포함하는 반도체층(615)이 배치되어 있다. 상기 반도체층(615) 상에 이격되어 소오스/드레인전극(617a, 617b)과 데이터배선(미도시)이 배치되어 있다. 상기 데이터배선은 상기 소오스전극(617a)과 일체로 형성될 수 있다. 상기 데이터배선은 상기 게이트배선과 교차 배열될 수 있다.
- <131> 따라서, 상기 게이트전극(605), 반도체층(615) 및 소오스/드레인전극(617a, 617b)에 의해 박막트랜지스터(Tr)가 형성될 수 있다.
- <132> 상기 게이트배선과 상기 데이터배선의 교차에 의해 각 서브픽셀이 정의된다. 상기 각 서브픽셀에는 상기 게이트배선과 상기 데이터배선과 전기적으로 연결된 박막트랜지스터(Tr)가 배치된다.
- <133> 상기 박막트랜지스터를 포함하는 상기 제2 기판(600) 상에 상기 드레인전극(617b)이 노출되도록 형성된 컨택홀을 갖는 보호막(620)이 형성된다.
- <134> 따라서, 상기 제1 기판(500)의 스페이서(520) 상에 형성된 제2 전극(550) 및 접합층(580)이 상기 컨택홀을 통해 상기 제2 기판(600)의 박막트랜지스터(Tr)의 드레인전극(617b)과 전기적으로 연결될 수 있다.
- <135> 도 5a 내지 도 5f는 본 발명의 제5 실시예에 따른 유기전계발광표시장치의 제조 공정을 도시한 단면도이다.
- <136> 도 5a에 도시한 바와 같이, 다수의 서브픽셀로 정의된 제1 기판(500)이 제공된다. 상기 제1 기판(500)은 투명한 물질로 이루어진 유리 기판 또는 플라스틱 기판일 수 있으나 이에 한정하지 않는다.
- <137> 도시되지 않았지만, 상기 제1 기판(500) 상에 저항이 비교적 낮은 도전 물질을 증착하고 패터닝하여 보조전극을 형성한다. 상기 보조전극은 알루미늄(Al), 알루미늄네오듐(AlNd), 몰리브덴(Mo) 및 크롬(Cr)으로 이루어진 군에서 선택된 적어도 하나의 물질로 이루어질 수 있다.
- <138> 상기 보조전극을 포함하는 제1 기판(500) 상에 투명한 도전 물질을 증착하여 제1 전극(510)을 형성한다. 상기 제1 전극(510)은 상기 제1 기판(500)의 전 영역에 일체로 형성된다. 상기 제1 전극(510)은 예컨대 인듐틴옥사이드(ITO) 또는 인듐징크옥사이드(IZO)로 이루어질 수 있다.
- <139> 이어서, 상기 제1 기판(500) 상에 상기 제1 유기 절연 물질을 증착하고 노광하여 다수의 버퍼층(515)을 형성한다. 상기 버퍼층(515)은 상기 각 서브픽셀을 구획하는 외곽 영역에 배치될 수 있다. 상기 버퍼층(515)은 감광성

수지로 이루어질 수 있는데, 예컨대 아크릴계 수지, 벤조사이클로부텐(BCB), 폴리이미드 및 노블락계 수지 중에서 선택된 적어도 하나의 물질로 이루어질 수 있다.

- <140> 도 5b에 도시된 바와 같이, 상기 버퍼층(515)을 포함하는 상기 제1 기판(500) 상에 제2 유기 절연 물질을 증착하여 상기 버퍼층(515) 상에 스페이서(520)를 형성한다. 상기 스페이서(520)는 각 서브픽셀에 하나씩 형성될 수 있다. 이후 설명하겠지만, 상기 스페이서(520)는 상기 제1 기판(500)에 형성된 유기발광다이오드소자(E)를 상기 제1 기판(500)에 대향 배치된 제2 기판(600)에 형성된 박막트랜지스터(Tr)와 전기적으로 연결시켜주는 한편, 상기 제1 및 제2 기판(500, 600) 사이의 간격을 유지하여 주는 역할을 한다.
- <141> 따라서, 상기 서브픽셀당 상기 유기발광다이오드소자(E)를 구동시키기 위한 박막트랜지스터(Tr)가 하나씩 구비되므로, 상기 박막트랜지스터(Tr)와 전기적으로 연결시켜 주기 위해 스페이서(520) 또한 서브픽셀당 하나가 구비될 수 있다.
- <142> 상기 스페이서(520) 또한 상기 버퍼층(515)과 마찬가지로 동일한 물질로 이루어질 수 있다. 즉, 상기 스페이서(520)는 아크릴계 수지, 벤조사이클로부텐(BCB), 폴리이미드 및 노블락계 수지 중에서 선택된 적어도 하나의 물질로 이루어질 수 있다.
- <143> 이후, 상기 버퍼층(515)과 스페이서(520)에 열처리 공정을 수행하여 보다 단단하게 경화시킨다.
- <144> 도 5c에 도시한 바와 같이, 상기 스페이서(520)를 포함하는 제1 기판(500) 상에 제3 유기 절연 물질을 증착하여 상기 버퍼층(515) 상에 격벽(560)을 형성한다. 상기 격벽(560)은 상기 격벽(560)에 의해 서브픽셀 단위로 유기발광층(530)과 제2 전극(550)이 자동적으로 분리되도록 하기 위해서 역테이퍼 형상으로 형성될 수 있다. 상기 격벽(560)은 감광성 수지로 이루어질 수 있다.
- <145> 본 발명에서는 스페이서(520)와 격벽(560)이 별개로 형성되고 있지만, 제조 공정수와 제조비용을 줄이기 위해 상기 스페이서(520)와 격벽(560)을 동시에 형성할 수 있다. 본 발명은 스페이서(520)와 격벽(560)이 별개로 형성하는 것과 일체로 형성하는 것을 모두 포함할 수 있다.
- <146> 도 5d에 도시한 바와 같이, 상기 격벽(560)을 포함하는 상기 제1 기판(500) 상에 유기 발광 물질을 증착하여 상기 제1 전극(510) 상에 유기발광층(530)을 형성한다. 상기 유기발광층(530)은 저분자 물질 또는 고분자 물질로 이루어질 수 있다.
- <147> 저분자 물질로 이루어진 유기발광층(530)은 진공 증착법을 이용하여 형성될 수 있으며, 고분자 물질로 이루어진 유기발광층(530)은 잉크젯 프린팅 방법을 이용하여 형성될 수 있다.
- <148> 상기 유기발광층(530)은 그 상부면 또는 하부면에 정공 주입층, 정공 수송층, 정공 억제층, 전자 수송층 및 전자 주입층으로 이루어진 군에서 선택된 적어도 하나 이상의 유기층을 더 포함할 수 있다.
- <149> 이후, 상기 유기발광층(530)을 포함하는 상기 제1 기판(500) 상에 반사성 도전 물질을 증착하여 상기 유기발광층(530) 상에 제2 전극(550)을 형성한다. 상기 제2 전극(550)은 예컨대 마그네슘(Mg), 칼슘(Ca), 알루미늄(Al), 은(Ag), 바륨(Ba) 및 이들의 합금 중에서 선택된 적어도 하나의 물질로 이루어질 수 있다.
- <150> 상기 유기발광층(530)과 상기 제2 전극(550)은 증착 과정에서, 역테이퍼 형상을 갖는 상기 격벽(560)에 의해 각 서브픽셀 단위로 자동적으로 분리된다. 이로써, 별도의 패터닝 공정을 수행하지 않고도 상기 유기발광층(530)과 상기 제2 전극(550)이 형성될 수 있다.
- <151> 상기 유기발광층(530)과 상기 제2 전극(550)은 상기 스페이서(520) 상에도 형성될 수 있다. 특히 상기 제2전극(550)은 상기 스페이서(520)로부터 상기 서브픽셀까지의 영역에 형성된다. 즉, 상기 제2 전극(550)은 상기 서브픽셀에서 연장되어 상기 스페이서(520)의 측면 및 상면에 형성될 수 있다.
- <152> 도 5e에 도시한 바와 같이, 상기 제2 전극(550)을 포함하는 제1 기판(500) 상에 도전성 볼(585)을 포함하는 실런트 물질을 도포하여 접합층(580)을 형성한다. 상기 접합층(580)은 상기 제1 기판(500)의 전 영역에 형성되거나, 서브픽셀 영역에만 형성되거나, 또는 상기 스페이서(520)의 하부 면 상에만 형성될 수 있다.
- <153> 따라서, 상기 스페이서(520)의 상면에 형성된 접합층(580)은 제2 기판(500)의 박막트랜지스터(Tr)의 드레인전극(617b)과 전기적으로 연결될 수 있다.
- <154> 도 5f에 도시한 바와 같이, 박막트랜지스터(Tr)가 형성된 제2 기판(600)을 제공한다.
- <155> 이후, 상기 제1 기판(500) 또는 상기 제2 기판(600)의 외곽부에 도시하지 않은 실런트를 도포한 후, 상기 제1기

관(500)의 유기발광다이오드소자(E)와 상기 제2 기관(600)의 박막트랜지스터(Tr)가 서로 대향되도록 상기 제1 및 제2 기관(500, 600)을 합착한다.

<156> 따라서, 상기 스페이서(520)의 상면에 형성된 접합층(580)은 제2 기판(500)의 박막트랜지스터(Tr)의 드레인전극(617b)에 물리적으로 접촉되게 된다. 하지만, 이러한 경우에는 상기 접합층(580)이 상기 박막트랜지스터(Tr)의 드레인전극(617b)에 단단히 고정되지 않았기 때문에, 외부의 수분에 의해 제1 및 제2 기판(500, 600)의 내부 공간의 내압이 상승하는 경우, 상기 접합층(580)이 상기 드레인전극(617b)으로부터 이탈될 수 있다.

<157> 본 발명에서는 상기 접합층(580)이 형성된 제1 기관(500)을 대상으로 열경화 공정을 수행하여, 상기 접합층(580)을 열 경화시킨다. 이러한 경우, 상기 스페이서(520) 상에 형성된 제2 전극(550)은 상기 접합층(580)의 내부에 배치되어 단단하게 고정될 수 있다.

<158> 따라서, 상기 접합층(580)은 열경화에 의해 단단해지게 되고, 이에 따라 상기 스페이서(520) 상에 형성된 상기 접합층(580)이 상기 제2 기판(600)에 형성된 박막트랜지스터(Tr)의 드레인전극(617b)에 단단히 고정되게 된다.

<159> 그러므로, 외부의 수분에 의해 상기 제1 및 제2 기판(500, 600)의 내부 공간의 내압이 증가하더라도, 상기 스페이서(520) 상에 형성된 제2 전극(550)과 박막트랜지스터(Tr) 간에 이탈이 발생되지 않게 된다.

<160> 결국, 상기 스페이서(520) 상에 형성된 제2 전극(550)은 상기 접합층(580)의 도전성 불(585)에 전기적으로 연결되어 있고, 마찬가지로 상기 드레인전극(617b)도 상기 접합층(580)의 도전성 불(585)에 전기적으로 연결되어 있다. 이에 따라, 상기 도전성 불(585)을 매개로 하여 상기 스페이서(520) 상에 형성된 제2 전극(550)과 상기 드레인전극(617b)이 전기적으로 연결되게 되므로, 해당 서브픽셀을 안정적으로 구동할 수 있다.

발명의 효과

<161> 이 상에서 살펴본 바와 같이, 본 발명에 의하면, 제1 기판에 유기발광다이오드소자를 배치하고, 제2 기판에 박막 트랜지스터를 배치하여, 유기발광다이오드소자와 박막트랜지스터를 전기적으로 연결하여 줌으로써, 어레이소자의 수율과 유기발광다이오드소자의 수율이 서로 영향을 받지 않도록 하여, 불량률 및 생산관리 효율을 증대시킬 수 있다.

<162> 본 발명에 의하면, 제2 전극을 광을 반사시킬 있는 반사성 도전 물질로 형성하여 유기발광층에서 발광된 광을 제1 기관의 배면으로 방출시킴으로써, 유기발광층에서 발광되어 상기 제1 기관의 배면으로 방출되는 광뿐만 아니라 제1 기관의 내측으로 방출되는 광까지도 제2 전극에 의해 상기 제1 기관의 배면으로 방출시킬 수 있으므로, 광 효율을 현저히 향상시킬 수 있다.

<163> 본 발명에 의하면, 제1 또는 제2 기관에 도전성 볼을 포함하는 접합층을 형성하여 접합층에 의해 제1 및 제2 기관 간에 발생될 수 있는 전기적 단선을 방지할 수 있다.

<164> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

<1> 도 1은 본 발명의 제1 실시예에 따른 유기전계발광표시장치를 도시한 단면도.

<2> 도 2는 본 발명의 제2 실시예에 따른 유기전계발광표시장치를 도시한 단면도.

<3> 도 3a 내지 도 3e는 본 발명의 제3 실시예에 따른 유기전계발광표시장치의 제조 공정을 도시한 단면도.

<4> 도 4는 본 발명의 제4 실시예에 따른 유기전계발광표시장치를 도시한 단면도.

<5> 도 5a 내지 도 5f는 본 발명의 제5 실시예에 따른 유기전계발광표시장치의 제조 공정을 도시한 단면도.

<6> <도면의 주요 부분에 대한 부호의 설명>

<7> 100, 300, 500: 제1 기판 110, 310, 510: 제1 전극

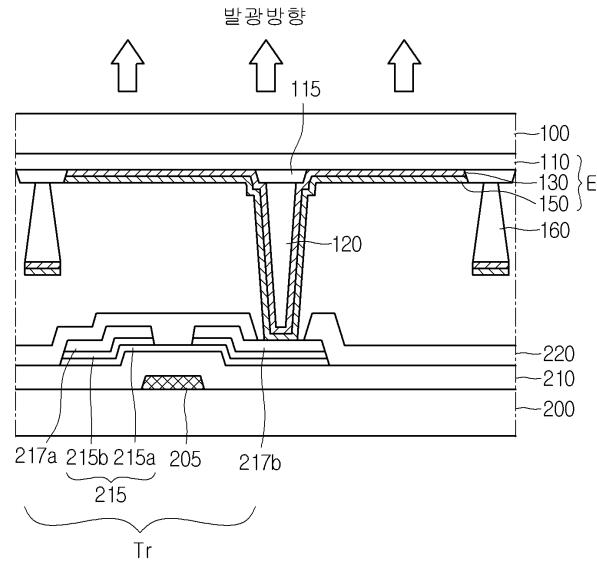
<8> 115, 315, 515: 버퍼충 120, 320, 520: 스페이서

<9> 130, 330, 530: 유기발광층 150, 350, 550: 제2 전극

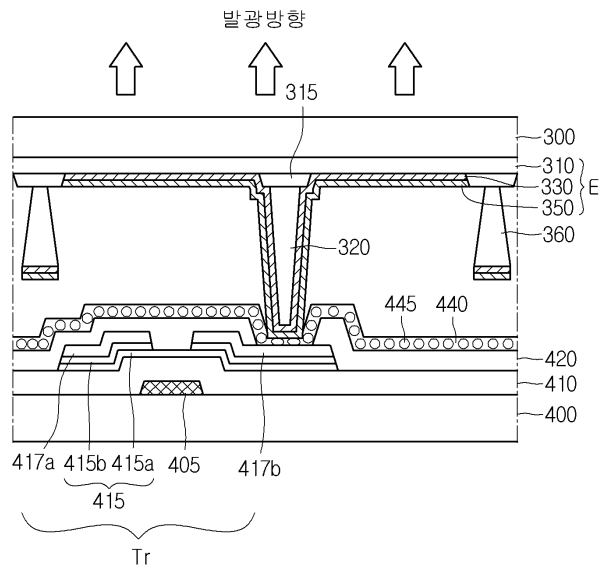
- | | | |
|------|-----------------------|----------------------|
| <10> | 160, 360, 560: 격벽 | 200, 400, 600: 제2 기판 |
| <11> | 205, 405, 605: 게이트전극 | 215, 415, 615: 반도체층 |
| <12> | 210, 410, 610: 게이트절연막 | 220, 320, 620: 보호막 |

도면

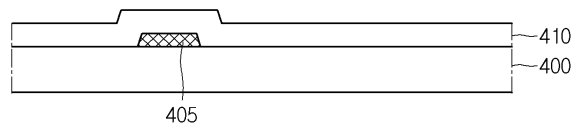
도면1



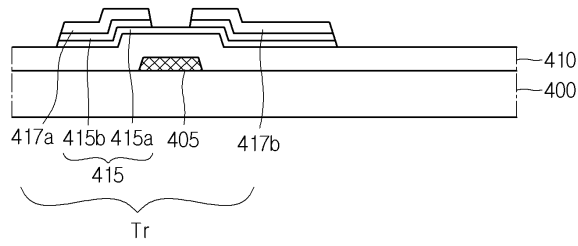
도면2



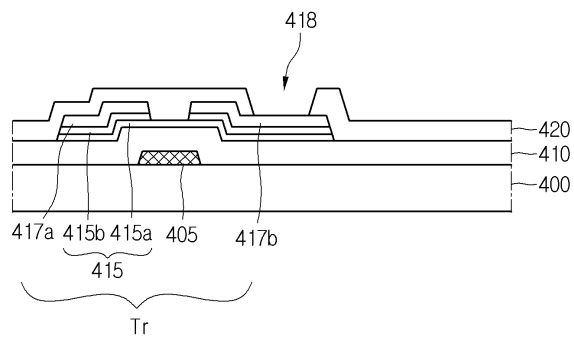
도면3a



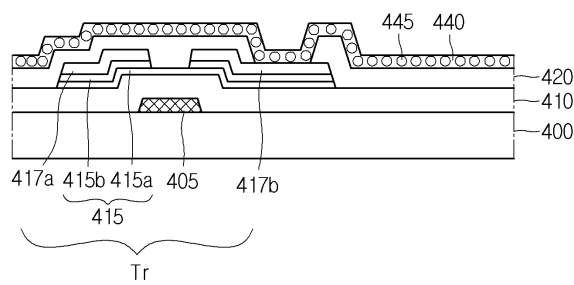
도면3b



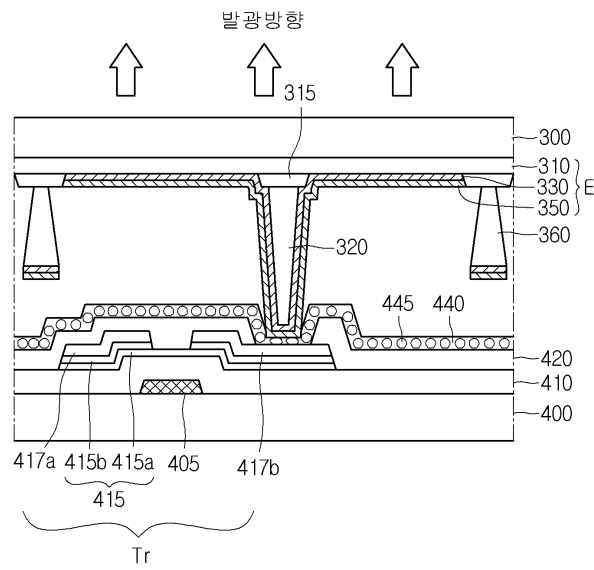
도면3c



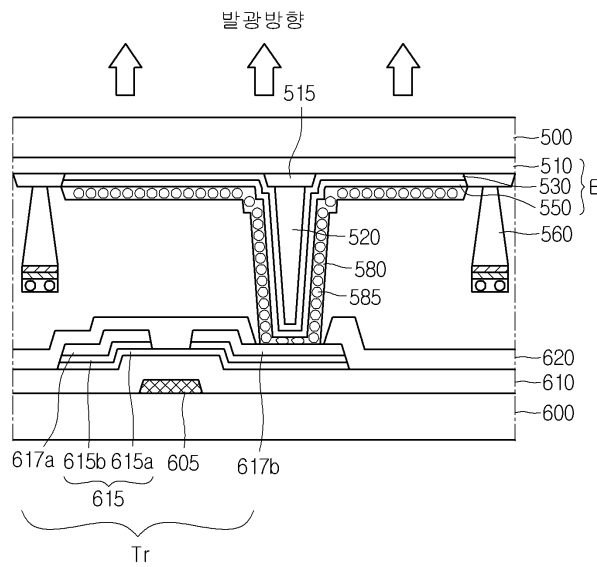
도면3d



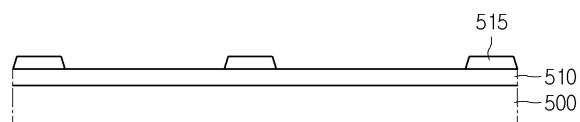
도면3e



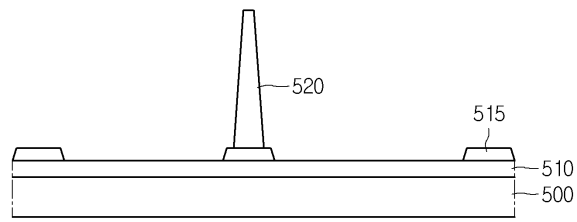
도면4



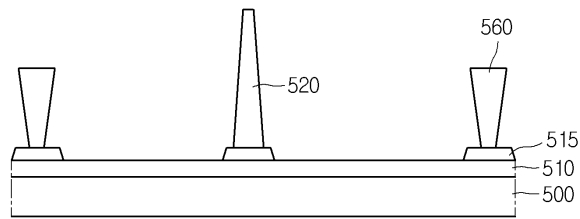
도면5a



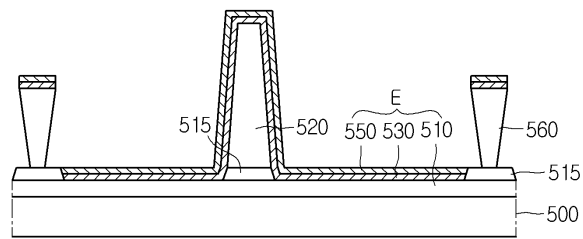
도면5b



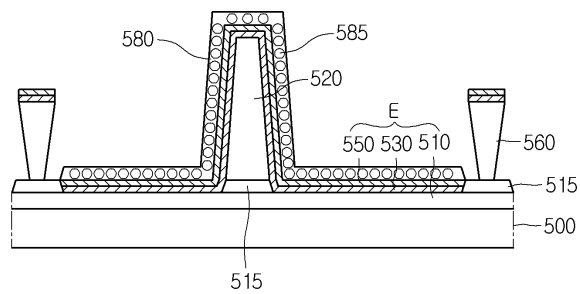
도면5c



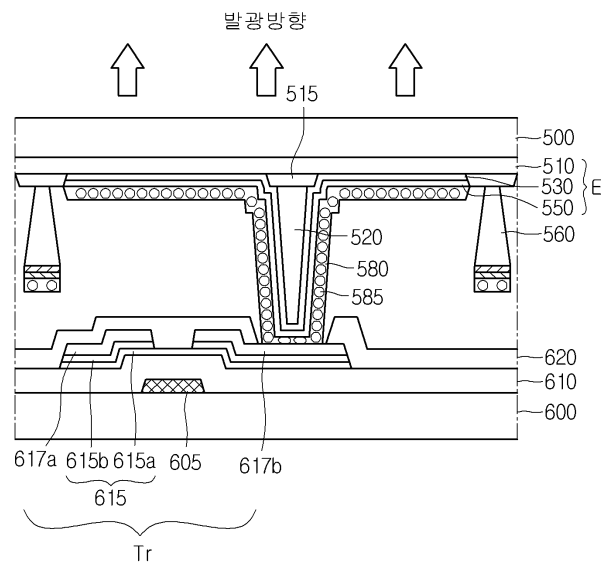
도면5d



도면5e



도면5f



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR1020080059723A	公开(公告)日	2008-07-01
申请号	KR1020060133369	申请日	2006-12-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PANG HEE SUK		
发明人	PANG, HEE SUK		
IPC分类号	H05B33/26 H05B33/02		
CPC分类号	H01L27/3248 H01L27/3251 H01L51/56 H01L2251/5315		
外部链接	Espacenet		

摘要(译)

公开了一种有机电致发光显示装置及其制造方法。本发明的有机发光显示装置包括：第一基板，其中限定有多个子像素；第一电极设置在第一基板上；隔板设置在第一电极上；屏障设置在第一电极上以限定每个子像素并且具有比间隔物低的高度；有机发光层设置在第一电极上；第二电极设置在有机发光层上；与第一基板相对的第二基板；多个薄膜晶体管设置在第二基板的每个子像素中；保护膜设置在每个薄膜晶体管上并具有形成使得薄膜晶体管的电极暴露的接触孔；并且粘合层设置在保护膜上并具有多个导电球。并且每个薄膜晶体管的第二电极和电极通过接合层电连接。

