(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0054050
(43) 공개일자 2008년06월17일

(51) Int. Cl.
G09G 3/30 (2006.01) *G09G 3/32* (2006.01)
G09G 3/20 (2006.01) *H05B 33/12* (2006.01)
(21) 출원번호 10-2006-0126118
(22) 출원일자 2006년12월12일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울 영등포구 여의도동 20번지
(72) 발명자
정영효
경북 구미시 인의동 50-1 인의구획지구 16B9-1L 진평빌 109호
양미연
서울 송파구 잠실4동 17-6 미성아파트 6/112
(뒷면에 계속)
(74) 대리인
특허법인로얄

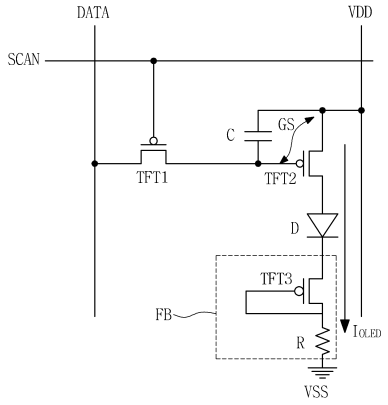
전체 청구항 수 : 총 7 항

(54) 유기전계발광표시장치

(57) 요 약

본 발명은, 제1전원라인, 제2전원라인, 스캔라인 및 데이터라인을 포함하는 신호라인들, 신호라인들의 교차에 의하여 한정되는 영역에 위치하며 제1 및 제2 트랜지스터, 커패시터 및 유기 발광다이오드를 포함하는 다수의 서브 픽셀들 및 유기 발광다이오드의 캐소드와 상기 제2전원라인 사이에 연결되며, 제3트랜지스터 및 저항을 포함하는 궤환 회로부를 포함하는 유기전계발광표시장치를 제공한다.

대표도 - 도3



(72) 발명자

박재용

경기 안양시 동안구 평촌동 933-7 꿈마을아파트 305동 701호

박종우

대구 북구 태전동 대백2차아파트 102동 205호

서창기

경북 구미시 구평동 부영아파트 606동 1402호

유상호

경기 성남시 수정구 신흥1동 5524번지

박중한

경남 김해시 장유면 관동리 448-1 팔판마을 부영그린타운3차301동 803호

특허청구의 범위

청구항 1

제1전원라인, 제2전원라인, 스캔라인 및 데이터라인을 포함하는 신호라인들;

상기 신호라인들의 교차에 의하여 한정되는 영역에 위치하며, 제1 및 제2 트랜지스터, 커패시터 및 유기 발광다이오드를 포함하는 다수의 서브픽셀들; 및

상기 유기 발광다이오드의 캐소드와 상기 제2전원라인 사이에 연결되며, 제3트랜지스터 및 저항을 포함하는 궤환 회로부를 포함하는 유기전계발광표시장치.

청구항 2

제1항에 있어서,

상기 제3트랜지스터의 제1전극은 상기 유기발광다이오드의 캐소드에 연결되고, 상기 제3트랜지스터의 제2전극과 게이트 전극이 서로 연결되며,

상기 저항기는 상기 트랜지스터의 제2전극 및 제2전원라인 사이에 연결되는 유기전계발광표시장치.

청구항 3

제2항에 있어서, 상기 궤환 회로부는,

상기 서브픽셀에 전류가 발생하여 상기 제3트랜지스터의 게이트 전극으로 유입되는 전압이 증가하면, 상기 제3트랜지스터의 게이트 전극이 턴-오프됨으로써, 해당 서브픽셀에 흐르는 전류의 양을 감소시키는 유기전계발광표시장치.

청구항 4

제3항에 있어서,

상기 저항기는, 가변 저항기인 것을 특징으로 하는 유기전계발광표시장치.

청구항 5

제1항에 있어서,

상기 서브픽셀은 상기 스캔라인으로부터의 선택 신호에 응답하여 상기 데이터라인으로부터의 데이터 신호를 전달하는 제1트랜지스터,

상기 제1트랜지스터를 통해 수신되는 데이터 신호를 저장하기 위한 커패시터,

상기 커패시터에 저장된 데이터 신호에 따라 구동 전류를 발생하기 위한 제2 트랜지스터 및

상기 구동 전류에 따라 발광 동작을 수행하기 위한 유기발광다이오드(OLED)를 포함하는 유기전계발광표시장치.

청구항 6

제1항에 있어서,

상기 제1 내지 제3 트랜지스터는 피모스(PMOS)인 유기전계발광표시장치.

청구항 7

제1항에 있어서,

상기 제1전원라인은 양의 전원라인이며, 상기 제2전원라인은 음의 전원라인인 유기전계발광표시장치.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<10> 본 발명은 유기전계발광표시장치에 관한 것이다.

<11> 최근, 평판표시장치(FPD: Flat Panel Display)는 멀티미디어의 발달과 함께 그 중요성이 증대되고 있다. 이에 부응하여 액정 디스플레이(Liquid Crystal Display: LCD), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP), 전계방출표시장치(Field Emission Display: FED), 유기전계발광표시장치(Organic Light Emitting Device) 등과 같은 여러 가지의 평면형 디스플레이가 실용화되고 있다.

<12> 유기전계발광표시장치(이하 OLED로 표기)를 구동하는 방식에는 수동 매트릭스(passive matrix) 방식과 박막 트랜지스터(thin film transistor)(이하 트랜지스터로 표기)를 이용한 능동 매트릭스(active matrix) 방식이 있다. 수동 매트릭스 방식은 양극과 음극을 직교하도록 형성하고 라인을 선택하여 구동하는데 비해, 능동 매트릭스 방식은 트랜지스터를 각 ITO(Indium Tin Oxide) 화소 전극에 연결하고 트랜지스터의 게이트 전극에 연결된 커패시터에 유지된 전압에 따라 유기 발광다이오드가 발광한다.

<13> 앞서 설명한 바와 같은 유기전계발광표시장치는 트랜지스터 및 유기 발광다이오드를 제조하는 공정과정 또는 이들 소자에 침착된 이물에 의하여 쇼트(Short)가 발생하게 되면, 트랜지스터 및 유기 발광다이오드에 많은 양의 전류가 흐르게 되었다.

<14> 이에 따라, 표시 패널 상에 휘점이 발생하게 되는데, 휘점은 시인성에 매우 큰 악영향을 끼쳐 불량 패널로 분류되므로, 유기전계발광표시장치의 제조 수율을 감소시키는 문제점이 있었다.

<15> 한편, 종래에는 이와 같은 문제를 해결하기 위해 공정상에서 수리(Repair)하는 방식이 제안되었으나 이는 후속 공정을 따로 추가해야 하거나 막대한 설비투자를 해야하는 등 많은 어려움이 있었다.

발명이 이루고자 하는 기술적 과제

<16> 따라서 본 발명은 추가의 리페어 공정없이 패널 상에 휘점이 발생하는 것을 방지하여 화면의 품질을 향상시키고 제조 비용을 감소시킴과 아울러, 제조 수율을 향상시킬 수 있는 유기전계발광표시장치를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

<17> 상술한 과제를 해결하기 위한 본 발명은, 제1전원라인, 제2전원라인, 스캔라인 및 데이터라인을 포함하는 신호라인들, 상기 신호라인들의 교차에 의하여 한정되는 영역에 위치하며, 제1 및 제2 트랜지스터, 커패시터 및 유기 발광다이오드를 포함하는 다수의 서브픽셀들 및 상기 유기 발광다이오드의 캐소드와 상기 제2전원라인 사이에 연결되며, 제3트랜지스터 및 저항을 포함하는 궤환 회로부를 포함하는 유기전계발광표시장치를 제공한다.

<18> <일 실시예>

<19> 도 1은 일반적인 유기전계발광표시장치의 회로도이다.

<20> 도 1을 참조하면, 기판(도시 안됨) 상에 제1전원라인(VDD), 제2전원라인(VSS), 스캔라인(SCAN) 및 데이터라인(DATA)을 포함하는 신호라인들이 위치한다. 그리고 상기와 같은 신호라인들의 교차에 의해 한정되는 영역 상에는 상기 스캔라인으로부터의 선택 신호에 응답하여 상기 데이터라인으로부터의 데이터 신호를 전달하는 제1트랜지스터(TFT1), 상기 제1트랜지스터(TFT1)를 통해 수신되는 데이터 신호를 저장하기 위한 커패시터(C), 상기 커패시터(C)에 저장된 데이터 신호에 따라 구동 전류를 발생하기 위한 제2트랜지스터(TFT2) 및 상기 구동 전류에 따라 발광 동작을 수행하기 위한 유기발광다이오드(OLED)를 포함하는 서브 픽셀들이 위치한다.

<21> 이중, 도 1의 "P1"과 같이 제2트랜지스터(TFT2)의 단자인 게이트 전극과 소스 전극간 또는 게이트 전극 및 드레인 전극 간에 쇼트가 발생하거나, "P2"와 같이 유기 발광다이오드의 단자인 캐소드와 애노드 간에 쇼트가 발생하게 되면, 유기발광다이오드에 과전류가 흐르게 된다.

<22> 여기서, 각 전극 간의 쇼트는 제조 공정 중에 발생하는 파티클(particle)과 같은 미세 불순물에 의해 발생할 수 있다. 이러한 문제는 휘점을 발생시켜 레이저 등을 이용하여 이를 수리하는 감광화 공정을 수행해야 한다.

<23> 도 2는 유기전계발광표시장치의 서브 픽셀을 간략히 도시한 단면도이다.

<24> 서브 픽셀은 기판(100), 기판 상에 위치하는 반도체층(110), 반도체층(110) 상에 위치하는 게이트 절연막(120), 게이트 절연막(120) 상에 위치하는 게이트 전극(130), 게이트 전극(130) 상에 위치하는 층간절연막(140), 층간절연막(140) 및 게이트 절연막(120)을 관통하여 반도체층(110)과 전기적으로 연결되는 소오스 전극 및 드레인 전극(150a,150b)을 포함하는 구동 트랜지스터(TFT)를 포함한다. 여기서, 구동 트랜지스터는 도 1에 도시한 제2 트랜지스터(TFT2)일 수 있다.

<25> 그리고, 구동 트랜지스터(TFT) 상에는 패시베이션층(170)이 위치할 수 있으며, 패시베이션층(170) 상에는 패시베이션층(170)을 관통하여 드레인 전극(150b)과 전기적으로 연결되는 제1전극(180)이 위치하며, 제1전극(180) 상에는 정공주입/수송층, 발광층 및 전자주입/수송층을 포함하는 유기층들(185) 및 제2전극(190)을 포함하는 유기발광다이오드(D)가 위치한다.

<26> 도 1을 참조하여 설명한 바와 같이, 구동 트랜지스터의 게이트 전극, 소오스 전극 또는 드레인 전극 간에 쇼트가 발생하게 되는 경우는, 도 2에 도시된 바와 같이, 해당 서브 픽셀에 위치한 트랜지스터(TFT)의 반도체층에 레이저(L)를 조사하여 감광화를 실시하게 된다.

<27> 이와 같은 방법은 반도체층의 결정 구조를 마이크로 적으로 파괴하여 저항을 증가시킨다. 이는 기본적으로 다른 영역에는 손상을 주지 않고, 결함이 있는 서브 픽셀에 감광화를 실시하여, 해당 픽셀을 발광하지 못하게 한다.

<28> 그러나 이와 같은 방법은 후속 공정을 따로 추가해야 하거나 막대한 설비투자를 해야 하는 등 많은 어려움이 있다.

<29> 따라서, 본 발명은 제조 공정 중에 발생하는 파티클(particle)과 같은 미세 불순물에 의해 각 단자 간에 쇼트가 발생하는 문제 등에 의해 과전류가 흐르는 문제를 회로적으로 해결할 수 있는 유기전계발광표시장치를 제공한다.

<30> 도 3은 본 발명의 일 실시예에 따른 유기전계발광표시장치를 도시한 회로도이다.

<31> 도 3을 참조하면, 본 발명에 따른 유기전계발광표시장치는 제1전원라인(VDD), 제2전원라인(VSS), 스캔라인(SCAN) 및 데이터라인(DATA)을 포함하는 신호라인들이 배치된다. 상기 신호라인들에 의해 한정되는 영역에는 상기 스캔라인(SCAN)으로부터의 선택 신호에 응답하여 상기 데이터라인(DATA)으로부터의 데이터 신호를 전달하는 제1트랜지스터(TFT1), 상기 제1트랜지스터(TFT1)를 통해 수신되는 데이터 신호를 저장하기 위한 커패시터(C), 상기 커패시터(C)에 저장된 데이터 신호에 따라 구동 전류를 발생하기 위한 제2트랜지스터(TFT2) 및 상기 구동 전류에 따라 발광 동작을 수행하기 위한 유기발광다이오드(OLED)를 포함하는 서브 픽셀들이 위치한다.

<32> 보다 상세하게, 제1트랜지스터(TFT1)는 스위칭 트랜지스터일 수 있으며, 스캔라인(SCAN)에 게이트가 연결되고 데이터라인(DATA)에 제1전극이 연결된다. 제2트랜지스터(TFT2)는 구동 트랜지스터일 수 있으며, 제1트랜지스터(TFT1)의 제2전극에 게이트가 연결되고 제1전원라인(VDD)에 제1전극이 연결된다. 커패시터(C)는, 구동 트랜지스터(TFT2)의 게이트와 제1전원라인(VDD) 사이에 연결된다. 유기 발광다이오드(D)는, 구동 트랜지스터(TFT2)의 제2전극에 애노드가 연결된다.

<33> 궤환 회로부(FB)는 제3트랜지스터(TFT3) 및 저항(R)을 포함한다. 제3트랜지스터(TFT3)의 제1전극은 유기 발광다이오드(D)의 캐소드와 연결되며, 제3트랜지스터(TFT3)의 제2전극은 저항기(R)의 일단에 연결된다. 그리고, 저항(R)의 타단은 제2전원라인에 연결된다.

<34> 또한, 제3트랜지스터(TFT3)의 게이트 전극과 제2전극은 전기적으로 연결된다.

<35> 여기서, 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제1 내지 제3트랜지스터들(TFT1, TFT2, TFT3)은 피모스(PMOS)일 수 있다. 그리고, 제1전원라인(VDD)은 양의 전원라인이며 제2전원라인(VSS)은 음의 전원라인일 수 있다.

<36> 상기와 같은 회로를 갖는 유기전계발광표시장치의 서브픽셀의 정상상태 동작 및 과전류 상태 동작을 설명한다.

<37> 먼저, 정상상태 동작을 설명하면, 스캔 라인(SCAN)으로부터의 스캔 신호가 인가되면, 제1트랜지스터(TFT1)는 스캔 신호에 응답하여 데이터 라인(DATA)으로부터의 데이터 신호를 전달한다. 커패시터(C)는 상기 제1트랜지스터(TFT1)를 통해 수신되는 데이터 신호를 저장하여 상기 제2트랜지스터(TFT2)의 게이트-소스 전압(Vgs)을 일정 기간 유지한다. 제2트랜지스터(TFT2)의 게이트 전극에는 상기 제1트랜지스터(TFT1)가 연결되어 상기 제1트랜지스터(TFT1)를 통하여 전달된 데이터 신호에 상응하는 구동 전류를 유기발광다이오드(OLED)로 출력한다. 유기발광다이오드(OLED)의 애노드(anode)는 제2트랜지스터(TFT2)의 드레인 전극과 연결되어 제1전원라인(VDD)과 연결되

고, 유기발광다이오드(OLED)의 캐소드(cathode)는 궤환회로부(FB)를 통하여 제2전원라인(VSS)과 연결되어 상기 제2트랜지스터(TFT2)에서 발생한 전류에 해당하는 빛을 발광하게 된다. 즉, 서브픽셀이 정상상태로 동작할 때, 제3트랜지스터(TFT3)는 턴-온상태가 되어, 제2전원라인(VSS)과 유기발광다이오드(OLED)의 캐소드를 전기적으로 연결시킨다.

<38> 다음으로, 유기전계발광표시장치의 서브픽셀이 과전류 동작 상태를 설명하면, 제2트랜지스터(TFT2) 또는 유기발광다이오드(OLED)의 쇼트에 의하여, 스캔 신호 또는 데이터 신호와 상관없이 유기발광다이오드(OLED)에 흐르는 전류의 양이 많아지게 되면 과전류가 발생한다. 과전류는 궤환 회로부(FB)를 통하여 제2전원라인(VSS)으로 흐르게 된다. 이때, 궤환 회로부(FB)의 저항기(R)에 많은 양의 전류가 흐르게 되면, 저항기(R)에 걸리는 전압이 커지게 되고, 이로써, 궤환회로부의 제3트랜지스터(TFT3)의 게이트 전극으로 유입되는 전압이 증가하게 되어, 제3트랜지스터(TFT3)는 턴-오프 된다.

<39> 따라서, 유기발광다이오드(OLED)의 일단은 플로팅 상태가 되므로, 전류가 흐르지 않게 되어, 발광량이 줄어들거나 없어지게 된다.

<40> 이를 수식으로 정리하면 다음의 수식 1과 같다.

수학식 1

$$I_{OLED}=I_{DSat}=Ci\mu\frac{W}{2L}(V_{GS}-V_{th})^2$$

<41>

$$(\because V_G=I_{OLED}\times R)$$

<42>

<43> 상기 식에서 Vgs는 구동 트랜지스터의 게이트-소스간의 전압, Vth는 구동 트랜지스터의 문턱전압, μ는 전계효과 이동도, Ci는 절연층의 커패시턴스, W/L은 채널폭/길이를 나타낸다.

<44> 여기서, 궤환회로부의 트랜지스터(TFT3)의 게이트 전압 Vg는 $I_{OLED} \times R$ 의 관계식에 따라 변하며, I_{OLED} 는 유기발광다이오드(D)를 통해 흐르는 전류이고, R은 저항기(R)의 저항값이다.

<45> 여기서, 저항기(R)는 가변 저항기를 사용할 수 있다. 가변 저항기를 사용하게 되면, 트랜지스터(TFT3)의 게이트 전압 Vg는 $I_{OLED} \times R$ 의 관계식에 따라, 궤환 회로부(FB)를 통해 제2전원라인(VSS)으로 흐르는 전류의 양을 조절할 수 있게 된다.

<46> 본 발명의 일 실시예에서는 제1 내지 제3트랜지스터를 피모스(PMOS)로 설명하였지만, 이를 엔모스(NMOS) 트랜지스터들로 구성하는 것도 가능하다. 이러한 경우, 궤환회로부는 제1전원라인과 유기발광다이오드의 제1전극 사이에 위치할 수 있다.

<47> 또한, 본 발명의 일 실시예에 따른 유기전계발광표시장치에서는 궤환회로부 외에 두 개의 트랜지스터만을 사용하였지만 이에 국한되지 않으며, 각 화소 간 휘도 편차의 보상을 위하여 추가의 트랜지스터를 더 포함할 수도 있다.

<48> 상술한 바와 같이, 본 발명은 추가의 리페어 공정없이 패널 상의 휘점을 제거할 수 있다. 따라서, 리페어 공정에 걸리는 시간을 감소시킬 수 있으며, 또한, 유기전계발광표시장치의 화질 및 제조 수율을 향상시킬 수 있는 효과가 있다.

<49> 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

발명의 효과

<50> 상술한 바와 같이 본 발명은, 추가의 리페어 공정없이, 유기전계발광패널 상에 휘점이 발생하는 것을 방지함으로써, 유기전계발광표시장치의 화질을 향상시키고 제조수율을 높이는 효과가 있다.

도면의 간단한 설명

<1> 도 1은 일반적인 유기전계발광표시장치를 도시한 회로도이다.

<2> 도 2는 레이저를 이용한 감광화 공정을 나타낸 예시도이다.

<3> 도 3은 본 발명의 일 실시예에 따른 유기전계발광표시장치를 도시한 회로도이다.

<4> <도면의 주요 부분에 관한 부호의 설명>

<5> SCAN: 스캔라인 DATA: 데이터라인

<6> VDD: 제1전원라인 VSS: 제2전원라인

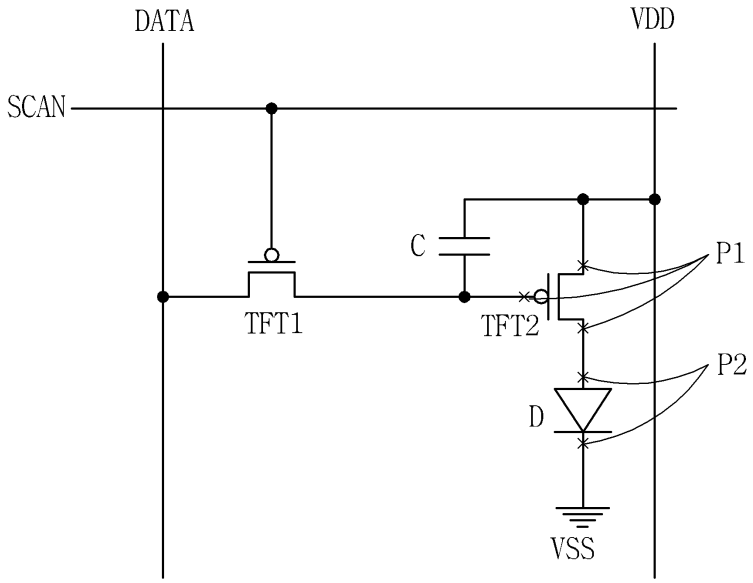
<7> TFT1: 제1트랜지스터 TFT2: 제2트랜지스터

<8> TFT3: 트랜지스터 C: 커패시터

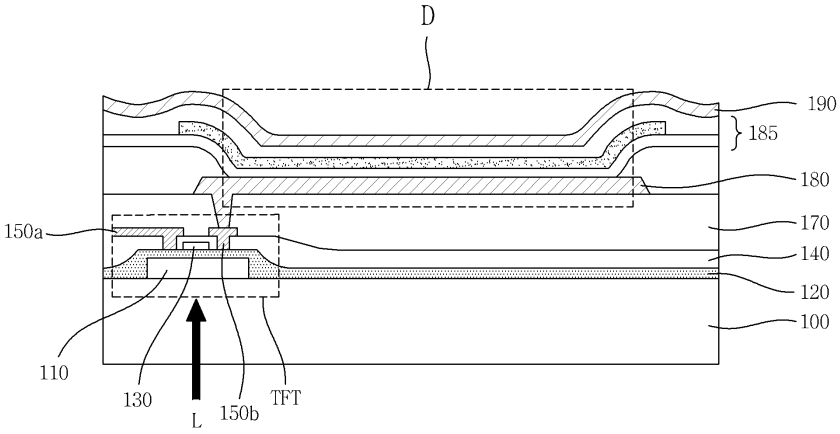
<9> D: 유기 발광다이오드

도면

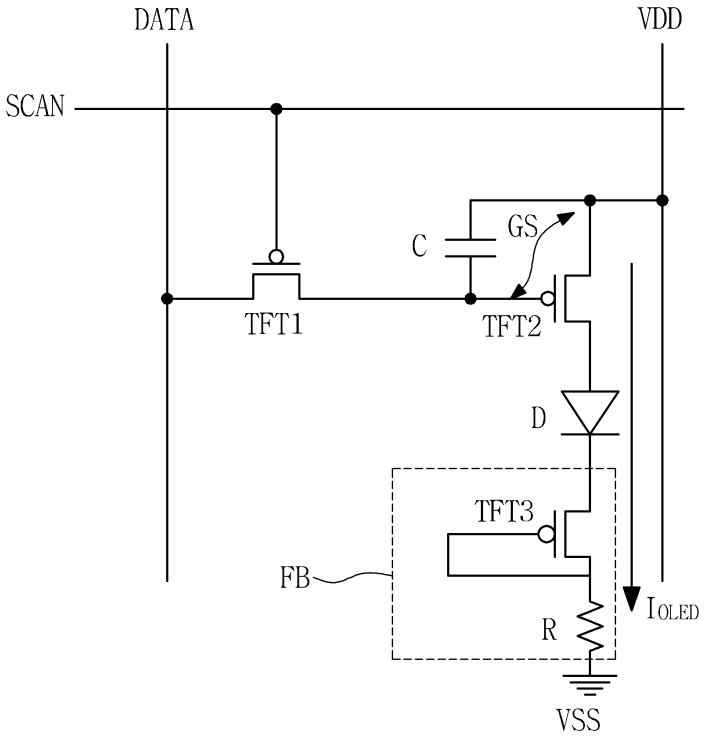
도면1



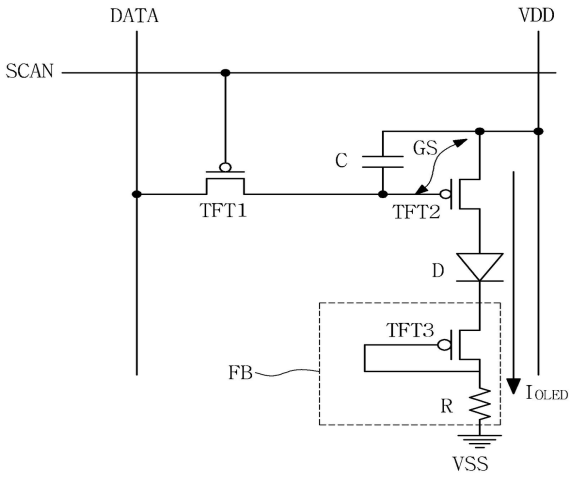
도면2


D
190
185
180
170
140
120
100
150a
110
130
L
150b
TFT

도면3


DATA
VDD
SCAN
C
GS
TFT1
TFT2
D
TFT3
FB
R
IOLED
VSS

专利名称(译)	有机电致发光显示装置		
公开(公告)号	KR1020080054050A	公开(公告)日	2008-06-17
申请号	KR1020060126118	申请日	2006-12-12
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JUNG YOUNG HYO 정영효 YANG MI YOUN 양미연 PARK JAE YOUNG 박재용 PARK JONG WOO 박종우 SEO CHANG KI 서창기 YU SANG HO 유상호 PARK JUNG HAN 박중한		
发明人	정영효 양미연 박재용 박종우 서창기 유상호 박중한		
IPC分类号	G09G3/30 G09G3/32 G09G3/20 H05B33/12		
外部链接	Espacenet		

摘要(译)

本发明提供的有机电致发光显示装置是指反馈电路部分包括连接在第二电源线和电阻信号线之间的第三晶体管，第一和第二晶体管位于信号线交叉的限制区域内，电容器和有机发光二极管包括第一电源线，第二电源线，扫描线和数据线。有机电致发光显示装置，反馈电路部分和过电流。