



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0011915
(43) 공개일자 2008년02월11일

(51) Int. Cl.

G09G 3/30 (2006.01) G09G 3/32 (2006.01)
G09G 3/20 (2006.01)

(21) 출원번호 10-2006-0072653

(22) 출원일자 2006년08월01일

심사청구일자 2006년08월01일

(71) 출원인

삼성에스디아이 주식회사

경기 수원시 영통구 신동 575

(72) 발명자

신동용

경기 용인시 기흥구 공세동 428-5

(74) 대리인

리앤목특허법인

전체 청구항 수 : 총 25 항

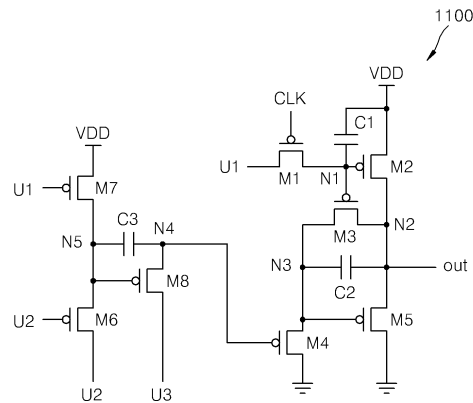
(54) 유기발광 표시장치

(57) 요약

본 발명은 구동장치에 동일타입의 트랜지스터를 사용하여 제조비용이 저감되도록하고, 발광신호의 펄스폭을 안정적으로 가변할 수 있는 유기발광 표시장치를 제공하는 것을 목적으로 한다.

이와 같은 목적을 달성하기 위하여, 본 발명은, 데이터신호, 선택신호 및 발광신호를 각각 전달하는 복수의 데이터선, 복수의 선택주사선, 및 복수의 발광주사선과, 데이터선과 선택주사선에 의해 정의되는 복수의 화소에 각각 형성되는 복수의 화소회로와, 발광신호를 출력하는 제1 주사 구동부를 포함하는 유기발광 표시장치에 있어서, 제1 주사 구동부는 복수의 변환회로를 포함하고, 변환회로는, 복수개의 동일 타입의 트랜지스터를 포함하고, 제1 신호 내지 제3 신호 및 클럭신호를 입력받아, 변환출력신호를 출력하고, 변환출력신호가 발광신호이며, 클럭신호, 제1 신호가 인에이블이면 변환출력신호는 디스에이블이고, 클럭신호, 제1 신호, 제3 신호는 디스에이블, 제2 신호는 인에이블이면 변환출력신호는 디스에이블이고, 클럭신호, 제1 신호, 제3 신호가 인에이블이면 변환출력신호는 디스에이블이며, 제1 신호는 디스에이블, 클럭신호, 제3 신호가 인에이블이면 변환출력신호는 인에이블인 유기발광 표시장치를 제공한다.

대표도 - 도12



특허청구의 범위

청구항 1

데이터신호, 선택신호 및 발광신호를 각각 전달하는 복수의 데이터선, 복수의 선택주사선, 및 복수의 발광주사선과, 상기 데이터선과 상기 선택주사선에 의해 정의되는 복수의 화소에 각각 형성되는 복수의 화소회로와, 상기 발광신호를 출력하는 제1 주사 구동부를 포함하는 유기발광 표시장치에 있어서,

상기 제1 주사 구동부는 복수의 변환회로를 포함하고,

상기 변환회로는, 복수개의 동일 타입의 트랜지스터를 포함하고, 제1 신호 내지 제3 신호 및 클럭신호를 입력받아, 변환출력신호를 출력하고, 상기 변환출력신호가 상기 발광신호이며,

상기 클럭신호, 제1 신호가 인에이블이면 상기 변환출력신호는 디스에이블이고, 상기 클럭신호, 제1 신호, 제3 신호는 디스에이블, 상기 제2 신호는 인에이블이면 상기 변환출력신호는 디스에이블이고, 상기 클럭신호, 제1 신호, 제3 신호가 인에이블이면 상기 변환출력신호는 디스에이블이며, 상기 제1 신호는 디스에이블, 상기 클럭신호, 제3 신호가 인에이블이면 상기 변환출력신호는 인에이블인 유기발광 표시장치.

청구항 2

데이터신호, 선택신호 및 발광신호를 각각 전달하는 복수의 데이터선, 복수의 선택주사선, 및 복수의 발광주사선과, 상기 데이터선과 상기 선택주사선에 의해 정의되는 복수의 화소에 각각 형성되는 복수의 화소회로와, 상기 발광신호를 출력하는 제1 주사 구동부를 포함하는 유기발광 표시장치에 있어서,

상기 제1 주사 구동부는 복수의 변환회로를 포함하고,

상기 변환회로는, 복수개의 동일 타입의 트랜지스터를 포함하고, 제1 신호 내지 제2 신호 및 클럭신호를 입력받아, 변환출력신호를 출력하고, 상기 변환출력신호가 상기 발광신호이며,

상기 클럭신호, 제1 신호가 인에이블이면 상기 변환출력신호는 디스에이블이고, 상기 클럭신호, 제1 신호는 디스에이블, 상기 제2 신호는 인에이블이면 상기 변환출력신호는 디스에이블이며, 상기 제1 신호는 디스에이블, 상기 클럭신호가 인에이블이면 상기 변환출력신호는 인에이블인 유기발광 표시장치.

청구항 3

데이터신호, 선택신호 및 발광신호를 각각 전달하는 복수의 데이터선, 복수의 선택주사선, 및 복수의 발광주사선과, 상기 데이터선과 상기 선택주사선에 의해 정의되는 복수의 화소에 각각 형성되는 복수의 화소회로와, 상기 발광신호를 출력하는 제1 주사 구동부를 포함하는 유기발광 표시장치에 있어서,

상기 제1 주사 구동부는 복수의 변환회로를 포함하고,

상기 변환회로는, 복수개의 동일 타입의 트랜지스터를 포함하고, 제1 신호, 클럭신호 및 클럭바 신호를 입력받아, 변환출력신호를 출력하고, 상기 변환출력신호가 상기 발광신호이며,

상기 클럭신호, 제1 신호가 인에이블이면 상기 변환출력신호는 디스에이블이고, 상기 클럭신호, 제1 신호는 디스에이블, 상기 클럭바 신호는 인에이블이면 상기 변환출력신호는 디스에이블이고, 상기 제1 신호는 디스에이블, 상기 클럭신호가 인에이블이면 상기 변환출력신호는 인에이블인 유기발광 표시장치.

청구항 4

데이터신호, 선택신호 및 발광신호를 각각 전달하는 복수의 데이터선, 복수의 선택주사선, 및 복수의 발광주사선과, 상기 데이터선과 상기 선택주사선에 의해 정의되는 복수의 화소에 각각 형성되는 복수의 화소회로와, 상기 발광신호를 출력하는 제1 주사 구동부를 포함하는 유기발광 표시장치에 있어서,

상기 제1 주사 구동부는 복수의 변환회로를 포함하고,

상기 변환회로는, 복수개의 동일 타입의 트랜지스터를 포함하고, 제1 신호, 클럭신호 및 클럭바 신호를 입력받아, 변환출력신호를 출력하고, 상기 변환출력신호가 상기 발광신호이며,

상기 제1 신호가 인에이블이면 상기 변환출력신호는 디스에이블이고, 상기 클럭신호, 제1 신호는 디스에이블, 상기 클럭바 신호는 인에이블이면 상기 변환출력신호는 디스에이블이고, 상기 제1 신호는 디스에이블, 상기 클

력신호가 인에이블이면 상기 변환출력신호는 인에이블인 유기발광 표시장치.

청구항 5

제1항에 있어서,

상기 제1 주사 구동부는 복수의 주사회로를 더 포함하고,

상기 주사회로는, 복수개의 동일타입의 트랜지스터를 포함하고, 입력신호, 클럭신호, 및 클럭바신호를 입력받아, 주사출력신호를 출력하고, 상기 주사출력신호가 상기 주사신호이며,

상기 입력신호가 인에이블, 상기 클럭신호가 디스에이블인 이후에, 상기 클럭신호가 인에이블이면 상기 주사출력신호는 인에이블이며,

상기 제1 내지 제3 신호는 상기 복수개의 주사회로로부터 출력되는 주사출력신호들 중 순차적으로 각각 인에이블 구간을 갖는 주사출력신호들인 유기발광 표시장치.

청구항 6

제2항에 있어서,

상기 제1 주사 구동부는 복수의 주사회로를 더 포함하고,

상기 주사회로는, 복수개의 동일타입의 트랜지스터를 포함하고, 입력신호, 클럭신호, 및 클럭바신호를 입력받아, 주사출력신호를 출력하고, 상기 주사출력신호가 상기 주사신호이며,

상기 입력신호가 인에이블, 상기 클럭신호가 디스에이블인 이후에, 상기 클럭신호가 인에이블이면 상기 주사출력신호는 인에이블이며,

상기 제1 내지 제2 신호는 상기 복수개의 주사회로로부터 출력되는 주사출력신호들 중 순차적으로 각각 인에이블 구간을 갖는 주사출력신호들인 유기발광 표시장치.

청구항 7

제3항에 있어서,

상기 제1 주사 구동부는 복수의 주사회로를 더 포함하고,

상기 주사회로는, 복수개의 동일타입의 트랜지스터를 포함하고, 입력신호, 클럭신호, 및 클럭바신호를 입력받아, 주사출력신호를 출력하고, 상기 주사출력신호가 상기 주사신호이며,

상기 입력신호가 인에이블, 상기 클럭신호가 디스에이블인 이후에, 상기 클럭신호가 인에이블이면 상기 주사출력신호는 인에이블이며,

상기 제1 신호는 상기 복수개의 주사회로로부터 출력되는 주사출력신호들인 유기발광 표시장치.

청구항 8

제4항에 있어서,

상기 제1 주사 구동부는 복수의 주사회로를 더 포함하고,

상기 주사회로는, 복수개의 동일타입의 트랜지스터를 포함하고, 입력신호, 클럭신호, 및 클럭바신호를 입력받아, 주사출력신호를 출력하고, 상기 주사출력신호가 상기 주사신호이며,

상기 입력신호가 인에이블, 상기 클럭신호가 디스에이블인 이후에, 상기 클럭신호가 인에이블이면 상기 주사출력신호는 인에이블이며,

상기 제1 신호는 상기 복수개의 주사회로로부터 출력되는 주사출력신호들인 유기발광 표시장치.

청구항 9

제1항에 있어서, 상기 변환회로는,

상기 클럭신호에 응답하여 상기 제1 신호를 제1 노드로 전달하는 제1 트랜지스터;

상기 제1 노드와 제1 전압원의 전위차를 저장하는 제1 커패시터;
 상기 제1 노드의 신호에 응답하여 상기 제1 전압원의 전압을 제2 노드로 전달하는 제2 트랜지스터;
 상기 제1 노드의 신호에 응답하여 상기 제2 노드의 신호를 제3 노드로 전달하는 제3 트랜지스터;
 상기 제2 노드와 상기 제3 노드의 전위차를 저장하는 제2 커패시터;
 제4 노드의 신호에 응답하여 제2 전압원의 전압을 상기 제3 노드로 전달하는 제4 트랜지스터;
 상기 제3 노드의 신호에 응답하여 상기 제2 전압원의 전압을 상기 제2 노드로 전달하는 제5 트랜지스터;
 상기 제2 신호에 응답하여 상기 제2 신호를 제5 노드로 전달하는 제6 트랜지스터;
 상기 제1 신호에 응답하여 제1 전압원의 전압을 상기 제5 노드로 전달하는 제7 트랜지스터; 및
 상기 제4 노드와 상기 제5 노드의 전위차를 저장하는 제3 커패시터;
 상기 제5 노드의 신호에 응답하여 상기 제3 신호를 상기 제4 노드에 전달하는 제8 트랜지스터;를 포함하며,
 상기 제2 노드의 신호가 상기 변환출력신호인 유기발광 표시장치.

청구항 10

제2항에 있어서, 상기 변환회로는,
 상기 클럭신호에 응답하여 상기 제1 신호를 제1 노드로 전달하는 제1 트랜지스터;
 상기 제1 노드와 제1 전압원의 전위차를 저장하는 제1 커패시터;
 상기 제1 노드의 신호에 응답하여 상기 제1 전압원의 전압을 제2 노드로 전달하는 제2 트랜지스터;
 상기 제1 노드의 신호에 응답하여 상기 제2 노드의 신호를 제3 노드로 전달하는 제3 트랜지스터;
 상기 제2 노드와 상기 제3 노드의 전위차를 저장하는 제2 커패시터;
 제4 노드의 신호에 응답하여 제2 전압원의 전압을 상기 제3 노드로 전달하는 제4 트랜지스터;
 상기 제3 노드의 신호에 응답하여 상기 제2 전압원의 전압을 상기 제2 노드로 전달하는 제5 트랜지스터;
 상기 제2 신호에 응답하여 상기 제2 신호를 제5 노드로 전달하는 제6 트랜지스터;
 상기 제1 신호에 응답하여 제1 전압원의 전압을 상기 제5 노드로 전달하는 제7 트랜지스터; 및
 상기 제4 노드와 상기 제5 노드의 전위차를 저장하는 제3 커패시터;
 상기 제5 노드의 신호에 응답하여 상기 클럭신호를 상기 제4 노드에 전달하는 제8 트랜지스터;를 포함하며,
 상기 제2 노드의 신호가 상기 변환출력신호인 유기발광 표시장치.

청구항 11

제3항에 있어서, 상기 변환회로는,
 상기 클럭신호에 응답하여 상기 제1 신호를 제1 노드로 전달하는 제1 트랜지스터;
 상기 제1 노드와 제1 전압원의 전위차를 저장하는 제1 커패시터;
 상기 제1 노드의 신호에 응답하여 상기 제1 전압원의 전압을 제2 노드로 전달하는 제2 트랜지스터;
 상기 제1 노드의 신호에 응답하여 상기 제2 노드의 신호를 제3 노드로 전달하는 제3 트랜지스터;
 상기 제2 노드와 상기 제3 노드의 전위차를 저장하는 제2 커패시터;
 제4 노드의 신호에 응답하여 제2 전압원의 전압을 상기 제3 노드로 전달하는 제4 트랜지스터;
 상기 제3 노드의 신호에 응답하여 상기 제2 전압원의 전압을 상기 제2 노드로 전달하는 제5 트랜지스터;
 상기 클럭바 신호에 응답하여 상기 클럭바 신호를 제5 노드로 전달하는 제6 트랜지스터;

상기 제1 신호에 응답하여 제1 전압원의 전압을 상기 제5 노드로 전달하는 제7 트랜지스터; 및
 상기 제4 노드와 상기 제5 노드의 전위차를 저장하는 제3 커패시터;
 상기 제5 노드의 신호에 응답하여 상기 클럭신호를 상기 제4 노드에 전달하는 제8 트랜지스터;를 포함하며,
 상기 제2 노드의 신호가 상기 변환출력신호인 유기발광 표시장치.

청구항 12

제4항에 있어서, 상기 변환회로는,
 상기 제1 신호에 응답하여 상기 제1 전압원의 전압을 제1 노드로 전달하는 제1 트랜지스터;
 상기 제1 신호에 응답하여 상기 제1 노드의 신호를 제2 노드로 전달하는 제2 트랜지스터;
 상기 제1 노드와 상기 제2 노드의 전위차를 저장하는 제1 커패시터;
 제3 노드의 신호에 응답하여 제2 전압원의 전압을 상기 제2 노드로 전달하는 제3 트랜지스터;
 상기 제2 노드의 신호에 응답하여 상기 제2 전압원의 전압을 상기 제1 노드로 전달하는 제4 트랜지스터;
 상기 클럭바 신호에 응답하여 상기 클럭바 신호를 제4 노드로 전달하는 제5 트랜지스터;
 상기 제1 신호에 응답하여 제1 전압원의 전압을 상기 제4 노드로 전달하는 제6 트랜지스터; 및
 상기 제3 노드와 상기 제4 노드의 전위차를 저장하는 제2 커패시터;
 상기 제4 노드의 신호에 응답하여 상기 클럭신호를 상기 제3 노드에 전달하는 제7 트랜지스터;를 포함하며,
 상기 제1 노드의 신호가 상기 변환출력신호인 유기발광 표시장치.

청구항 13

제5항 내지 제8항 중 어느 한 항에 있어서, 상기 주사회로는,
 상기 클럭바신호에 응답하여 상기 입력신호를 제5 노드로 전달하는 제11 트랜지스터;
 제5 노드의 신호에 응답하여 상기 클럭신호를 제6 노드로 전달하는 제12 트랜지스터;
 상기 클럭바신호에 응답하여 상기 제2 전압원의 전압을 제7 노드에 전달하는 제13 트랜지스터;
 상기 제5 노드의 신호에 응답하여 상기 클럭바신호를 상기 제7 노드로 전달하는 제14 트랜지스터;
 상기 제7 노드의 신호에 응답하여 상기 제1 전압원의 디스에이블 레벨을 상기 제6 노드에 전달하는 제15 트랜지스터; 및
 상기 제12 트랜지스터의 제어전극과 제1 주전극 사이에 전기적으로 연결되어, 상기 제5 노드의 신호의 인에이블 레벨과 상기 제6 노드의 신호의 디스에이블 전위의 전위차를 충전하는 제3 커패시터;를 포함하는 유기발광 표시장치.

청구항 14

제1항 내지 제4항 중 어느 한 항에 있어서,
 상기 유기발광 표시장치는 상기 선택신호를 출력하는 제2 주사 구동부를 더 포함하며,
 상기 제2 주사 구동부는 복수의 선택회로를 포함하고,
 상기 선택회로는, 복수개의 동일타입의 트랜지스터를 포함하고, 입력신호, 클럭신호, 및 클럭바신호를 입력받아, 선택출력신호를 출력하고, 상기 선택출력신호가 상기 선택신호이며,
 상기 입력신호가 인에이블, 상기 클럭신호가 디스에이블인 이후에, 상기 클럭신호가 인에이블이면 상기 선택출력신호는 인에이블인 유기발광 표시장치.

청구항 15

제14항에 있어서, 상기 선택회로는,

상기 클럭바신호에 응답하여 상기 입력신호를 제5 노드로 전달하는 제11 트랜지스터;

제5 노드의 신호에 응답하여 상기 클럭신호를 제6 노드로 전달하는 제12 트랜지스터;

상기 클럭바신호에 응답하여 상기 제2 전압원의 전압을 제7 노드에 전달하는 제13 트랜지스터;

상기 제5 노드의 신호에 응답하여 상기 클럭바신호를 상기 제7 노드로 전달하는 제14 트랜지스터;

상기 제7 노드의 신호에 응답하여 상기 제1 전압원의 디스에이블 레벨을 상기 제6 노드에 전달하는 제15 트랜지스터; 및

상기 제12 트랜지스터의 제어전극과 제1 주전극 사이에 전기적으로 연결되어, 상기 제5 노드의 신호의 인에이블 레벨과 상기 제6 노드의 신호의 디스에이블 전위의 전위차를 충전하는 제3 커패시터;를 포함하는 유기발광 표시장치.

청구항 16

제5항 내지 제9항 중 어느 한 항에 있어서,

상기 복수의 주사회로 중 제1 주사회로는, 상기 입력신호로 주사입력신호가, 상기 클럭신호로 제1 제어신호가, 상기 클럭바신호로 제2 제어신호가 인가되어, 제1 주사출력신호를 출력하며,

상기 복수의 주사회로 중 제2 주사회로는, 상기 입력신호로 상기 제1 주사출력신호가, 상기 클럭신호로 제2 제어신호가, 상기 클럭바신호로 제1 제어신호가 인가되어, 제2 주사출력신호를 출력하는 유기발광 표시장치.

청구항 17

제1항 또는 제2항에 있어서,

상기 복수의 변환회로 중 제1 변환회로는, 상기 클럭신호로 제1 제어신호가 인가되어, 제1 발광출력신호를 출력하며,

상기 복수의 주사회로 중 제2 주사회로는, 상기 클럭신호로 제2 제어신호가 인가되어, 제2 발광출력신호를 출력하는 유기발광 표시장치.

청구항 18

제3항 내지 제4항 중 어느 한 항에 있어서,

상기 복수의 변환회로 중 제1 변환회로는, 상기 클럭신호로 제1 제어신호가, 상기 클럭바신호로 제2 제어신호가 인가되어, 제1 발광출력신호를 출력하며,

상기 복수의 주사회로 중 제2 주사회로는, 상기 클럭신호로 상기 제2 제어신호가, 상기 클럭바신호로 상기 제1 제어신호가 인가되어, 제2 발광출력신호를 출력하는 유기발광 표시장치.

청구항 19

제14항에 있어서,

상기 복수의 선택회로 중 제1 선택회로는, 상기 입력신호로 선택입력신호가, 상기 클럭신호로 제3 제어신호가, 상기 클럭바신호로 제4 제어신호가 인가되어, 제1 선택출력신호를 출력하며,

상기 복수의 선택회로 중 제2 선택회로는, 상기 입력신호로 상기 제1 선택출력신호가, 상기 클럭신호로 상기 제2 제어신호가, 상기 클럭바신호로 상기 제1 제어신호가 인가되어, 제2 선택출력신호를 출력하는 유기발광 표시장치.

청구항 20

제1항 내지 제8항 및 제14항 중 어느 한 항에 있어서,

상기 동일 타입의 트랜지스터는 p 채널 트랜지스터인 유기발광 표시장치.

청구항 21

제1항 내지 제8항 및 제14항 중 어느 한 항에 있어서,
상기 동일 타입의 트랜지스터는 n 채널 트랜지스터인 유기발광 표시장치.

청구항 22

제1항 내지 제4항 중 어느 한 항에 있어서, 상기 화소회로는,
상기 선택신호에 응답하여 데이터신호가 전달되고, 상기 전달된 데이터신호가 제3 전압으로 저장되고, 상기 발광신호에 의해 상기 제3 전압에 해당하는 구동전류가 전달되며, 상기 구동 전류에 대응하여 빛을 발광하는 유기 발광소자를 구동하는 유기발광 표시장치.

청구항 23

제22항에 있어서, 상기 화소회로는,
상기 유기발광소자;
상기 유기발광소자를 발광시키기 위한 상기 구동전류를 공급하는 트랜지스터;
상기 선택주사선으로부터의 상기 선택신호에 응답하여 상기 데이터선으로부터의 상기 데이터신호를 상기 트랜지스터로 전달하는 제1 스위칭 소자;
상기 선택신호에 응답하여 상기 트랜지스터를 다이오드 연결하는 제2 스위칭 소자;
상기 트랜지스터의 제1 주전극과 제어전극 사이에 전기적으로 연결되는 제1 저장소자; 및
상기 발광주사선으로부터의 발광신호에 응답하여 상기 트랜지스터로부터의 상기 구동전류를 상기 유기발광소자로 전달하는 제3 스위칭 소자를 포함하는 유기발광 표시장치.

청구항 24

제9 내지 제12항 중 어느 한 항에 있어서,
상기 발광주사선과 상기 제2 전압원 사이에 부하 커패시터가 더 연결되는 유기발광표시장치.

청구항 25

제9 내지 제13, 제15항 및 제24항 중 어느 한 항에 있어서,
상기 제2 전압원은 접지단인 유기발광표시장치.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <21> 본 발명은 유기발광 표시장치에 관한 것으로서, 구동장치에 동일타입의 트랜지스터를 사용하여 제조비용이 저감 되도록 하고, 발광신호의 펄스폭을 안정적으로 가변할 수 있는 유기발광 표시장치에 관한 것이다.
- <22> 일반적으로 유기발광 표시장치는 형광성 유기화합물을 전기적으로 여기시켜 발광시키는 표시 장치로서, 행렬 형태로 배열된 복수개의 유기 발광셀들을 전압 구동 혹은 전류 구동하여 영상을 표현할 수 있도록 되어 있다. 이러한 유기 발광셀들은 다이오드 특성을 가져서 유기발광 다이오드(OLED)로 불린다.
- <23> 도 1은 유기발광소자의 개념도이다.
- <24> 도면을 참조하면, 유기발광소자는 애노드(ITO), 유기 박막, 캐소드 전극층(금속)의 구조를 가진다. 유기 박막은 전자와 정공의 균형을 좋게 하여 발광 효율을 향상시키기 위해 발광층(emitting layer, EML), 전자 수송층

(electron transport layer, ETL) 및 정공 수송층(hole transport layer, HTL)을 포함한다.

<25> 이와 같이 이루어지는 유기 발광셀을 구동하는 방식에는 단순 매트릭스(passive matrix)방식과 박막 트랜지스터(thin film transistor, TFT) 또는 MOSFET를 이용한 능동 구동(active matrix) 방식이 있다. 단순 매트릭스 방식은 양극과 음극을 직교하도록 형성하고 라인을 선택하여 구동하는데 비해, 능동 구동 방식은 박막 트랜지스터를 각 ITO(indium tin oxide) 화소 전극에 연결하고 박막트랜지스터의 게이트에 연결된 커패시터 용량에 의해 유지된 전압에 따라 구동하는 방식이다. 한편, 능동 구동 방식은 커패시터에 전압을 기입하여 유지시키기 위해 인가되는 신호의 형태에 따라 전압 기입(voltage programming) 방식과 전류 기입(current programming) 방식으로 나누어진다.

<26> 도 2는 종래의 전압 구동 방식의 화소 회로의 회로도이다.

<27> 도 2를 참조하면, 선택주사선(Sn)의 선택신호에 의해 스위칭 트랜지스터(M2)가 턴 온되고, 상기 턴 온에 의해 데이터선(Dm)으로부터의 데이터 전압이 구동 트랜지스터(M1)의 게이트 단에 전달되며, 데이터 전압과 전압원(VDD)의 전위차가 구동 트랜지스터(M1)의 게이트와 소스 사이에 연결된 커패시터(C1)에 저장된다. 상기 전위차에 의해 구동전류(I_{LED})가 유기발광소자(OLED)에 흘러, 유기발광소자(OLED)가 발광하게 된다. 이때, 인가되는 데이터 전압의 전압 레벨에 따라 소정의 명암 계조 표시가 가능하게 된다. 그런데 이와 같은 종래의 전압 기입 방식의 화소회로에서는 제조 공정의 불균일성에 의해 화소마다 생기는 구동 트랜지스터(M1)의 문턱전압(V_{th}) 및 전자 이동도(electron mobility)의 편차로 인해 고계조를 얻기 어렵다는 문제점이 있다.

<28> 이를 극복하기 위한 방안으로, 화소회로에 전류를 공급하는 전류원이 패널 전체, 즉 모든 데이터선에 균일하도록 하여, 각 화소내의 구동 트랜지스터가 불균일한 전압-전류 특성을 갖는다 하더라도 균일한 디스플레이가 가능한 전류 기입 방식의 화소회로가 사용된다.

<29> 도 3은 종래의 전류 구동 방식의 화소 회로의 회로도이다.

<30> 도면을 참조하여 설명하면, 선택 주사선(Sn)으로부터의 선택신호에 의해 트랜지스터(M2,M3)가 턴온되면, p 채널 트랜지스터(M1)는 다이오드 연결 상태로 되어 커패시터(C1)에 전류가 흘러서 전압이 충전되고, 트랜지스터(M1)의 게이트 전위가 저하하여 소스에서 드레인으로 전류가 흐른다. 시간 경과에 의해 커패시터(C1)의 충전 전압이 높아져서 트랜지스터(M1)의 드레인 전류가 트랜지스터(M2)의 드레인 전류와 동일해지면 커패시터(C1)의 충전 전류가 정지하여 충전 전압이 안정된다. 따라서 데이터선(Dm)으로부터의 선택신호가 하이레벨이 되어 트랜지스터(M2,M3)가 턴 오프되지만, 발광주사선(En)으로부터의 발광신호가 로우레벨이 되어 트랜지스터(M4)가 턴온된다. 그러면 전원 전압(VDD)으로부터 전원이 공급되고, 커패시터(C1)에 저장된 전압에 대응하는 구동전류(I_{LED})가 유기발광소자(OLED)로 흘러 설정된 휘도로 발광이 이루어진다.

<31> 도 3과 같은 전류 구동 방식의 화소 회로를 구동하기 위해서는 선택주사선, 및 발광주사선에 각각의 신호를 공급하는 각각의 구동장치가 구비되어야 한다. 종래에는 상기 각각의 주사선에 신호를 공급하는 구동장치로서, 서로 다른 타입의 트랜지스터(CMOS)를 사용하여 구현하였으나, 이와 같이 구현할 경우, 제조 공정의 더 복잡화되며, 제조비용이 증대되는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

<32> 본 발명은 상기와 같은 문제점을 포함하여 여러 문제점들을 해결하기 위한 것으로서, 구동장치에 동일타입의 트랜지스터를 사용하여 제조비용이 저감되도록하고, 발광신호의 펄스폭을 안정적으로 가변할 수 있는 유기발광 표시장치를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

<33> 본 발명은, 데이터신호, 선택신호 및 발광신호를 각각 전달하는 복수의 데이터선, 복수의 선택주사선, 및 복수의 발광주사선과, 데이터선과 선택주사선에 의해 정의되는 복수의 화소에 각각 형성되는 복수의 화소회로와, 발광신호를 출력하는 제1 주사 구동부를 포함하는 유기발광 표시장치에 있어서, 제1 주사 구동부는 복수의 변환회로를 포함하고, 변환회로는, 복수개의 동일 타입의 트랜지스터를 포함하고, 제1 신호 내지 제3 신호 및 클럭신호를 입력받아, 변환출력신호를 출력하고, 변환출력신호가 발광신호이며, 클럭신호, 제1 신호가 인에이블이면 변환출력신호는 디스에이블이고, 클럭신호, 제1 신호, 제3 신호는 디스에이블, 제2 신호는 인에이블이면 변환출력신호는 디스에이블이고, 클럭신호, 제1 신호, 제3 신호가 인에이블이면 변환출력신호는 디스에이블이며, 제1 신호는 디스에이블, 클럭신호, 제3 신호가 인에이블이면 변환출력신호는 인에이블인 유기발광 표시장치를 제공

한다.

- <34> 본 발명은, 데이터신호, 선택신호 및 발광신호를 각각 전달하는 복수의 데이터선, 복수의 선택주사선, 및 복수의 발광주사선과, 데이터선과 선택주사선에 의해 정의되는 복수의 화소에 각각 형성되는 복수의 화소회로와, 발광신호를 출력하는 제1 주사 구동부를 포함하는 유기발광 표시장치에 있어서, 제1 주사 구동부는 복수의 변환회로를 포함하고, 변환회로는, 복수개의 동일 타입의 트랜지스터를 포함하고, 제1 신호 내지 제2 신호 및 클럭신호를 입력받아, 변환출력신호를 출력하고, 변환출력신호가 발광신호이며, 클럭신호, 제1 신호가 인에이블이면 변환출력신호는 디스에이블이고, 클럭신호, 제1 신호는 디스에이블, 제2 신호는 인에이블이면 변환출력신호는 디스에이블이며, 제1 신호는 디스에이블, 클럭신호가 인에이블이면 변환출력신호는 인에이블인 유기발광 표시장치를 제공한다.
- <35> 본 발명은, 데이터신호, 선택신호 및 발광신호를 각각 전달하는 복수의 데이터선, 복수의 선택주사선, 및 복수의 발광주사선과, 데이터선과 선택주사선에 의해 정의되는 복수의 화소에 각각 형성되는 복수의 화소회로와, 발광신호를 출력하는 제1 주사 구동부를 포함하는 유기발광 표시장치에 있어서, 제1 주사 구동부는 복수의 변환회로를 포함하고, 변환회로는, 복수개의 동일 타입의 트랜지스터를 포함하고, 제1 신호, 클럭신호 및 클럭바 신호를 입력받아, 변환출력신호를 출력하고, 변환출력신호가 발광신호이며, 클럭신호, 제1 신호가 인에이블이면 변환출력신호는 디스에이블이고, 클럭신호, 제1 신호는 디스에이블, 클럭바 신호는 인에이블이면 변환출력신호는 디스에이블이고, 제1 신호는 디스에이블, 클럭신호가 인에이블이면 변환출력신호는 인에이블인 유기발광 표시장치를 제공한다.
- <36> 본 발명은, 데이터신호, 선택신호 및 발광신호를 각각 전달하는 복수의 데이터선, 복수의 선택주사선, 및 복수의 발광주사선과, 데이터선과 선택주사선에 의해 정의되는 복수의 화소에 각각 형성되는 복수의 화소회로와, 발광신호를 출력하는 제1 주사 구동부를 포함하는 유기발광 표시장치에 있어서, 제1 주사 구동부는 복수의 변환회로를 포함하고, 변환회로는, 복수개의 동일 타입의 트랜지스터를 포함하고, 제1 신호, 클럭신호 및 클럭바 신호를 입력받아, 변환출력신호를 출력하고, 변환출력신호가 발광신호이며, 제1 신호가 인에이블이면 변환출력신호는 디스에이블이고, 클럭신호, 제1 신호는 디스에이블, 클럭바 신호는 인에이블이면 변환출력신호는 디스에이블이고, 제1 신호는 디스에이블, 클럭신호가 인에이블이면 변환출력신호는 인에이블인 유기발광 표시장치를 제공한다.
- <37> 이러한 본 발명의 다른 특징에 의하면, 제1 주사 구동부는 복수의 주사회로를 더 포함하고, 주사회로는, 복수개의 동일타입의 트랜지스터를 포함하고, 입력신호, 클럭신호, 및 클럭바신호를 입력받아, 주사출력신호를 출력하고, 주사출력신호가 주사신호이며, 입력신호가 인에이블, 클럭신호가 디스에이블인 이후에, 클럭신호가 인에이블이면 주사출력신호는 인에이블이며, 제1 내지 제3 신호는 복수개의 주사회로로부터 출력되는 주사출력신호들 중 순차적으로 각각 인에이블 구간을 갖는 주사출력신호들일 수 있다.
- <38> 이러한 본 발명의 또 다른 특징에 의하면, 제1 주사 구동부는 복수의 주사회로를 더 포함하고, 주사회로는, 복수개의 동일타입의 트랜지스터를 포함하고, 입력신호, 클럭신호, 및 클럭바신호를 입력받아, 주사출력신호를 출력하고, 주사출력신호가 주사신호이며, 입력신호가 인에이블, 클럭신호가 디스에이블인 이후에, 클럭신호가 인에이블이면 주사출력신호는 인에이블이며, 제1 내지 제2 신호는 복수개의 주사회로로부터 출력되는 주사출력신호들 중 순차적으로 각각 인에이블 구간을 갖는 주사출력신호들일 수 있다.
- <39> 이러한 본 발명의 또 다른 특징에 의하면, 제1 주사 구동부는 복수의 주사회로를 더 포함하고, 주사회로는, 복수개의 동일타입의 트랜지스터를 포함하고, 입력신호, 클럭신호, 및 클럭바신호를 입력받아, 주사출력신호를 출력하고, 주사출력신호가 주사신호이며, 입력신호가 인에이블, 클럭신호가 디스에이블인 이후에, 클럭신호가 인에이블이면 주사출력신호는 인에이블이며, 제1 신호는 복수개의 주사회로로부터 출력되는 주사출력신호들일 수 있다.
- <40> 이러한 본 발명의 또 다른 특징에 의하면, 제1 주사 구동부는 복수의 주사회로를 더 포함하고, 주사회로는, 복수개의 동일타입의 트랜지스터를 포함하고, 입력신호, 클럭신호, 및 클럭바신호를 입력받아, 주사출력신호를 출력하고, 주사출력신호가 주사신호이며, 입력신호가 인에이블, 클럭신호가 디스에이블인 이후에, 클럭신호가 인에이블이면 주사출력신호는 인에이블이며, 제1 신호는 복수개의 주사회로로부터 출력되는 주사출력신호들일 수 있다.
- <41> 이러한 본 발명의 또 다른 특징에 의하면, 변환회로는, 클럭신호에 응답하여 제1 신호를 제1 노드로 전달하는 제1 트랜지스터; 제1 노드와 제1 전압원의 전위차를 저장하는 제1 커패시터; 제1 노드의 신호에 응답하여 제1

전압원의 전압을 제2 노드로 전달하는 제2 트랜지스터; 제1 노드의 신호에 응답하여 제2 노드의 신호를 제3 노드로 전달하는 제3 트랜지스터; 제2 노드와 제3 노드의 전위차를 저장하는 제2 커패시터; 제4 노드의 신호에 응답하여 제2 전압원의 전압을 제3 노드로 전달하는 제4 트랜지스터; 제3 노드의 신호에 응답하여 제2 전압원의 전압을 제2 노드로 전달하는 제5 트랜지스터; 제2 신호에 응답하여 제2 신호를 제5 노드로 전달하는 제6 트랜지스터; 제1 신호에 응답하여 제1 전압원의 전압을 제5 노드로 전달하는 제7 트랜지스터; 및 제4 노드와 제5 노드의 전위차를 저장하는 제3 커패시터; 제5 노드의 신호에 응답하여 제3 신호를 제4 노드에 전달하는 제8 트랜지스터;를 포함하며, 제2 노드의 신호가 변환출력신호일 수 있다.

<42> 이러한 본 발명의 또 다른 특징에 의하면, 변환회로는, 클럭신호에 응답하여 제1 신호를 제1 노드로 전달하는 제1 트랜지스터; 제1 노드와 제1 전압원의 전위차를 저장하는 제1 커패시터; 제1 노드의 신호에 응답하여 제1 전압원의 전압을 제2 노드로 전달하는 제2 트랜지스터; 제1 노드의 신호에 응답하여 제2 노드의 신호를 제3 노드로 전달하는 제3 트랜지스터; 제2 노드와 제3 노드의 전위차를 저장하는 제2 커패시터; 제4 노드의 신호에 응답하여 제2 전압원의 전압을 제3 노드로 전달하는 제4 트랜지스터; 제3 노드의 신호에 응답하여 제2 전압원의 전압을 제2 노드로 전달하는 제5 트랜지스터; 제2 신호에 응답하여 제2 신호를 제5 노드로 전달하는 제6 트랜지스터; 제1 신호에 응답하여 제1 전압원의 전압을 제5 노드로 전달하는 제7 트랜지스터; 및 제4 노드와 제5 노드의 전위차를 저장하는 제3 커패시터; 제5 노드의 신호에 응답하여 클럭신호를 제4 노드에 전달하는 제8 트랜지스터;를 포함하며, 제2 노드의 신호가 변환출력신호일 수 있다.

<43> 이러한 본 발명의 또 다른 특징에 의하면, 변환회로는, 클럭신호에 응답하여 제1 신호를 제1 노드로 전달하는 제1 트랜지스터; 제1 노드와 제1 전압원의 전위차를 저장하는 제1 커패시터; 제1 노드의 신호에 응답하여 제1 전압원의 전압을 제2 노드로 전달하는 제2 트랜지스터; 제1 노드의 신호에 응답하여 제2 노드의 신호를 제3 노드로 전달하는 제3 트랜지스터; 제2 노드와 제3 노드의 전위차를 저장하는 제2 커패시터; 제4 노드의 신호에 응답하여 제2 전압원의 전압을 제3 노드로 전달하는 제4 트랜지스터; 제3 노드의 신호에 응답하여 제2 전압원의 전압을 제2 노드로 전달하는 제5 트랜지스터; 클럭바 신호에 응답하여 클럭바 신호를 제5 노드로 전달하는 제6 트랜지스터; 제1 신호에 응답하여 제1 전압원의 전압을 제5 노드로 전달하는 제7 트랜지스터; 및 제4 노드와 제5 노드의 전위차를 저장하는 제3 커패시터; 제5 노드의 신호에 응답하여 클럭신호를 제4 노드에 전달하는 제8 트랜지스터;를 포함하며, 제2 노드의 신호가 변환출력신호일 수 있다.

<44> 이러한 본 발명의 또 다른 특징에 의하면, 변환회로는, 제1 신호에 응답하여 제1 전압원의 전압을 제1 노드로 전달하는 제1 트랜지스터; 제1 신호에 응답하여 제1 노드의 신호를 제2 노드로 전달하는 제2 트랜지스터; 제1 노드와 제2 노드의 전위차를 저장하는 제1 커패시터; 제3 노드의 신호에 응답하여 제2 전압원의 전압을 제2 노드로 전달하는 제3 트랜지스터; 제2 노드의 신호에 응답하여 제2 전압원의 전압을 제1 노드로 전달하는 제4 트랜지스터; 클럭바 신호에 응답하여 클럭바 신호를 제4 노드로 전달하는 제5 트랜지스터; 제1 신호에 응답하여 제1 전압원의 전압을 제4 노드로 전달하는 제6 트랜지스터; 및 제3 노드와 제4 노드의 전위차를 저장하는 제2 커패시터; 제4 노드의 신호에 응답하여 클럭신호를 제3 노드에 전달하는 제7 트랜지스터;를 포함하며, 제1 노드의 신호가 변환출력신호일 수 있다.

<45> 이러한 본 발명의 또 다른 특징에 의하면, 주사회로는, 클럭바신호에 응답하여 입력신호를 제5 노드로 전달하는 제11 트랜지스터; 제5 노드의 신호에 응답하여 클럭신호를 제6 노드로 전달하는 제12 트랜지스터; 클럭바신호에 응답하여 제2 전압원의 전압을 제7 노드에 전달하는 제13 트랜지스터; 제5 노드의 신호에 응답하여 클럭바신호를 제7 노드로 전달하는 제14 트랜지스터; 제7 노드의 신호에 응답하여 제1 전압원의 디스플레이 레벨을 제6 노드에 전달하는 제15 트랜지스터; 및 제12 트랜지스터의 게이트전극과 제1 주전극 사이에 전기적으로 연결되어, 제5 노드의 신호의 인에이بل 레벨과 제6 노드의 신호의 디스플레이 전위의 전위차를 충전하는 제3 커패시터;를 포함할 수 있다.

<46> 이러한 본 발명의 또 다른 특징에 의하면, 유기발광 표시장치는 선택신호를 출력하는 제2 주사 구동부를 더 포함하며, 제2 주사 구동부는 복수의 선택회로를 포함하고, 선택회로는, 복수개의 동일타입의 트랜지스터를 포함하고, 입력신호, 클럭신호, 및 클럭바신호를 입력받아, 선택출력신호를 출력하고, 선택출력신호가 선택신호이며, 입력신호가 인에이블, 클럭신호가 디스플레이인 이후에, 클럭신호가 인에이블이면 선택출력신호는 인에이블일 수 있다.

<47> 이러한 본 발명의 또 다른 특징에 의하면, 선택회로는, 클럭바신호에 응답하여 입력신호를 제5 노드로 전달하는 제11 트랜지스터; 제5 노드의 신호에 응답하여 클럭신호를 제6 노드로 전달하는 제12 트랜지스터; 클럭바신호에 응답하여 제2 전압원의 전압을 제7 노드에 전달하는 제13 트랜지스터; 제5 노드의 신호에 응답하여 클럭바신호

를 제7 노드로 전달하는 제14 트랜지스터; 제7 노드의 신호에 응답하여 제1 전압원의 디스에이블 레벨을 제6 노드에 전달하는 제15 트랜지스터; 및 제12 트랜지스터의 제어전극과 제1 주전극 사이에 전기적으로 연결되어, 제5 노드의 신호의 인에이블 레벨과 제6 노드의 신호의 디스에이블 전위의 전위차를 충전하는 제3 커패시터;를 포함할 수 있다.

- <48> 이러한 본 발명의 또 다른 특징에 의하면, 복수의 주사회로 중 제1 주사회로는, 입력신호로 주사입력신호가, 클럭신호로 제1 제어신호가, 클럭바신호로 제2 제어신호가 인가되어, 제1 주사출력신호를 출력하며, 복수의 주사회로 중 제2 주사회로는, 입력신호로 제1 주사출력신호가, 클럭신호로 제2 제어신호가, 클럭바신호로 제1 제어신호가 인가되어, 제2 주사출력신호를 출력할 수 있다.
- <49> 이러한 본 발명의 또 다른 특징에 의하면, 복수의 변환회로 중 제1 변환회로는, 클럭신호로 제1 제어신호가 인가되어, 제1 발광출력신호를 출력하며, 복수의 주사회로 중 제2 주사회로는, 클럭신호로 제2 제어신호가 인가되어, 제2 발광출력신호를 출력할 수 있다.
- <50> 이러한 본 발명의 또 다른 특징에 의하면, 복수의 변환회로 중 제1 변환회로는, 클럭신호로 제1 제어신호가, 클럭바신호로 제2 제어신호가 인가되어, 제1 발광출력신호를 출력하며, 복수의 주사회로 중 제2 주사회로는, 클럭신호로 제2 제어신호가, 클럭바신호로 제1 제어신호가 인가되어, 제2 발광출력신호를 출력할 수 있다.
- <51> 이러한 본 발명의 또 다른 특징에 의하면, 복수의 선택회로 중 제1 선택회로는, 입력신호로 선택입력신호가, 클럭신호로 제3 제어신호가, 클럭바신호로 제4 제어신호가 인가되어, 제1 선택출력신호를 출력하며, 복수의 선택회로 중 제2 선택회로는, 입력신호로 제1 선택출력신호가, 클럭신호로 제2 제어신호가, 클럭바신호로 제1 제어신호가 인가되어, 제2 선택출력신호를 출력할 수 있다.
- <52> 이러한 본 발명의 또 다른 특징에 의하면, 동일 타입의 트랜지스터는 p 채널 트랜지스터일 수 있다.
- <53> 이러한 본 발명의 또 다른 특징에 의하면, 동일 타입의 트랜지스터는 n 채널 트랜지스터일 수 있다.
- <54> 이러한 본 발명의 또 다른 특징에 의하면, 화소회로는, 선택신호에 응답하여 데이터신호가 전달되고, 전달된 데이터신호가 제3 전압으로 저장되고, 발광신호에 의해 제3 전압에 해당하는 구동전류가 전달되며, 구동 전류에 대응하여 빛을 발광하는 유기발광소자를 구동할 수 있다.
- <55> 이러한 본 발명의 또 다른 특징에 의하면, 화소회로는, 유기발광소자; 유기발광소자를 발광시키기 위한 구동전류를 공급하는 트랜지스터; 선택주사선으로부터의 선택신호에 응답하여 데이터선으로부터의 데이터신호를 트랜지스터로 전달하는 제1 스위칭 소자; 선택신호에 응답하여 트랜지스터를 다이오드 연결하는 제2 스위칭 소자; 트랜지스터의 제1 주전극과 제어전극 사이에 전기적으로 연결되는 제1 저장소자; 및 발광주사선으로부터의 발광신호에 응답하여 트랜지스터로부터의 구동전류를 유기발광소자로 전달하는 제3 스위칭 소자를 포함할 수 있다.
- <56> 이러한 본 발명의 또 다른 특징에 의하면, 발광주사선과 제2 전압원 사이에 부하 커패시터가 더 연결될 수 있다.
- <57> 이러한 본 발명의 또 다른 특징에 의하면, 제2 전압원은 접지단일 수 있다.
- <58> 이하, 첨부된 도면들을 참조하여 본 발명의 실시예에 대하여 상세히 설명한다.
- <59> 도 4는 유기발광 표시장치를 도시한 도면이다.
- <60> 도면을 참조하여 설명하면, 유기발광 표시장치(300)는 데이터 구동부(302), 제1 주사 구동부(304), 제2 주사 구동부(306), 및 유기발광 표시패널(310)을 포함한다.
- <61> 데이터 구동부(302)는 데이터선(D[1], ...D[m])에 데이터 신호를 인가한다. 본 발명은 전류 기입 방식으로 화소회로를 구동하므로, 데이터 신호는 데이터 구동부 내의 전류원으로부터 출력된다.
- <62> 제1 주사 구동부(304)는 발광주사선에 발광신호(E[1], ...E[n])를 인가한다. 발광신호에 의해, 화소회로(P) 내의 저장소자(커패시터)에 저장된 전압에 따라 구동전류가 유기발광소자로 인가되며, 유기발광소자가 발광하게 된다.
- <63> 제2 주사 구동부(306)는 선택주사선에 선택신호(S[1], ...S[n])를 인가한다. 선택신호(S[1], ...S[n])는 선택주사선에 순차적으로 인가되며, 선택신호(S[1], ...S[n])에 맞춰 상기 데이터신호(D[1], ...D[m])가 화소회로(P)에 인가된다.
- <64> 유기발광 표시패널(310)은, 선택주사선과 데이터선의 교차하는 영역에서 정의되는 복수개의 화소를 구동하기 위

한 복수개의 화소회로(P)를 포함한다.

- <65> 도 5는 도 4의 화소회로의 일예를 도시한 도면이다.
- <66> 화소회로(P)는 발광소자로서 유기발광소자(OLED), 트랜지스터(M1), 제1 내지 제3 스위칭 소자(M2,M3,M4), 및 저장캐패시터(Cst)를 포함한다. 여기서 트랜지스터(M1), 및 제1 내지 제3 스위칭 소자(M2,M3,M4)는 모두 동일 타입의 트랜지스터로 형성되는 것이 바람직하며, 도면에서는 p 채널 트랜지스터로 도시한다.
- <67> 제1 스위칭 소자(M2)는 데이터선과 트랜지스터(M1)의 게이트 사이에 연결되며, 선택주사선으로부터의 선택신호(S[n])에 응답하여 데이터선으로부터의 데이터 신호(D[m]) 즉, 데이터전류(I_{DATA})를 트랜지스터(M1)으로 전달한다. 제2 스위칭 소자(M3)는 데이터선과 트랜지스터(M1)의 드레인 사이에 연결되며, 선택주사선으로부터의 선택신호(S[n])에 응답하여 트랜지스터(M1)를 다이오드 연결시킨다. 트랜지스터(M1)는 제1 전압원(VDD)에 소스가 연결되고 제3 스위칭 소자(M4)에 드레인이 연결되며, 트랜지스터(M1)의 게이트와 소스 사이에는 저장캐패시터(Cst)가 연결된다. 제3 스위칭 소자(M4)는 유기발광소자(OLED)와 트랜지스터(M1) 사이에 연결되며, 발광신호(E[n])에 응답하여, 트랜지스터(M1)의 게이트-소스 사이에 전압에 해당하는 구동전류(I_{OLED})가 유기발광소자(OLED)에 흐르도록 한다.
- <68> 도 6은 도 4의 제1 주사 구동부의 일예를 간략히 도시한 블록도이고, 도 7은 도 6의 주사회로의 일예를 도시한 회로도이며, 도 8은 도 6의 변환회로의 일예를 도시한 회로도이고, 도 9는 도 7 및 도 8의 주사회로 및 변환회로를 통해 인가되는 신호들의 일예를 보여주는 타이밍도이다.
- <69> 도면을 참조하여 설명하면, 제1 주사 구동부(304)는 발광주사선에 발광신호(E[n])를 인가하기 위하여, 발광주사선의 개수에 해당하는 만큼의 주사회로(SCU, 600) 및 변환회로(CC1, 602)를 구비한다.
- <70> 주사회로의 일 예가 도 7에 도시된다. 일단 주사회로(600)는 입력신호(in), 클럭신호(clk) 및 클럭바신호(/clk)를 입력받아, 주사출력신호(out)를 출력한다. 제1 주사회로에는 클럭신호(clk)로 제1 제어신호(E1)가, 클럭바신호(/clk)로 제2 제어신호(E2)가, 입력신호(in)로 주사입력신호(S1)가 입력되며, 제1 주사출력신호(U[1])가 출력되어 제1 변환회로의 제1 신호로 입력된다. 제2 주사회로에는 클럭신호(clk)로 제2 제어신호(E2)가, 클럭바신호(/clk)로 제1 제어신호(E1)가, 입력신호(in)로 제1 주사신호(U[1])가 입력되며, 제2 주사출력신호(U[2])가 출력되어 제1 변환회로의 제2 신호, 제2 변환회로의 제1 신호로 입력된다. 제3 주사회로에는 클럭신호(clk)로 다시 제1 제어신호(E1)가, 클럭바신호(/clk)로 제2 제어신호(E2)가, 입력신호(in)로 제2 주사신호(U[2])가 입력되며, 제3 주사출력신호(U[3])가 출력되어 제1 변환회로의 제3 신호, 제2 변환회로의 제2 신호로, 및 제3 변환회로의 제1 신호로 입력된다. 복수개의 주사회로에는 상기와 같이, 클럭신호(clk)와 클럭바신호(/clk)로 인가되는 제1 제어신호(E1)와 제2 제어신호(E2)가 교호하게 인가된다.
- <71> 주사회로(600)는 일단, 입력신호(in)가 인에이블, 클럭신호(clk)가 디스에이블(하이), 클럭바신호(/clk)가 인에이블(로우)인 경우에, 주사출력신호(out)로 디스에이블 레벨을 출력하며, 이와 같은 디스에이블 주사출력신호 이후에, 다시 입력신호(in)가 디스에이블, 클럭신호(clk)가 인에이블, 클럭바신호(/clk)가 디스에이블인 경우에, 주사출력신호(out)로 인에이블 레벨을 출력한다. 또한, 입력신호(in)가 디스에이블, 클럭신호(clk)가 디스에이블, 클럭바신호(/clk)가 인에이블인 경우에, 주사출력신호(out)로 디스에이블 레벨이 출력되며, 이와 같은 디스에이블 레벨 출력 이후에, 입력신호(in)가 디스에이블, 클럭신호(clk)가 인에이블, 클럭바신호(/clk)가 디스에이블인 경우에, 주사출력신호(out)로 디스에이블 레벨이 출력된다.
- <72> 이와 같은 동작을 하기 위한, 도 6의 제1 주사 구동부(304) 내에 구비되는 주사회로(600)는, 도 7과 같이, 클럭바신호(/clk)에 응답하여 입력신호(in)를 제5 노드(N5)로 전달하는 제11 트랜지스터(M11), 제5 노드(N5)의 신호에 응답하여 클럭신호(clk)를 제6 노드(N6)로 전달하는 제12 트랜지스터(M12), 클럭바신호(/clk)에 응답하여 제2 전압원(접지단)의 인에이블 레벨을 제7 노드(N7)에 전달하는 제13 트랜지스터(M13), 제5 노드(N5)의 신호에 응답하여 클럭바신호(/clk)를 제7 노드(N7)로 전달하는 제14 트랜지스터(M14), 제7 노드(N7)의 신호에 응답하여 제1 전압원(VDD)의 디스에이블 레벨을 제6 노드(N6)에 전달하는 제15 트랜지스터(M15)를 포함하며, 제6 노드(N6)의 신호가 주사출력신호(out)로 된다.
- <73> 즉, 게이트에 클럭바신호(/clk)가 인가되고 소스에 입력신호(in)가 인가되는 제11 트랜지스터(M11)의 드레인은, 제12 트랜지스터(M12)의 게이트 및 제14 트랜지스터(M14)의 게이트에 전기적으로 연결되며, 클럭바신호(/clk)가 소스에 인가되는 제14 트랜지스터(M14)의 드레인은, 제13 트랜지스터(M13)의 소스에 연결되고, 게이트에 클럭바신호(/clk)가 인가되는 제13 트랜지스터(M13)의 드레인은, 제2 전압원, 즉 접지단에 연결되고, 소스에 클럭바신

호(/clk)가 인가되는 제12 트랜지스터(M12)의 드레인은 제15 트랜지스터(M15)의 드레인과 연결되며, 제14 트랜지스터(M14)의 드레인과 제13 트랜지스터(M13)의 소스의 접점인 제7 노드(N7)에 게이트가 전기적으로 연결되는 제15 트랜지스터(M15)의 소스에는 제1 전압원(VDD)이 연결된다. 제11 트랜지스터(M11)의 드레인과, 제14 트랜지스터(M14)의 게이트 또는 제12 트랜지스터(M12)의 게이트의 접점은, 제5 노드(N1)라 하고, 제12 트랜지스터(M12)의 드레인과 제15 트랜지스터(M15)의 드레인의 접점을 제6 노드(N6)라 한다. 제12 트랜지스터(M12)의 게이트와 드레인 사이에는 제3 커패시터(C3)가 연결된다. 제3 커패시터(C3)는 별도의 커패시터이거나 제12 트랜지스터(M12)의 게이트와 드레인 사이의 기생용량일 수도 있다.

<74> 여기서 제11 내지 제15 트랜지스터는 모두 동일 타입의 트랜지스터를 사용하는 것이 바람직하며, 따라서 모두 p 채널 트랜지스터 또는 n 채널 트랜지스터로 구현하는 것이 바람직하다. 이하에서는 p 채널 트랜지스터로 구현하는 것을 가정하여 기술하기로 한다.

<75> 이하에서는 주사회로의 동작을 설명한다.

<76> (1) 클럭신호(clk)가 디스에이블, 클럭바신호(/clk)가 인에이블, 입력신호(in)가 인에이블인 경우

<77> 제11 트랜지스터(M11)는 턴온되어 제5 노드(N5)에 인에이블 신호를 전달하고, 제5 노드(N5)의 인에이블 신호에 의해 제12 트랜지스터(M12) 및 제14 트랜지스터(M14)가 턴온되며, 인에이블의 클럭바신호(/clk)로 제13 트랜지스터(M13)도 턴온된다. 따라서 제7 노드(N7)의 신호도 인에이블되어 제15 트랜지스터(M15)가 턴온되며, 제6 노드(N6)에는 제1 전압원의 전압(VDD) 즉, 디스에이블 레벨이 전달된다. 주사출력신호(out)는 디스에이블 레벨이 된다. 한편, 제3 커패시터(C3)의 양단, 즉 제5 노드(N5)와 제6 노드(N6) 사이에는, 제5 노드(N5)의 인에이블 레벨과, 제6 노드(N6)의 디스에이블 레벨의 전위차가 저장된다.

<78> (2) 클럭신호(clk)가 인에이블, 클럭바신호(/clk)가 디스에이블, 입력신호(in)가 디스에이블인 경우

<79> 클럭바신호(/clk)가 디스에이블이므로, 제11 트랜지스터(M11) 및 제13 트랜지스터(M13)는 턴오프된다. 따라서 제5 노드(N5) 및 제7 노드(N7)는 플로팅되어, 제15 트랜지스터(M15)도 턴온되지 않게 된다. 한편, 제12 트랜지스터(M12)는 (1) 과정에서 제3 커패시터(C3) 양단에 저장된 인에이블 레벨과 디스에이블 레벨의 전위차로 인하여, 턴온되어, 제6 노드(N6)에 클럭신호(clk)의 인에이블 레벨을 전달한다. 따라서 주사출력신호(out)는 인에이블 레벨이 된다.

<80> (3) 클럭신호(clk)가 디스에이블, 클럭바신호(/clk)가 인에이블, 입력신호(in)가 디스에이블인 경우

<81> (1)과 비교하면 입력신호(in)의 신호 레벨이 다른 경우로서, 클럭바신호(/clk)가 인에이블이므로, 제11 트랜지스터(M11) 및 제13 트랜지스터(M13)가 기본적으로 턴온된다. 제11 트랜지스터(M11)의 턴온에 의해 제5 노드(N5)에는 입력신호(in)인 디스에이블 레벨이 전달되며, 제12 트랜지스터(M12)와 제14 트랜지스터(M14)는 턴오프된다. 제7 노드(N7)의 신호가 제2 전압원(접지단)의 접지 전압에 의해 인에이블이므로, 제15 트랜지스터(M15)는 턴온되며, 제1 전압원(VDD)의 디스에이블 레벨(하이 레벨)이 제6 노드(N6)에 전달된다. 따라서 주사출력신호(out)는 디스에이블 레벨이 된다. 한편, 제3 커패시터(C3)의 양단 즉, 제5 노드(N5)와 제6 노드(N6) 모두 디스에이블 레벨(하이 레벨)이므로, 제3 커패시터(C3)는 제5 노드(N5)와 제6 노드(N6)의 양단의 전위차가 저장된다.

<82> (4) 클럭신호(clk)가 인에이블, 클럭바신호(/clk)가 디스에이블, 입력신호(in)가 디스에이블인 경우

<83> 기본적으로 (2)의 동작과 유사하다. 클럭바신호(/clk)가 디스에이블이므로, 제11 트랜지스터(M11), 제13 트랜지스터(M13)는 턴오프되고, 제5 노드(N5)의 신호 제7 노드(N7)의 신호는 플로팅되어 제14 트랜지스터(M14) 및 제15 트랜지스터(M15)도 턴오프된다. 한편, 제3 커패시터(C3) 양단에는 (3)에서 저장된 전위가 있으나, 제5 노드(N5)와 제6노드(N6)가 모두 디스에이블 레벨(하イレ벨)로서 턴오프되지 못한다. 결국 제6 노드(N6)의 신호는 (3)에서 제6 노드에 저장되었던 디스에이블 레벨(하이 레벨)이 된다. 따라서 주사출력신호(out)는 디스에이블 레벨이 된다.

<84> 다음에 변환회로(602)는 제1 신호 내지 제3 신호(U1~U3)를 입력받아, 변환출력신호(out)를 출력한다. 여기서 변환출력신호는 발광신호가 된다. 제1 변환회로에는 제1 신호(U1)로 제1 주사출력신호(U[1])가, 제2 신호(U2)로 제2 주사출력신호(U[2])가, 제3 신호(U3)로 제3 주사출력신호(U[3])가 입력되어 제1 발광신호(E[1])를 출력한다. 제2 변환회로에는 제1 신호(U1)로 제2 주사출력신호(U[2])가, 제2 신호(U2)로 제3 주사출력신호(U[3])가, 제3 신호(U3)로 제4 주사출력신호(U[4])가 입력되어 제2 발광신호(E[2])를 출력한다. 제3 변환회로에는 제1 신호(U1)로 제3 주사출력신호(U[3])가, 제2 신호(U2)로 제4 주사출력신호(U[4])가, 제3 신호(U3)로 제5 주사출력신호(U[5])가 입력되어 제3 발광신호(E[3])를 출력한다. 복수개의 변환회로에는 상기와 같이, 제1 신호

내지 제3 신호(U1~U3)로 순차적으로 인에이블 구간을 갖는 주사출력신호가 차례로 인가된다.

- <85> 제1 신호(U1) 또는 제2 신호(U2)가 인에이블 레벨이면 변환출력신호는 디스에이블 레벨로 출력되고, 제3 신호(U3)가 인에이블 레벨이면 변환출력신호는 인에이블 레벨로 출력되는 변환회로(602)의 일예는 도 8과 같다.
- <86> 도 8의 변환회로(800)는 제1 신호(U1)에 응답하여 제1 전압원(VDD)의 전압을 제1 노드(N1)로 전달하는 제1 트랜지스터(M1)와, 제2 신호(U2)에 응답하여 제1 전압원(VDD)의 전압을 제1 노드(N1)로 전달하는 제2 트랜지스터(M2)와, 제1 신호(U1)에 응답하여 제1 노드(N1)의 신호를 제2 노드(N2)로 전달하는 제3 트랜지스터(M3)와, 제2 신호(U2)에 응답하여 제1 노드(N1)의 신호를 제2 노드(N2)로 전달하는 제4 트랜지스터(M4)와, 제1 노드(N1) 및 제2 노드(N2) 사이에 전위차를 저장하는 제1 커패시터(C1)와, 제3 신호(U3)에 응답하여 제2 전압원(접지단)의 전압을 제2 노드(N2)로 전달하는 제5 트랜지스터(M5)와, 제2 노드(N2)의 신호에 응답하여 제2 전압원(접지단)의 전압을 제1 노드(N1)로 전달하는 제6 트랜지스터(M6)를 포함하며, 제1 노드(N1)의 신호가 변환출력신호(out), 즉 발광신호가 된다.
- <87> 즉, 변환회로(800)는, 제1 전압원(VDD)과 제1 노드(N1) 사이에 연결되고 게이트에 제1 신호(U1) 및 제2 신호(U2)가 각각 인가되는 제1 트랜지스터(M1) 및 제2 트랜지스터(M2)와, 제1 노드(N1)와 제2 노드(N2) 사이에 연결되고 제1 신호(U1) 및 제2 신호(U2)가 각각 인가되는 제3 트랜지스터(M3) 및 제4 트랜지스터(M4)와, 제1 노드(N1)와 제2 노드(N2) 사이에 연결되는 제1 커패시터(C1)와, 제2 전압원(접지단)과 제2 노드(N2) 사이에 연결되고 게이트에 제3 신호(U3)가 인가되는 제5 트랜지스터(M5)와, 접지단과 제1 노드(N1) 사이에 연결되고 제2 노드(N2)의 신호가 게이트에 인가되는 제6 트랜지스터(M6)를 포함한다.
- <88> 이하에서는 변환회로(800)의 동작을 설명한다.
- <89> (1) 제1 신호가 인에이블, 제2 신호 및 제3 신호는 디스에이블인 경우
- <90> 인에이블 레벨인 제1 신호(U1)로 인하여, 제1 트랜지스터(M1) 및 제3 트랜지스터(M3)가 턴온되고, 제2 트랜지스터(M2) 및 제4 내지 제6 트랜지스터(M4~M6)는 턴오프 상태가 된다. 따라서 제1 노드(N1) 및 제2 노드(N2)에 제1 전압원(VDD)의 전압이 전달되어 제1 노드(N1) 및 제2 노드(N2)는 디스에이블 레벨이 된다. 결국, 발광신호는 디스에이블 레벨이 된다. 제1 커패시터(C1)는 제1 노드(N1)와 제2 노드(N2) 사이의 전위차를 저장한다.
- <91> (2) 제2 신호가 인에이블, 제1 신호 및 제3 신호는 디스에이블인 경우
- <92> 인에이블 레벨인 제2 신호(U2)로 인하여, 제2 트랜지스터(M2) 및 제4 트랜지스터(M4)가 턴온되고, 제1, 제3 및 제5 내지 제6 트랜지스터(M1, M3, M5, M6)는 턴오프 상태가 된다. 따라서 제1 노드(N1) 및 제2 노드(N2)에 제1 전압원(VDD)의 전압이 전달되어 제1 노드(N1) 및 제2 노드(N2)는 디스에이블 레벨이 된다. 결국, 발광신호는 디스에이블 레벨이 된다. 제1 커패시터(C1)는 제1 노드(N1)와 제2 노드(N2)의 전위차를 저장한다.
- <93> (3) 제3 신호가 인에이블, 제1 신호 및 제2 신호는 디스에이블인 경우
- <94> 제1 내지 제4 트랜지스터(M1~M4)는 턴오프 상태가 된다. 인에이블 레벨인 제3 신호(U3)로 인하여, 제5 트랜지스터(M5)가 턴온되어 제2 노드(N2)가 인에이블 레벨이 된다. 따라서 제6 트랜지스터(M6)도 턴온되고, 결국 제1 노드(N1)가 인에이블 레벨이 된다. 결국, 발광신호는 인에이블 레벨이 된다. 제1 커패시터(C1)는 제1 노드(N1)와 제2 노드(N2) 사이의 전위차를 저장한다.
- <95> (4) 제1 내지 제3 신호가 모두 디스에이블인 경우
- <96> (3) 단계 이후에 (4)단계가 실행되면, 이단 제1 내지 제6 트랜지스터(M1~M6)는 모두 턴오프 상태가 되고, 다만, 제1 커패시터(C1)에 저장되었던 전위에 의해 제1 노드(N1)의 전위는 인에이블 레벨이 된다. 결국 발광신호는 인에이블 레벨이 된다.
- <97> 도 9는 상기 주사회로(600) 및 변환회로(800)의 (1) 내지 (4) 단계를 모두 보여주는 도면이다. 특히 제1 주사회로의 입력신호로는 PW1의 펄스폭을 갖는 주사입력신호(IN1)가 인가되면, 순차적으로 인에이블 구간을 갖는 제1 내지 제3 주사출력신호들(U[1], U[2], U[3])이 출력된다. 이와 같은 제1 내지 제3 주사출력신호들(U[1], U[2], U[3])이 다시 변환회로의 제1 신호 내지 제3 신호(U1, U2, U3)로 각각 인가되면, 상기에서 살펴본 변환회로의 동작원리에 따라, 순차적으로 디스에이블 레벨을 갖는 변환출력신호들, 즉 발광신호들(E[1], E[2], E[3])이 출력된다.
- <98> 도 10은 도 7 및 도 8의 주사회로 및 변환회로를 통해 인가되는 신호들의 다른 예를 보여주는 타이밍도이다.

- <99> 도면을 참조하여 설명하면, 도 10의 타이밍도는 도 9의 타이밍도와 달리, 일단 제1 주사회로의 입력신호인 주사 입력신호(IN1)가 다르다. 도 10의 주사입력신호(IN1)의 펄스폭은 PW2로, 도 9의 주사입력신호(IN1)의 펄스폭(PW1) 보다 크다($PW1 < PW2$). 이와 같은 주사입력신호(IN1)가 제1 주사회로의 입력신호로 인가됨에 따라, 제1 내지 제3 주사출력신호들(0[1]~0[3])은 도면과 같이 인에이블 구간이 두 구간에서 나타나게 되며, 이는, 변환회로(800)를 거쳐 변환출력신호 즉, 발광신호가 출력되는 경우에, 제1 신호와 제3 신호가 모두 인에이블이 되므로, 부정확한 발광신호로 출력되는 원인이 된다.
- <100> 즉, 제1 신호(U1) 및 제3 신호(U3)가 인에이블, 제2 신호(U2)가 디스에이블인 경우에, 제1, 제3, 및 제5 내지 제6 트랜지스터(M1, M3, M5, M6)가 턴온되고 제2 및 제4 트랜지스터(M2, M4)가 턴오프된다. 따라서 제1 노드(N1)에는 인에이블 레벨과 디스에이블 레벨의 충돌이 발생하며, 따라서 발광신호는 인에이블 레벨도 디스에이블 레벨도 아닌 과도 레벨을 갖게 된다. 따라서 설계자 원하는 대로 발광신호의 디스에이블 레벨의 펄스폭을 조절할 수 없는 문제점이 발생하게 된다.
- <101> 이를 위하여, 본 발명에서는 제1 신호(U1) 및 제3 신호(U3)가 모두 인에이블로 입력되는 경우에, 변환회로의 제5 트랜지스터(M5)가 턴온되지 않도록 하는 새로운 변환회로를 설계한다.
- <102> 도 11은 본 발명의 유기발광표시장치로서, 도 4의 제1 주사구동부의 일예를 보여주는 도면이고, 도 12는 도 11의 보상회로의 일예를 보여주는 회로도이며, 도 13은 도 11 및 도 12의 제1 주사 구동부의 신호들의 일예를 보여주는 타이밍도이다.
- <103> 도면을 참조하여 설명하면, 도 11의 도시된 제1 주사구동부(404)는 도 6에 도시된 제1 주사구동부(304)와 달리 변환회로(1100)에 클럭신호(c1k)가 더 인가된다. 각 변환회로(1100)에 인가되는 클럭신호(c1k)는 제1 제어 신호(E1)와 제2 제어 신호(E2)가 교번하여 인가된다. 즉, 제1 변환회로에는 클럭신호(c1k)로 제1 제어 신호(E1)가, 제2 변환회로에는 클럭신호(c1k)로 제2 제어신호(E2)가 인가된다.
- <104> 도 12에 도시된 본 발명의 변환회로(1100)는, 클럭신호(c1k)에 응답하여 제1 신호(U1)를 제1 노드(N1)로 전달하는 제1 트랜지스터(M1)와, 제1 노드(N2) 및 제1 전압원(VDD) 사이에 전위차를 저장하는 제1 커패시터(C1)와, 제1노드의 신호(N1)에 응답하여 제1 전압원(VDD)의 전압을 제2 노드(N2)로 전달하는 제2 트랜지스터(M2)와, 제1노드(N1)의 신호에 응답하여 제2 노드(N2)의 신호를 제3 노드(N3)로 전달하는 제3 트랜지스터(M3)와, 제4 노드(N4)의 신호에 응답하여 제2 전압원(접지단)의 전압을 제3 노드(N3)로 전달하는 제4 트랜지스터(M4)와, 제2 노드(N2) 및 제3 노드(N3) 사이에 전위차를 저장하는 제2 커패시터(C2)와, 제3 노드(N3)의 신호에 응답하여 제2 전압원(접지단)의 전압을 제2 노드(N2)로 전달하는 제5 트랜지스터(M5)와, 제2 신호(U2)에 응답하여 제2 신호(U2)를 제5 노드(N5)로 전달하는 제6 트랜지스터(M6)와, 제1 신호(U1)에 응답하여 제1 전압원(VDD)의 전압을 제5 노드(N5)에 전달하는 제7 트랜지스터(M7)와, 제5 노드(N5)의 신호에 응답하여 제3 신호(U3)를 제4 노드(N4)로 전달하는 제8 트랜지스터(M8)와, 제4 노드(N4)와 제5 노드(N5)의 전위차를 저장하는 제3 커패시터(C3)를 포함한다. 여기서 제2 노드(N2)의 신호가 변환출력신호, 즉 발광신호가 된다. 도 12의 변환회로(1100)에서의 제1 내지 제8 트랜지스터(M1~M8)는 모두 동일 타입의 트랜지스터를 사용하는 것이 바람직하며, 따라서 모두 p 채널 트랜지스터 또는 n 채널 트랜지스터로 구현하는 것이 바람직하다. 이하에서는 p 채널 트랜지스터로 구현하는 것을 가정하여 기술하기로 한다.
- <105> 이하에서는 변환회로(1100)의 동작을 설명한다.
- <106> (1) 클럭신호(c1k), 제1 신호(U1)가 인에이블, 제2 신호(U2) 및 제3 신호(U3)는 디스에이블인 경우
- <107> 제1 트랜지스터 내지 제3 트랜지스터(M1~M3), 제7 트랜지스터(M7)가 턴온되며, 제6 트랜지스터(M6)와 제8 트랜지스터(M8)는 턴오프된다. 제2 노드(N2)가 인에이블 레벨이 되나, 제4 노드(N4)는 플로팅 상태가 된다. 따라서 제4 및 제5 트랜지스터(M4, M5)는 턴오프 상태가 된다. 따라서 발광신호는 디스에이블 레벨이 된다. 이때, 제1 커패시터(C1)의 양단에는 제1 신호(U1)의 로우레벨과 제1 전압원(VDD)의 제1 전압 사이의 전위차가 저장된다.
- <108> (2) 제2 신호(U2)가 인에이블, 클럭신호(c1k), 제1 신호(U1) 및 제3 신호(U3)는 디스에이블인 경우
- <109> 제6 트랜지스터(M6) 및 제8 트랜지스터(M8)가 턴온되고, 제1 커패시터(C1)의 저장된 전위에 의해 제2 및 제3 트랜지스터(M2, M3)가 턴온된다. 제4 노드(N4)의 신호는 제3 신호의 디스에이블 레벨이 되므로, 제4 및 제5 트랜지스터(M4, M5)는 턴 오프된다. 따라서 발광신호는 디스에이블 레벨이 된다. 이때, 제3 커패시터(C3)의 양단에는 제2 신호(U2)의 로우레벨과 제3 신호(U3)의 하이레벨 사이의 전위차가 저장된다.
- <110> (3) 클럭신호(c1k), 제1 신호(U1) 및 제3 신호(U3)가 인에이블, 제2 신호(U2)가 디스에이블인 경우

- <111> 제1 내지 제3 트랜지스터(M1~M3), 제7 트랜지스터(M7)가 턴온된다. 제5 노드(N5)에 제1 전압원(VDD)이 전달되어, 제4 노드(N4) 레벨이 디스에이블 레벨이 되므로, 제4 내지 제5 트랜지스터(M4,M5)는 턴오프된다. 제1 커패시터(C1)에는 제1 신호(U1)의 인에이블 레벨과 제1 전압원(VDD) 사이의 전위차가 저장된다. 제2 노드(N2)의 레벨이 디스에이블 레벨이 되므로, 발광신호는 디스에이블 레벨이 된다.
- <112> (4) 제2 신호(U2)가 인에이블, 클럭신호(c1k), 제1 신호(U1) 및 제3 신호(U3)는 디스에이블인 경우
- <113> 상기 (2)와 동일한 동작이 수행된다.
- <114> (5) 클럭신호(c1k), 제3 신호(U3)가 인에이블, 제1 신호(U1) 및 제2 신호(U2)는 디스에이블인 경우
- <115> 제1 트랜지스터(M1)가 턴온되며, 제3 커패시터(C3)에 저장된 전압에 의해 제8 트랜지스터(M8)가 턴온된다. 제4 노드(N4)는 제3 신호(U3)의 인에이블 레벨이 전달되며, 제4 트랜지스터(M4) 및 제5 트랜지스터(M5)가 턴온된다. 따라서 제2 노드(N2)의 레벨이 인에이블 레벨이 되며, 결국 발광신호는 인에이블 레벨이 된다. 제2 커패시터(C2) 양단에는 디스에이블 레벨이 저장된다.
- <116> (6) 제1 내지 제3 신호가 모두 디스에이블인 경우
- <117> 제2 커패시터(C2) 양단에 저장된 로우레벨에 의해 인에이블 레벨이 된다. 결국 발광신호는 인에이블 레벨이 된다.
- <118> 이와 같은 도 12의 변환회로(1100)를 이용하여, 발광신호의 디스에이블 레벨의 펄스폭을 자유롭게 조절할 수 있게 된다.
- <119> 도 14는 본 발명의 유기발광표시장치로서, 도 4의 제1 주사구동부의 다른 예를 보여주는 도면이고, 도 15는 도 14의 보상회로의 일예를 보여주는 회로도이다.
- <120> 도면을 참조하여 설명하면, 도 14의 도시된 제1 주사구동부(504)는 도 11에 도시된 제1 주사구동부(404)와 달리 변환회로(1100)에 제3 신호(U3)가 인가되지 않는다. 각 변환회로(1100)에 인가되는 클럭신호(c1k)는 제1 제어 신호(E1)와 제2 제어 신호(E2)가 교번하여 인가된다. 즉, 제1 변환회로에는 클럭신호(c1k)로 제1 제어 신호(E1)가, 제2 변환회로에는 클럭신호(c1k)로 제2 제어신호(E2)가 인가된다. 인가되는 신호들에 대해서는, 도면 13을 참조한다.
- <121> 도 15에 도시된 본 발명의 변환회로(1400)는, 도 12에 도시된 변환회로(1100)와 거의 동일하나, 제8 트랜지스터(M8)에 있어서 제5 노드(N5)의 신호에 응답하여 제4 노드(N4)로 전달되는 신호가 제3 신호(U3)가 아닌 클럭신호(c1k)라는 것만 다를 뿐이다. 변환회로(1600)의 동작을 살펴보면 도 12의 변환회로(1100)의 동작 (1)~(6)의 경우와 동일하게 트랜지스터들이 동작을 한다. 이와 같은 도 15의 변환회로(1400)는 변환회로에 입력되는 신호의 종류가 줄어들 뿐만 아니라 변환회로의 개수도 절감할 수 있게 된다. 또한, 도 12의 변환회로(1100)와 같이 도 15의 변환회로(1400)의 제1 내지 제8 트랜지스터(M1~M8)는 모두 통일 타입의 트랜지스터를 사용하는 것이 바람직하며, 따라서 모두 p 채널 트랜지스터 또는 n 채널 트랜지스터로 구현하는 것이 바람직하다.
- <122> 도 16은 본 발명의 유기발광표시장치로서, 도 4의 제1 주사구동부의 다른 예를 보여주는 도면이고, 도 17은 도 16의 보상회로의 일예를 보여주는 회로도이다.
- <123> 도면을 참조하여 설명하면, 도 16에 도시된 제1 주사구동부(604)는 변환회로에 클럭신호, 클럭바신호, 및 제1 신호가 인가된다. 제1 변환회로에는 클럭신호(c1k)로 제1 제어 신호(E1)가, 클럭바신호(/c1k)로 제2 제어 신호(E2)가 인가되며, 제2 변환회로에는 클럭신호(c1k)로 제2 제어신호(E2)가, 클럭바신호(/c1k)로 제1 제어신호(E1)가 인가된다. 인가되는 신호들에 대해서는, 도면 13을 참조한다.
- <124> 도 17에 도시된 본 발명의 변환회로(1600)는, 도 12에 도시된 변환회로(1100)와 거의 동일하나, 제8 트랜지스터(M8)에 있어서 제5 노드(N5)의 신호에 응답하여 제4 노드(N4)로 전달되는 신호가 제3 신호(U3)가 아닌 클럭신호(c1k)이며, 또한 제6 트랜지스터(M6)에 있어서 클럭바신호(/c1k)에 응답하여 클럭바신호(/c1k)가 제5 노드(N5)로 전달되는 것만이 다를 뿐이다. 변환회로(1600)의 동작을 살펴보면 도 12의 변환회로(1100)의 동작 (1)~(6)의 경우와 동일하게 트랜지스터들이 동작을 한다. 이와 같은 도 17의 변환회로(1600)는 변환회로에 입력되는 신호의 종류가 줄어들 뿐만 아니라 변환회로의 개수도 절감할 수 있게 된다. 또한, 도 12의 변환회로(1100)와 같이 도 17의 변환회로(1600)의 제1 내지 제8 트랜지스터(M1~M8)는 모두 통일 타입의 트랜지스터를 사용하는 것이 바람직하며, 따라서 모두 p 채널 트랜지스터 또는 n 채널 트랜지스터로 구현하는 것이 바람직하다.

- <125> 도 18은 도 16의 보상회로의 다른 예를 보여주는 회로도이다.
- <126> 도면을 참조하여 설명하면, 도 18에 도시된 본 발명의 변환회로(1800)는, 제1 신호(U1)에 응답하여 제1 전압원(VDD)의 전압을 제1 노드(N2)로 전달하는 제1 트랜지스터(M1)와, 제1 신호(U1)에 응답하여 제1 노드(N1)의 신호를 제2 노드(N2)로 전달하는 제2 트랜지스터(M2)와, 제3 노드(N3)의 신호에 응답하여 제2 전압원(접지단)의 전압을 제3 노드(N3)로 전달하는 제3 트랜지스터(M3)와, 제1 노드(N1) 및 제2 노드(N2) 사이에 전위차를 저장하는 제1 커패시터(C1)와, 제2 노드(N2)의 신호에 응답하여 제2 전압원(접지단)의 전압을 제1 노드(N1)로 전달하는 제4 트랜지스터(M4)와, 클럭바신호(/clk)에 응답하여 클럭바신호(/clk)를 제4 노드(N4)로 전달하는 제5 트랜지스터(M5)와, 제1 신호(U1)에 응답하여 제1 전압원(VDD)의 전압을 제4 노드(N4)에 전달하는 제6 트랜지스터(M6)와, 제4 노드(N4)의 신호에 응답하여 클럭신호(clk)를 제3 노드(N3)로 전달하는 제7 트랜지스터(M7)와, 제3 노드(N3)와 제4 노드(N4)의 전위차를 저장하는 제2 커패시터(C2)를 포함한다. 여기서 제1 노드(N1)의 신호가 변환 출력신호, 즉 발광신호가 된다. 도 18의 변환회로(1800)에서의 제1 내지 제7 트랜지스터(M1~M7)는 모두 동일 타입의 트랜지스터를 사용하는 것이 바람직하며, 따라서 모두 p 채널 트랜지스터 또는 n 채널 트랜지스터로 구현하는 것이 바람직하다. 이하에서는 p 채널 트랜지스터로 구현하는 것을 가정하여 기술하기로 한다.
- <127> 도 13의 신호들을 참조하여 변환회로(1800)의 동작을 이하에서 살펴본다.
- <128> (1) 클럭신호(clk), 제1 신호(U1)가 인에이블, 클럭바신호(/clk)는 디스에이블인 경우
- <129> 제1, 제2 및 제6 트랜지스터(M1,M2,M6)가 턴온되며, 제1 노드(N1)는 디스에이블 레벨이 되나, 제3 노드(N3)는 플로팅 상태가 된다. 따라서 발광신호는 디스에이블 레벨이 된다. 제1 커패시터(C1)에는 디스에이블 레벨이 저장된다.
- <130> (2) 클럭바신호(/clk)가 인에이블, 클럭신호(clk), 제1 신호(U1)는 디스에이블인 경우
- <131> 제5 트랜지스터(M5) 및 제7 트랜지스터(M8)가 턴온되며, 제2 커패시터(C2)에는 클럭바신호(/clk)의 인에이블 레벨과 클럭신호(clk)의 디스에이블 레벨이 저장된다. 제3 노드(N3)의 신호가 디스에이블 레벨이므로, 제3 트랜지스터(M3) 및 제4 트랜지스터(M4)는 턴오프된다. 제1 노드(N1)는 제1 커패시터(C1)에 저장된 디스에이블 레벨이 되며, 따라서 발광신호는 디스에이블 레벨이 된다.
- <132> (3) 클럭신호(clk), 제1 신호(U1)가 인에이블, 클럭바신호(/clk)가 디스에이블인 경우
- <133> 제1, 제2 및 제6 트랜지스터(M1,M2,M6)가 턴온되며, 제1 노드(N1)는 디스에이블 레벨이 되나, 제3 노드(N3)는 플로팅 상태가 된다. 따라서 발광신호는 디스에이블 레벨이 된다. 제1 커패시터에는 디스에이블 레벨이 저장된다.
- <134> (4) 클럭바신호(/clk)가 인에이블, 클럭신호(clk), 제1 신호(U1) 및 제3 신호(U3)는 디스에이블인 경우
- <135> 상기 (2)와 동일한 동작이 수행된다.
- <136> (5) 클럭신호(clk)가 인에이블, 제1 신호(U1) 및 클럭바신호(/clk)는 디스에이블인 경우
- <137> 제2 커패시터(C2)에 저장된 전위차에 의해, 제7 트랜지스터(M7)가 턴온되며, 제3 노드(N3)는 클럭신호(clk)의 인에이블 레벨이 된다. 이에 의해, 제3 트랜지스터(M3) 및 제4 트랜지스터(M4)가 턴온되며, 제1 노드(N1)는 인에이블 레벨이 되며, 결국 발광신호는 인에이블 레벨이 된다. 제1 커패시터(C2) 양단에는 인에이블 레벨이 저장된다.
- <138> 이와 같은 도 18의 변환회로(1800)를 이용하여, 발광신호의 디스에이블 레벨의 펄스폭을 자유롭게 조절할 수 있게 된다.
- <139> 도 19는 본 발명의 유기발광표시장치로서, 도 4의 제2 주사구동부의 일예를 보여주는 도면이고, 도 20은 도 19의 제2 주사 구동부의 신호들의 일예를 보여주는 타이밍도이다.
- <140> 도면을 참조하여 설명하면, 제2 주사구동부(306)는 복수개의 선택회로(600)를 포함한다. 선택회로(600)는 입력 신호(in), 클럭신호(clk) 및 클럭바신호(/clk)를 입력받아 선택출력신호(out)를 출력한다. 예를 들어, 제1 선택회로는 클럭신호(clk)로 제3 제어신호(E3)가, 클럭바신호(/clk)로 제4 제어신호(E4)가, 입력신호(in)로 선택입력신호(IN2)가 인가되어 제1 선택출력신호(S[1])를 출력한다. 다음에, 제2 선택회로는 클럭신호(clk)로 제4 제어신호(E4)가, 클럭바신호(/clk)로 제3 제어신호(E3)가, 입력신호(in)로 제1 선택출력신호(S[1])가 인가되어 제2 선택출력신호(S[2])를 출력한다. 즉, 클럭 신호(clk) 및 클럭바신호(/clk)로 제3 제어신호(E3) 및 제4 제어신

호(E4)가 교호하게 인가된다.

- <141> 선택회로(600)는 일단, 입력신호(in)가 인에이블, 클럭신호(clk)가 디스에이블(하이), 클럭바신호(/clk)가 인에이블(로우)인 경우에, 디스에이블 레벨인 선택출력신호(out)를 출력하며, 이와 같은 디스에이블 선택출력신호(out) 이후에, 다시 입력신호(in)가 디스에이블, 클럭신호(clk)가 인에이블, 클럭바신호(/clk)가 디스에이블인 경우에, 인에이블 레벨의 선택출력신호(out)를 출력한다. 또한, 입력신호(in)가 디스에이블, 클럭신호(clk)가 디스에이블, 클럭바신호(/clk)가 인에이블인 경우에, 디스에이블 레벨인 선택출력신호(out)를 출력하며, 이와 같은 디스에이블 레벨의 선택출력신호 이후에, 입력신호(in)가 디스에이블, 클럭신호(clk)가 인에이블, 클럭바신호(/clk)가 디스에이블인 경우에, 디스에이블 레벨의 선택출력신호(out)를 출력한다.
- <142> 이와 같은 동작을 하기 위한, 본 발명의 제2 주사 구동부(306) 내에 구비되는 선택회로(600)는, 도 7의 주사회로와 같다. 따라서 도 19의 선택회로(600) 및 선택회로(600)의 동작에 대한 설명은 생략하기로 한다.

발명의 효과

- <143> 상기한 바와 같은 본 발명의 따르면, 다음과 같은 효과를 얻을 수 있다.
- <144> 첫째, 유기발광소자를 구동하기 위한 화소회로에, 필요한 신호들을 인가하는 구동부 중 발광신호를 인가하는 제1 주사 구동부를 복수개의 동일 타입의 트랜지스터를 사용한 주사회로 및 변환회로로 구현함으로써, 제조비용을 저감할 수 있게 된다. 나아가, 화소회로에 선택신호를 인가하는 제2 주사 구동부도 복수개의 동일 타입의 트랜지스터를 사용한 선택회로로 구현함으로써, 제조비용을 저감할 수 있게 된다.
- <145> 둘째, 제1 주사 구동부의 제1 주사회로에 인가되는 주사선택신호의 인에이블 레벨의 펄스폭을 조절함으로써, 변환회로를 거쳐 최종적으로 출력되는 발광신호의 디스에이블 레벨의 펄스폭을 안정적으로 자유롭게 조절할 수 있게 된다.
- <146> 셋째, 변환회로에 입력되는 신호의 개수를 줄여 제조비용을 저감할 수도 있으며, 또한 변환회로의 개수도 줄일 수 있게 된다.
- <147> 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

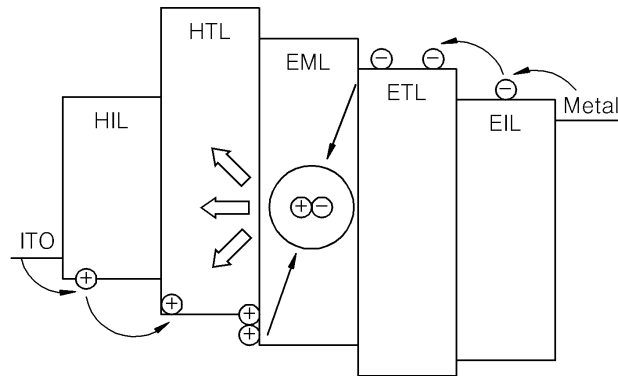
도면의 간단한 설명

- <1> 도 1은 유기 전계 발광 소자의 개념도이다.
- <2> 도 2는 종래의 전압 구동 방식의 화소 회로의 회로도이다.
- <3> 도 3은 종래의 전류 구동 방식의 화소 회로의 회로도이다.
- <4> 도 4는 유기발광 표시장치를 도시한 도면이다.
- <5> 도 5는 도 4의 화소회로의 일예를 도시한 도면이다.
- <6> 도 6은 도 4의 제1 주사 구동부의 일예를 간략히 도시한 블록도이다.
- <7> 도 7은 도 6의 주사회로의 일예를 도시한 회로도이다.
- <8> 도 8은 도 6의 변환회로의 일예를 도시한 회로도이다.
- <9> 도 9는 도 7 및 도 8의 주사회로 및 변환회로를 통해 인가되는 신호들의 일예를 보여주는 타이밍도이다.
- <10> 도 10은 도 7 및 도 8의 주사회로 및 변환회로를 통해 인가되는 신호들의 다른 예를 보여주는 타이밍도이다.
- <11> 도 11은 본 발명의 유기발광표시장치로서, 도 4의 제1 주사구동부의 일예를 보여주는 도면이다.
- <12> 도 12는 도 11의 보상회로의 일예를 보여주는 회로도이다.
- <13> 도 13은 도 11 및 도 12의 제1 주사 구동부의 신호들의 일예를 보여주는 타이밍도이다.
- <14> 도 14는 본 발명의 유기발광표시장치로서, 도 4의 제1 주사구동부의 다른 예를 보여주는 도면이다.
- <15> 도 15는 도 14의 보상회로의 일예를 보여주는 회로도이다.

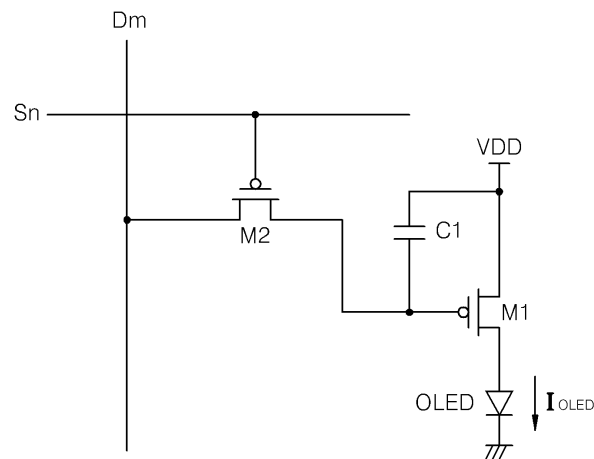
- <16> 도 16은 본 발명의 유기발광표시장치로서, 도 4의 제1 주사구동부의 다른 예를 보여주는 도면이다.
- <17> 도 17은 도 16의 보상회로의 일예를 보여주는 회로도이다.
- <18> 도 18은 도 16의 보상회로의 다른 예를 보여주는 회로도이다.
- <19> 도 19는 본 발명의 유기발광표시장치로서, 도 4의 제2 주사구동부의 일예를 보여주는 도면이다.
- <20> 도 20은 도 19의 제2 주사 구동부의 신호들의 일예를 보여주는 타이밍도이다.

도면

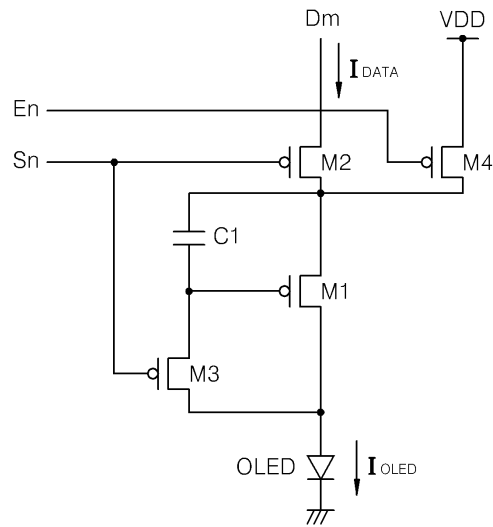
도면1



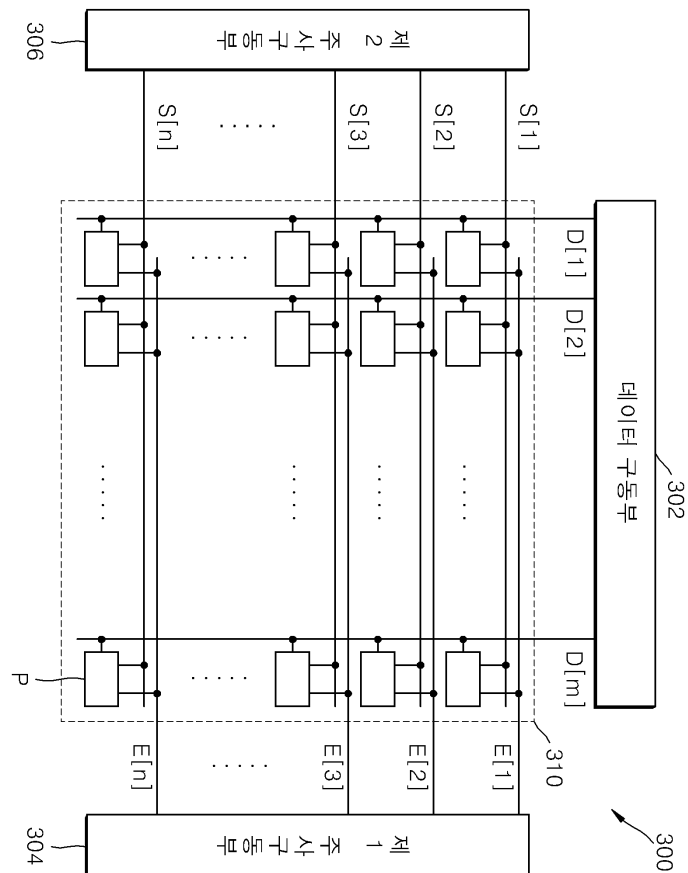
도면2



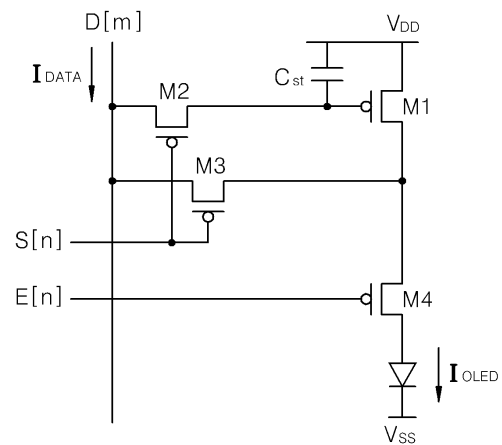
도면3



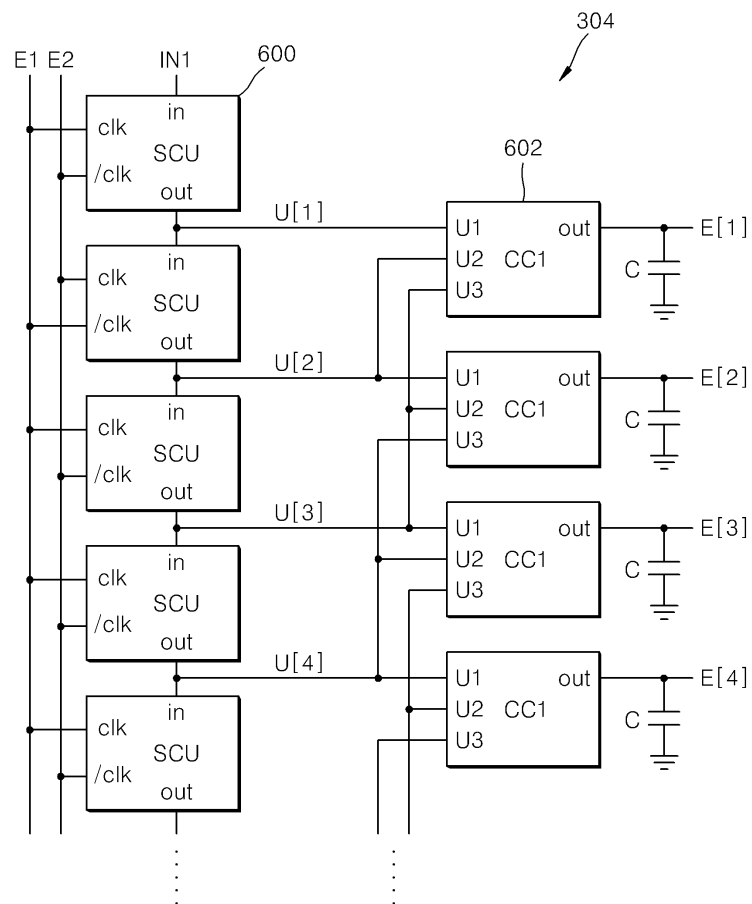
도면4



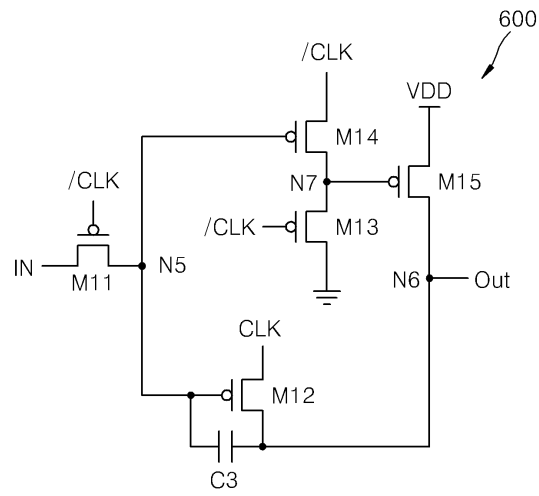
도면5



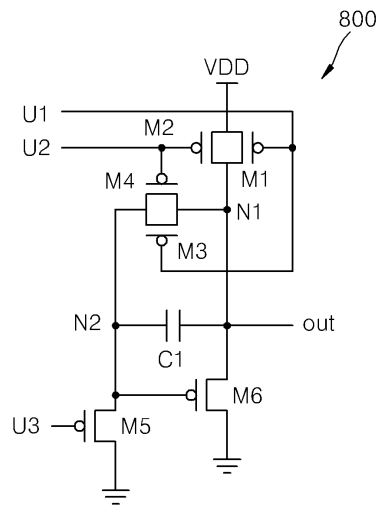
도면6



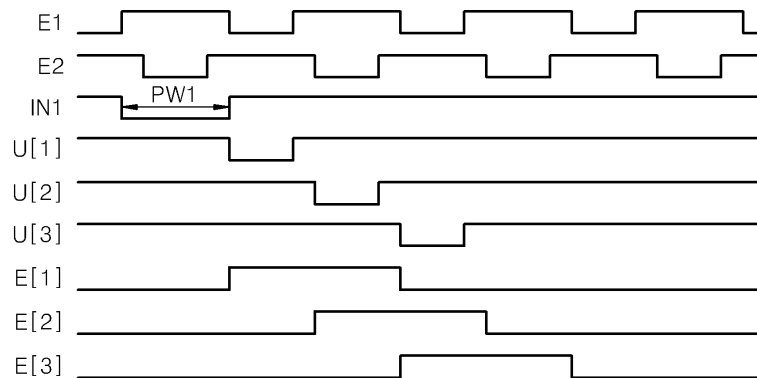
도면7



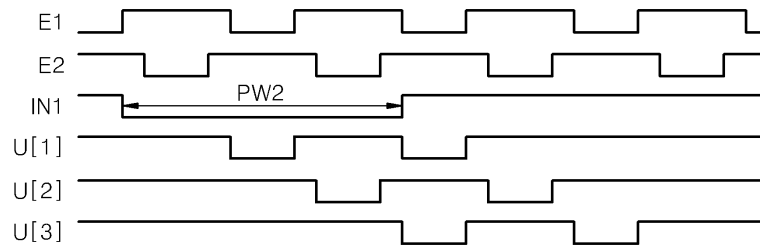
도면8



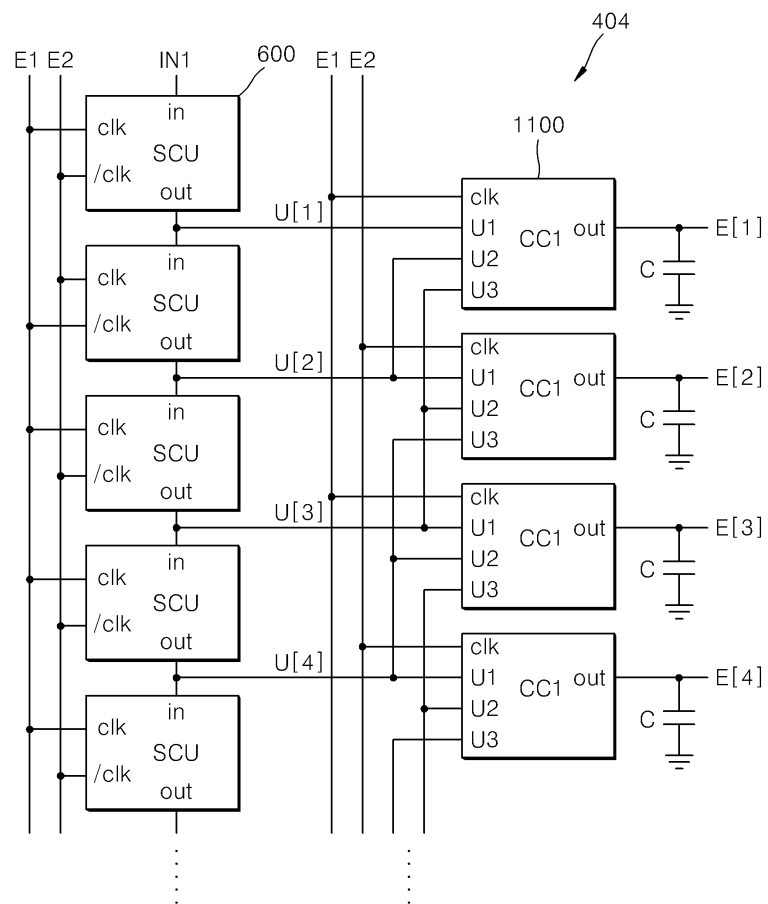
도면9



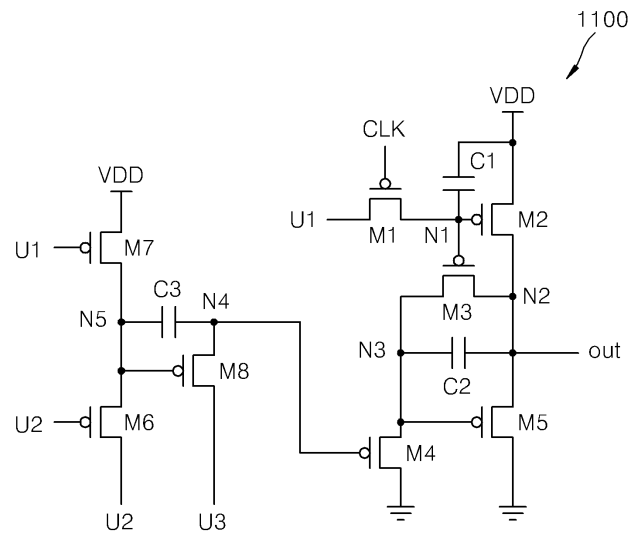
도면10



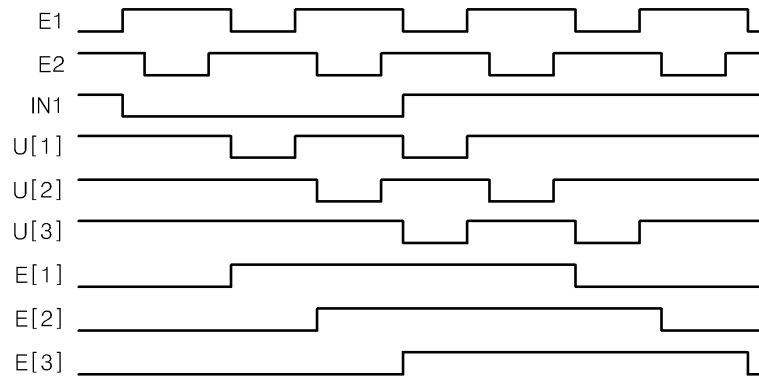
도면11



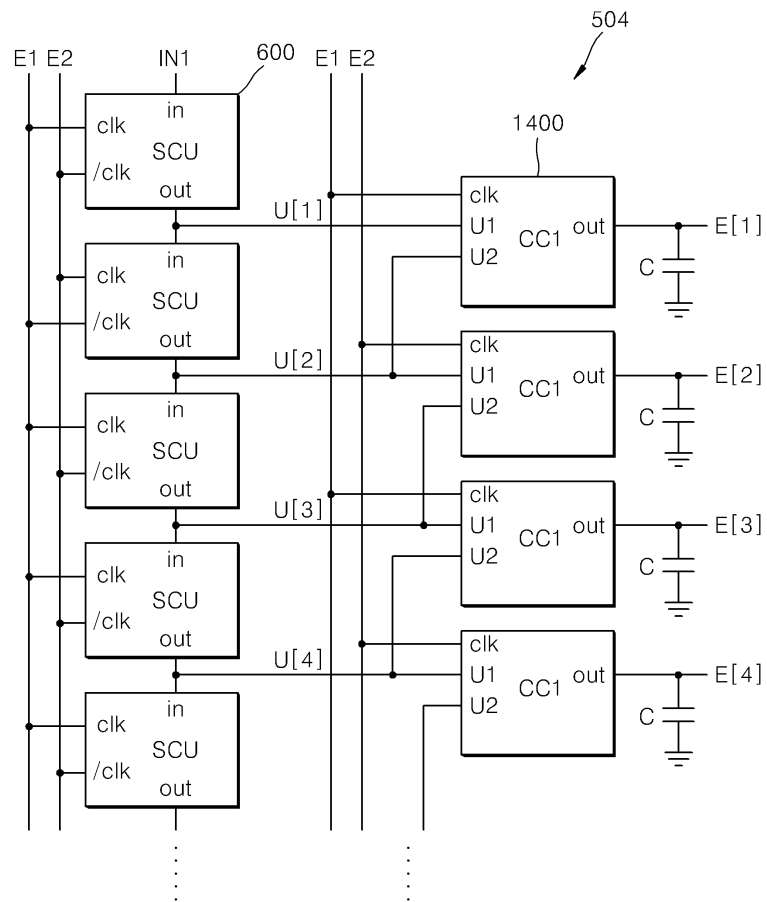
도면12



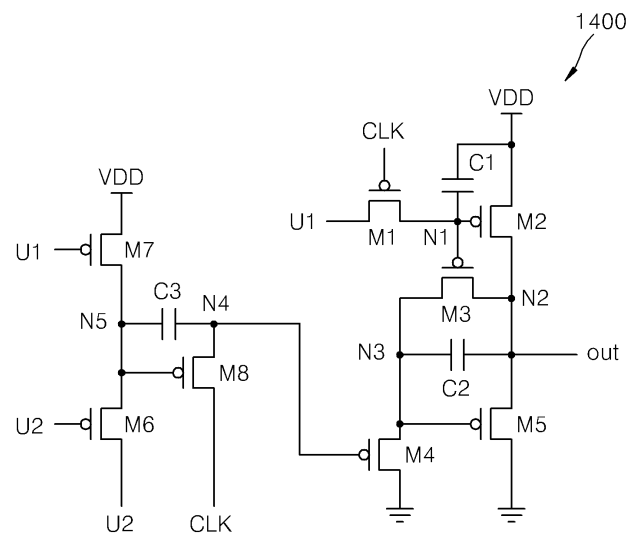
도면13



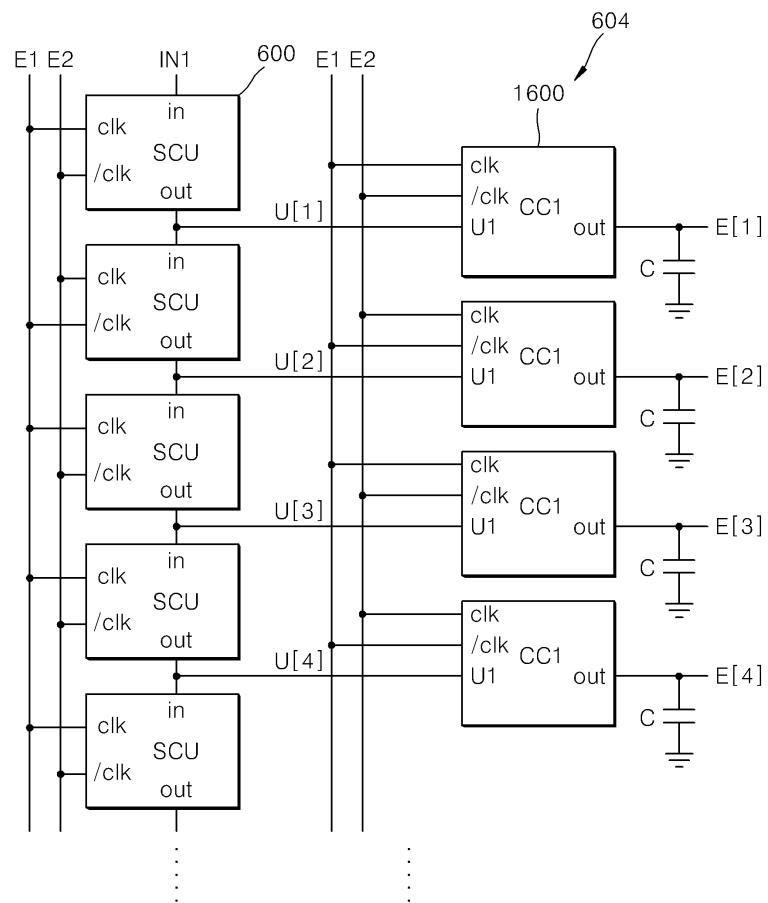
도면14



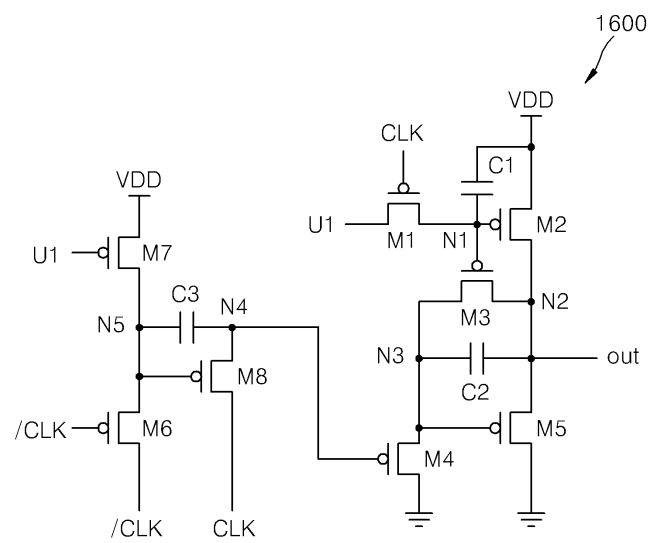
도면15



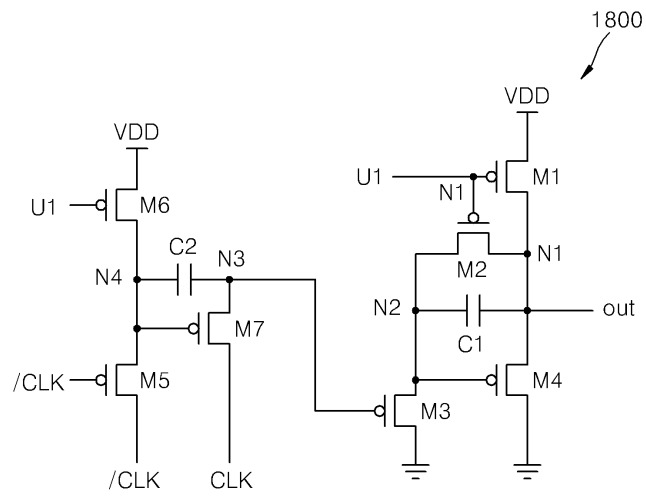
도면16



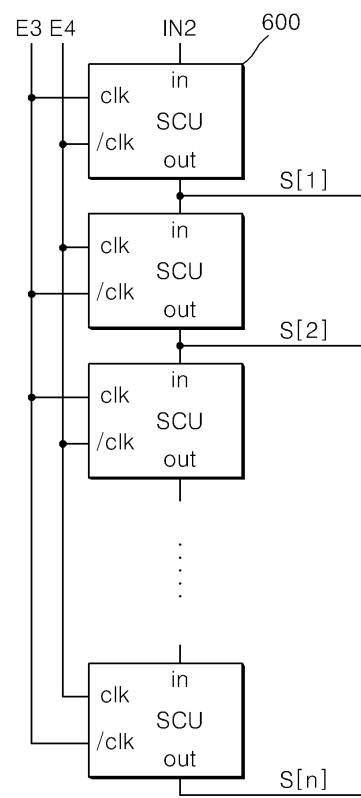
도면17



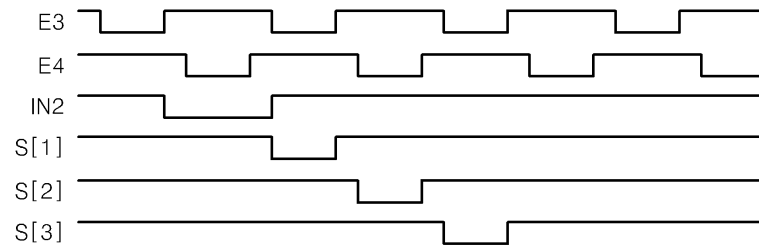
도면18



도면 19



도면20



专利名称(译)	有机发光显示器		
公开(公告)号	KR1020080011915A	公开(公告)日	2008-02-11
申请号	KR1020060072653	申请日	2006-08-01
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	SHIN DONG YONG		
发明人	SHIN, DONG YONG		
IPC分类号	G09G3/30 G09G3/32 G09G3/20		
CPC分类号	G09G2300/0842 G09G2300/0861 G09G3/325 G09G3/3266 G09G2310/08 G11C19/184		
其他公开文献	KR100813839B1		
外部链接	Espacenet		

摘要(译)

本发明的目的是提供一种有机发光显示装置，其中在使用共振型晶体管的驱动装置中可以降低制造成本并改变光信号的脉冲长度。这样，就完成了上述目标。并且本发明包括数据信号，相应多个传送选择信号和光信号的数据线，以及多个选择的扫描线和关于有机发光显示装置的第一扫描驱动器，包括多个发光扫描线，多个像素电路分别形成在由数据线和所选择的扫描线限定的多个像素中，并且输出光信号的第一扫描驱动器是多个转换电路。而且转换电路提供被称为转换输出信号的有机发光显示装置是使能禁用，时钟信号和第三信号第一信号是使能晶体管包括的第一信号到第三信号和时钟信号是输出和转换输出信号输出，转换输出信号是光信号，转换输出信号是时钟信号禁用，第一信号是使能和时钟信号，第一信号和第三信号禁用和转换输出信号是禁用，如果第二个信号是使能，转换输出信号是禁用，如果时钟信号，第一个信号和第三个信号是多个启用合模式。

