



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0011829
(43) 공개일자 2008년02월11일

(51) Int. Cl.

H05B 33/02 (2006.01)

(21) 출원번호 10-2006-0072283

(22) 출원일자 2006년07월31일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

정광철

경기 성남시 수정구 태평1동 7115-4

고준철

서울 서대문구 홍제2동 한양아파트 102동 1003호

(뒷면에 계속)

(74) 대리인

조희원

전체 청구항 수 : 총 11 항

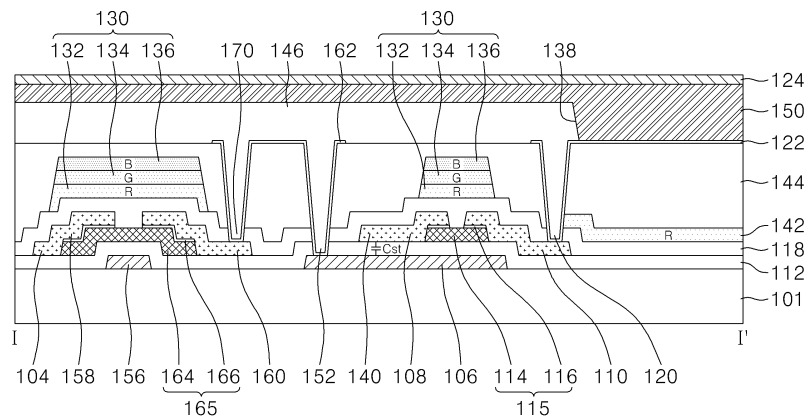
(54) 유기 전계 발광 표시 장치 및 그 제조 방법

(57) 요약

본 발명은 박막트랜지스터의 활성층에 광이 입사되는 것을 방지할 수 있는 유기 전계 발광 표시 장치 및 그 제조 방법에 관한 것이다.

본 발명에 따른 유기 전계 발광 표시 장치는 게이트라인과; 상기 게이트라인과 교차하는 데이터라인과; 서브 화소 영역을 마련하는 전원 라인과; 상기 게이트라인 및 데이터라인과 접속된 스위치 박막트랜지스터와; 상기 스위치 박막트랜지스터 및 전원 라인과 접속된 구동 박막트랜지스터와; 상기 구동 박막트랜지스터와 접속된 유기 전계 발광셀과; 상기 스위치 박막트랜지스터 및 구동 박막 트랜지스터 중 적어도 어느 하나의 채널부와 중첩되게 형성되며 적어도 한 층의 컬러층으로 이루어진 광흡수층을 구비하는 것을 특징으로 한다.

대표도 - 도2



(72) 발명자

최범락

서울 강남구 대치1동 삼성아파트 112동 508호

채종철

서울 마포구 염리동 LG자이아파트 106동 1902호

특허청구의 범위

청구항 1

게이트라인과;

상기 게이트라인과 교차하는 데이터라인과;

서브 화소 영역을 마련하는 전원 라인과;

상기 게이트라인 및 데이터라인과 접속된 스위치 박막트랜지스터와;

상기 스위치 박막트랜지스터 및 전원 라인과 접속된 구동 박막트랜지스터와;

상기 구동 박막트랜지스터와 접속된 유기 전계 발광셀과;

상기 스위치 박막트랜지스터 및 구동 박막 트랜지스터 중 적어도 어느 하나의 채널부와 중첩되게 형성되며 적어도 한 층의 컬러층으로 이루어진 광흡수층을 구비하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 2

제 1 항에 있어서,

상기 유기 전계 발광셀은

상기 구동 박막트랜지스터와 접속된 양극과;

상기 양극 위에 형성되는 유기층과;

상기 유기층 위에 형성되어 상기 양극과 마주하는 음극을 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 3

제 2 항에 있어서,

상기 유기층은 백색광을 생성하는 발광층을 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 4

제 1 항 또는 제 3 항에 있어서,

상기 양극과 중첩되며 상기 해당 서브 화소 영역에 각각 형성되는 적색, 녹색 및 청색 컬러 필터를 추가로 구비하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 5

제 4 항에 있어서,

상기 적어도 한 층의 컬러층으로 이루어진 광흡수층은 상기 적색, 녹색 및 청색 컬러 필터와 동일 재질로 이루어진 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 6

제 1 항에 있어서,

상기 광흡수층은 서로 다른 색을 구현하는 다수의 컬러층이 적층되어 형성되는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 7

게이트라인 및 데이터라인과 접속된 스위치 박막트랜지스터와, 상기 스위치 박막트랜지스터 및 전원 라인과 접속된 구동 박막트랜지스터를 절연 기판 상에 형성하는 단계와;

상기 스위치 박막트랜지스터 및 구동 박막 트랜지스터 중 적어도 어느 하나의 채널부를 덮도록 형성되며 적어도

한 층의 컬러층으로 이루어진 광흡수층을 형성하는 단계와;

상기 광흡수층이 형성된 절연 기판 상에 상기 구동 박막트랜지스터와 접속된 유기 전계 발광셀을 형성하는 단계를 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 8

제 7 항에 있어서,

상기 유기 전계 발광셀을 형성하는 단계는

상기 구동 박막트랜지스터와 접속된 양극을 형성하는 단계와;

상기 양극 위에 백색광을 생성하는 유기층을 형성하는 단계와;

상기 유기층 위에 상기 양극과 마주하는 음극을 형성하는 단계를 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 9

제 7 항 또는 제 8 항에 있어서,

상기 광흡수층 형성시 상기 양극과 중첩되며 상기 해당 서브 화소 영역에 각각 형성되는 적색, 녹색 및 청색 컬러 필터를 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 10

제 9 항에 있어서,

상기 광흡수층을 형성하는 단계는

상기 적색, 녹색 및 청색 컬러 필터 중 적어도 어느 하나와 동일 재질로 이루어진 상기 적어도 한 층의 컬러층을 형성하는 단계를 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 11

제 7 항에 있어서,

상기 광흡수층은 서로 다른 색을 구현하는 다수의 컬러층이 적층되어 형성되는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <28> 본 발명은 유기 전계 발광 표시 장치 및 그 제조 방법에 관한 것으로, 특히 박막트랜지스터의 활성층에 광이 입사되는 것을 방지할 수 있는 유기 전계 발광 표시 장치 및 그 제조 방법에 관한 것이다.
- <29> 액티브 매트릭스 유기 전계 발광 표시 장치는 3색(R, G, B) 서브 화소로 구성된 화소들이 매트릭스 형태로 배열되어 화상을 표시하게 되고, 각 서브 화소는 유기 전계 발광(이하, OEL) 셀과 그 OEL 셀을 독립적으로 구동하는 셀 구동부를 구비한다. OEL 셀은 셀 구동부와 접속된 양극 및 그라운드와 접속된 음극과, 양극과 음극 사이에 형성된 유기층으로 구성된다. 셀 구동부는 스캔 신호를 공급하는 게이트 라인과, 데이터 신호를 공급하는 데이터 라인과, 전원 신호를 공급하는 전원 라인 사이에 접속된 적어도 2개의 박막 트랜지스터와 스토리지 캐패시터로 구성되어 OEL 셀을 구동한다.
- <30> 여기서, 유기층에서 생성된 광 또는/및 음극에서 반사된 광이 적어도 2개의 박막 트랜지스터 중 적어도 어느 하나에 입사되는 경우가 종종 발생된다. 이 경우, 박막트랜지스터에 입사된 광에 의해 박막트랜지스터의 채널부가 활성화되어 누설전류 발생, 크로스토크 발생, 온 전류 변화 등과 같은 문제점이 발생된다.

<31> 또한, 유기층은 बैं크 절연막에 의해 마련된 화소홀 내에 스크린 마스크 공정을 통해 형성된다. 구체적으로, 적색을 구현하는 서브 화소에 위치하는 화소홀 내에는 적색 발광층을 포함하는 유기층이 마스크를 이용한 증착 공정을 통해 형성된다. 이 후, 녹색을 구현하는 서브 화소 영역에 위치하는 화소홀 내에는 녹색 발광층을 포함하는 유기층이 마스크를 이용한 증착 공정을 통해 형성된다. 이 후, 청색을 구현하는 서브 화소 영역에 위치하는 화소홀 내에는 청색 발광층을 포함하는 유기층이 마스크를 이용한 증착 공정을 통해 형성된다. 이 경우, 스크린 마스크의 얼라인이 제대로 되지 않으면, 특정색을 구현하는 유기층이 해당 서브 화소 영역에 형성되지 못하고 다른 색을 구현하는 인접한 서브 화소 영역에 형성되어 색간섭현상이 발생하는 문제점이 있다. 이러한 문제점은 유기 전계 발광 표시 장치가 고정세화될수록 더욱 심각해진다.

발명이 이루고자 하는 기술적 과제

<32> 따라서, 본 발명이 이루고자 하는 기술적 과제는 박막트랜지스터의 활성층에 광이 입사되는 것을 방지할 수 있는 유기 전계 발광 표시 장치 및 그 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

<33> 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 유기 전계 발광 표시 장치는 게이트라인과; 상기 게이트라인과 교차하는 데이터라인과; 서브 화소 영역을 마련하는 전원 라인과; 상기 게이트라인 및 데이터라인과 접속된 스위치 박막트랜지스터와; 상기 스위치 박막트랜지스터 및 전원 라인과 접속된 구동 박막트랜지스터와; 상기 구동 박막트랜지스터와 접속된 유기 전계 발광셀과; 상기 스위치 박막트랜지스터 및 구동 박막 트랜지스터 중 적어도 어느 하나의 채널부와 중첩되게 형성되며 적어도 한 층의 컬러층으로 이루어진 광흡수층을 구비하는 것을 특징으로 한다.

<34> 여기서, 상기 유기 전계 발광셀은 상기 구동 박막트랜지스터와 접속된 양극과; 상기 양극 위에 형성되는 유기층과; 상기 유기층 위에 형성되어 상기 양극과 마주하는 음극을 포함하는 것을 특징으로 한다.

<35> 이 때, 상기 유기층은 백색광을 생성하는 발광층을 포함하는 것을 특징으로 한다.

<36> 한편, 상기 유기 전계 발광 표시 장치는 상기 양극과 중첩되며 상기 해당 서브 화소 영역에 각각 형성되는 적색, 녹색 및 청색 컬러 필터를 추가로 구비하는 것을 특징으로 한다.

<37> 이 때, 상기 적어도 한 층의 컬러층으로 이루어진 광흡수층은 상기 적색, 녹색 및 청색 컬러 필터와 동일 재질로 이루어진 것을 특징으로 한다.

<38> 그리고, 상기 광흡수층은 서로 다른 색을 구현하는 다수의 컬러층이 적층되어 형성되는 것을 특징으로 한다.

<39> 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 유기 전계 발광 표시 장치의 제조 방법은 게이트라인 및 데이터라인과 접속된 스위치 박막트랜지스터와, 상기 스위치 박막트랜지스터 및 전원 라인과 접속된 구동 박막트랜지스터를 절연 기판 상에 형성하는 단계와; 상기 스위치 박막트랜지스터 및 구동 박막 트랜지스터 중 적어도 어느 하나의 채널부를 덮도록 형성되며 적어도 한 층의 컬러층으로 이루어진 광흡수층을 형성하는 단계와; 상기 광흡수층이 형성된 절연 기판 상에 상기 구동 박막트랜지스터와 접속된 유기 전계 발광셀을 형성하는 단계를 포함하는 것을 특징으로 한다.

<40> 한편, 상기 유기 전계 발광셀을 형성하는 단계는 상기 구동 박막트랜지스터와 접속된 양극을 형성하는 단계와; 상기 양극 위에 백색광을 생성하는 유기층을 형성하는 단계와; 상기 유기층 위에 상기 양극과 마주하는 음극을 형성하는 단계를 포함하는 것을 특징으로 한다.

<41> 그리고, 상기 유기 전계 발광 표시 장치의 제조 방법은 상기 광흡수층 형성시 상기 양극과 중첩되며 상기 해당 서브 화소 영역에 각각 형성되는 적색, 녹색 및 청색 컬러 필터를 형성하는 단계를 추가로 포함하는 것을 특징으로 한다.

<42> 또한, 상기 광흡수층을 형성하는 단계는 상기 적색, 녹색 및 청색 컬러 필터 중 적어도 어느 하나와 동일 재질로 이루어진 상기 적어도 한 층의 컬러층을 형성하는 단계를 포함하는 것을 특징으로 한다.

<43> 상기 기술적 과제 외에 본 발명의 다른 기술적 과제 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

<44> 이하, 본 발명의 바람직한 실시 예를 도 1 내지 도 13b를 참조하여 상세히 설명하기로 한다.

- <45> 도 1은 본 발명의 실시 예에 따른 유기 전계 발광 표시 장치를 나타내는 평면도이며, 도 2는 도 1에서 선 "I-I'"를 따라 절취한 유기 전계 발광 표시 장치를 나타내는 단면도이다.
- <46> 도 1 및 도 2에 도시된 유기 전계 발광 표시 장치는 절연 기판(101) 상에 형성된 게이트라인(102)과, 게이트 라인(102)과 교차하는 데이터라인(104)과, 게이트 라인(102)과 교차하며 데이터 라인(104)과 나란하게 형성되어 서브 화소 영역을 마련하는 전원 라인(140)과, 게이트 라인(102) 및 데이터 라인(104)과 접속된 스위치 박막 트랜지스터(T1)와, 스위치 박막 트랜지스터(T1) 및 전원 라인(140)과 OEL 셀의 양극(122) 사이에 접속된 구동 박막 트랜지스터(T2)와, 전원 라인(140)과 스위치 박막 트랜지스터(T1)의 드레인 전극(160) 사이에 접속된 스토리지 캐패시터(C)와, 구동 박막 트랜지스터(T2)와 접속된 OEL 셀과, OEL셀과 중첩되는 컬러 필터(142)와, 스위치 박막 트랜지스터(T1)와 구동 박막 트랜지스터(T2)와 중첩되는 광차단층(130)을 구비한다.
- <47> 게이트 라인(102)은 스위치 박막 트랜지스터(T1)에 스캔 신호를 공급하며, 데이터 라인(104)은 스위치 박막 트랜지스터(T1)에 데이터 신호를 공급하며, 전원 라인(140)은 구동 박막 트랜지스터(T2)에 전원 신호를 공급한다.
- <48> 스위치 박막 트랜지스터(T1)는 게이트 라인(102)에 스캔 펄스가 공급되면 턴-온되어 데이터 라인(104)에 공급된 데이터 신호를 스토리지 캐패시터(C) 및 구동 박막 트랜지스터(T2)의 제2 게이트 전극(106)으로 공급한다. 이를 위해, 스위치 박막 트랜지스터(T1)는 게이트 라인(102)과 접속된 제1 게이트 전극(156), 데이터 라인(104)과 접속된 제1 소스 전극(158), 제1 소스 전극(158)과 마주하며 구동 박막 트랜지스터(T2)의 제2 게이트 전극(106) 및 스토리지 캐패시터(C)와 접속된 제1 드레인 전극(160), 제1 소스 전극(158) 및 제1 드레인 전극(160) 사이에 채널부를 형성하는 제1 반도체 패턴(165)을 구비한다. 여기서, 제1 반도체 패턴(165)은 게이트 절연막(112)을 사이에 두고 게이트 전극(156)과 중첩되는 제1 활성층(164), 제1 소스 전극(158) 및 제1 드레인 전극(160)과의 오믹 접촉을 위하여 채널부를 제외한 제1 활성층(164) 위에 형성된 제1 오믹 접촉층(166)을 구비한다.
- <49> 구동 박막 트랜지스터(T2)는 제2 게이트 전극(106)으로 공급되는 데이터 신호에 응답하여 전원 라인(140)으로부터 OEL 셀로 공급되는 전류를 제어함으로써 OEL 셀의 발광량을 조절하게 된다. 이를 위해, 구동 박막 트랜지스터(T2)는 스위치 박막트랜지스터(T1)의 제1 드레인 전극(160)과 연결 전극(162)을 통해 접속된 제2 게이트 전극(106), 전원 라인(140)과 접속된 제2 소스 전극(108), 제2 소스 전극(108)과 마주하며 OEL 셀의 양극(122)과 접속된 제2 드레인 전극(110), 제2 소스 및 제2 드레인 전극(108,110) 사이에 채널부를 형성하는 제2 반도체 패턴(115)을 구비한다. 여기서, 연결 전극(162)은 평탄화층(144) 위에 양극(122)과 동일 재질로 형성된다. 연결 전극(162)은 제1 콘택홀(170)을 통해 노출된 스위치 박막트랜지스터(T1)의 제1 드레인 전극(160)과, 제2 콘택홀(152)을 통해 노출된 구동 박막트랜지스터(T2)의 제2 게이트 전극(106)을 연결시킨다. 제1 콘택홀(170)은 보호막(118) 및 평탄화층(144)을 관통하여 제1 드레인 전극(160)을 노출시키며, 제2 콘택홀(152)은 게이트 절연막(112), 보호막(118) 및 평탄화층(144)을 관통하여 제2 게이트 전극(106)을 노출시킨다. 제2 반도체 패턴(115)은 게이트 절연막(112)을 사이에 두고 제2 게이트 전극(106)과 중첩되는 제2 활성층(114), 제2 소스 전극(108) 및 제2 드레인 전극(110)과의 오믹 접촉을 위하여 채널부를 제외한 제2 활성층(114) 위에 형성된 제2 오믹 접촉층(116)을 구비한다.
- <50> 스토리지 캐패시터(C)는 전원 라인(140)과 구동 박막 트랜지스터(T2)의 제2 게이트 전극(106)이 게이트 절연막(112)을 사이에 두고 중첩됨으로써 형성된다. 이러한 스토리지 캐패시터(C)에 충전된 전압에 의해 스위치 박막 트랜지스터(T1)가 턴-오프되더라도 구동 박막 트랜지스터(T2)는 다음 프레임의 데이터 신호가 공급될 때까지 일정한 전류를 공급하여 OEL 셀이 발광을 유지하게 한다.
- <51> OEL 셀은 평탄화층(144) 위에 형성된 투명 도전 물질의 양극(122)과, बैं크 절연막(146)을 관통하는 화소홀(138)을 통해 노출된 양극(122)과 बैं크 절연막(146) 위에 형성된 발광층을 포함하는 유기층(150)과, 유기층(150) 위에 형성된 음극(124)으로 구성된다. 유기층(150)은 양극(122) 및 बैं크 절연막(146) 위에 적층된 정공 주입층, 정공 수송층, 발광층, 전자 수송층, 전자 주입층으로 구성된다. 여기서, 발광층은 적색(R), 녹색(G) 및 청색(B)을 각각 구현하는 발광층들이 순차적으로 적층되어 3층 구조로 형성되거나 보색 관계를 가지는 발광층들이 적층되어 2층 구조로 형성되거나 백색을 구현하는 발광층으로 이루어진 단층 구조로 형성된다. 이에 따라, 유기층(150)에 포함된 발광층은 양극(122)에 공급된 전류량에 따라 발광하여 양극(122)을 경유하여 컬러필터(142)쪽으로 백색광을 방출하게 된다.
- <52> 한편, 본 발명에 따른 유기 전계 발광 표시 장치의 유기층(150)은 모두 백색을 구현함으로써 유기층(150)을 형성하기 위한 스크린 마스크의 미스얼라인이 발생되더라도 인접한 셀 간의 색간섭현상이 방지된다. 음극(124)은 서브 화소 단위로 형성된 유기층(150)을 사이에 두고 양극(122)과 마주하게 된다. 양극(122)은 평탄화층(144) 위에서 칼라 필터(142)와 중첩되도록 각 서브 화소 영역에 독립적으로 형성된다. 그리고, 양극(122)은 보호막

(118) 및 평탄화층(144)을 각각 관통하는 제3 콘택홀(120)을 통해 노출된 구동 박막트랜지스터의 제2 드레인 전극(110)과 접속된다.

- <53> 칼라 필터(142)는 보호막(118) 위에 백색광을 생성하는 유기층(150)과 중첩되게 형성된다. 이에 따라, 칼라 필터(142)는 유기층(150)으로부터 생성된 백색광을 이용하여 적색, 녹색 및 청색을 구현한다. 칼라 필터(142)에서 생성된 적색, 녹색 및 청색광은 절연 기관(101)을 통해 외부로 방출된다.
- <54> 광흡수층(130)은 스위치 박막트랜지스터(T1) 및 구동 박막 트랜지스터(T2) 중 적어도 어느 하나의 채널부를 덮도록 형성된다. 이러한 광흡수층(130)은 유기층(150)에서 생성 또는 음극(124)에서 반사되어 스위치 박막 트랜지스터(T1) 및 구동 박막 트랜지스터(T2)로 입사되는 백색광의 세기를 약화시키거나 백색광을 흡수하게 된다. 이를 위해, 광흡수층(130)은 한 층의 컬러층으로 형성되거나 도 2와 도 3a 내지 도 3c에 도시된 바와 같이 서로 다른 색을 구현하는 적어도 두 층의 컬러층으로 형성된다.
- <55> 한 층의 컬러층으로 형성된 광흡수층(130)은 스위치 박막 트랜지스터(T1) 및 구동 박막트랜지스터(T2)에 입사되기 전에 백색광을 일부 흡수한다. 이에 따라, 광흡수층(130)을 통해 스위치 박막 트랜지스터(T1) 및 구동 박막 트랜지스터(T2)에는 그 박막트랜지스터(T1, T2)에 영향을 미치지 않을 정도로 세기가 약화된 백색광이 입사된다.
- <56> 도 2에 도시된 광흡수층은 서로 다른 색을 구현하는 제1 내지 제3 컬러층(132, 134, 136), 예를 들어 적색(R), 녹색(G) 및 청색(B)을 구현하는 컬러층(132, 134, 136)들이 순차적으로 적층된다. 도 3a에 도시된 바와 같이 제1 컬러층(132)이 적색(R)을 구현하면, 제2 컬러층(134)은 녹색(G) 또는 청색(B)을 구현한다. 도 3b에 도시된 바와 같이 제1 컬러층(132)이 녹색(G)을 구현하면, 제2 컬러층(134)은 청색(B) 또는 적색(R)을 구현한다. 도 3c에 도시된 바와 같이 제1 컬러층(132)이 청색(B)을 구현하면, 제2 컬러층(134)은 적색(R) 또는 녹색(G)을 구현한다. 이와 같이, 서로 다른 색을 구현하는 적어도 두 층의 컬러층으로 형성된 광흡수층(130)은 스위치 박막 트랜지스터(T1) 및 구동 박막트랜지스터(T2)에 입사되기 전에 백색광을 모두 흡수한다.
- <57> 이와 같이, 광흡수층(130)에 의해 백색광의 세기가 약해지거나 백색광이 흡수되면 스위치 박막 트랜지스터(T1) 및 구동 박막 트랜지스터(T2)의 채널부가 활성화되는 것이 방지된다. 그리고, 광흡수층(130)은 빛샘방지 및 외부광을 흡수하는 블랙매트릭스와 같은 역할을 하게 되므로 별도의 블랙매트릭스가 불필요하여 생산성이 향상되고 제조원가를 줄일 수 있다.
- <58> 한편, 적색을 구현하는 컬러층은 적색(R) 컬러 필터(142)와 동일한 마스크 공정으로 형성됨으로써 적색(R) 컬러 필터(142)와 동일 재질로 형성된다. 녹색을 구현하는 컬러층은 녹색(G) 컬러 필터(142)와 동일한 마스크 공정으로 형성됨으로써 녹색(G) 컬러필터(142)와 동일 재질로 형성된다. 청색을 구현하는 컬러층은 청색(B) 컬러 필터(142)와 동일한 마스크 공정으로 형성됨으로써 청색(B) 컬러필터(142)와 동일 재질로 형성된다.
- <59> 칼라 필터(142) 및 광흡수층(130) 위에는 유기 절연물로 이루어진 평탄화층(144)이 형성된다. 평탄화층(144)은 칼라 필터(142)들 간의 단차 및 광흡수층(130)에 의해 발생하는 단차를 보상하여 평탄한 표면을 제공한다.
- <60> 한편, 도 1 및 도 2에 도시된 OELD는 도 4에 도시된 바와 같이 단위 화소가 적색(R) 서브 화소, 녹색(G) 서브 화소 및 청색(B) 서브 화소로 이루어진 구조에 적용된다. 이외에도 도 5에 도시된 바와 같이 휘도를 높이기 위하여 적색(R) 서브 화소, 녹색(G) 서브 화소 및 청색(B) 서브 화소로 이루어진 단위 화소에 백색(W) 서브 화소를 더 구비할 수도 있다. 도 5에 도시된 구조에서 적색(R), 녹색(G), 청색(B) 및 백색(W) 서브 화소 모두를 활성화시켜 백색(W)을 구현하게 되면 전력 소모가 크다. 이에 따라, 도 5에 도시된 구조에서 백색(W) 구현시 적색(R), 녹색(G) 및 청색(B) 서브 화소를 제외한 백색(W) 서브 화소를 선택적으로 활성화시켜 전력 소모를 최소화한다.
- <61> 도 6a 내지 도 13b는 도 1 및 도 2에 도시된 OELD의 제조 방법을 설명하기 위한 단면도들이다.
- <62> 도 6a 및 도 6b를 참조하면, 절연 기관(101) 위에 게이트 라인(102), 제1 및 제2 게이트 전극(156, 106)을 포함하는 게이트 금속 패턴이 형성된다.
- <63> 게이트 금속 패턴은 절연 기관(101) 상에 스퍼터링 방법 등의 증착 방법을 통해 게이트 금속층을 형성한 후 포토리소그래피공정과 식각 공정으로 패터닝함으로써 형성된다.
- <64> 도 7a 및 도 7b를 참조하면, 게이트 금속 패턴이 형성된 절연 기관(101) 상에 게이트 절연막(112)과, 활성층(164, 114) 및 오믹 접촉층(166, 116)을 각각 포함하는 제1 및 제2 반도체 패턴(165, 115)이 형성된다.
- <65> 게이트 절연막(112)은 게이트 금속 패턴이 형성된 절연 기관(101) 상에 PECVD 등의 증착 방법으로 산화 실리콘

(SiO_x), 질화 실리콘(SiN_x) 등과 같은 무기 절연 물질이 전면 증착됨으로써 형성된다. 제1 및 제2 반도체 패턴(165,115)은 아모퍼스 실리콘층과 n+ 아모퍼스 실리콘층을 형성한 후 포토리소그래피 공정과 다수의 식각 공정을 통해 패터닝함으로써 형성된다.

<66> 도 8a 및 도 8b를 참조하면, 반도체 패턴(165,115)이 형성된 절연 기판(101) 상에 데이터 라인(104), 제1 및 제2 소스 전극(158,108), 제1 및 제2 드레인 전극(160,110)을 포함하는 소스/드레인 금속 패턴이 형성된다.

<67> 소스/드레인 금속 패턴은 반도체 패턴(165,115)이 형성된 절연 기판(101) 상에 스퍼터링 등의 증착방법으로 소스/드레인 금속층을 형성한 후 포토리소그래피 공정과 식각 공정을 통해 패터닝함으로써 형성된다. 이 후, 제1 및 제2 소스 전극(158,108)과 제1 및 제2 드레인 전극(160,110)을 마스크로 하여 그 사이로 노출된 제1 및 제2 오믹 접촉층(166,116)을 제거하여 채널부의 제1 및 제2 활성층(164,114)을 노출시킨다.

<68> 도 9a 및 도 9b를 참조하면, 소스/드레인 금속 패턴이 형성된 절연 기판(101) 상에 보호막(118)과, 그 보호막(118) 위에 적색(R), 녹색(G) 및 청색(B) 컬러 필터(142)와, 적색(R), 녹색(G) 및 청색(B)을 구현하는 제1 내지 제3 컬러층(132,134,136)을 포함하는 광흡수층(130)이 형성된다.

<69> 보호막(118)은 소스/드레인 금속 패턴이 형성된 절연 기판(101) 상에 산화 실리콘(SiO_x) 또는 질화 실리콘(SiN_x) 등과 같은 무기 절연 물질 또는 아크릴 수지 등과 같은 유기 절연 물질이 적층됨으로써 형성된다. 적색(R) 컬러 필터(142) 및 제1 컬러층(132)은 보호막(118)이 형성된 절연 기판(101) 상에 적색 안료가 적층된 후 포토리소그래피공정을 통해 패터닝됨으로써 형성된다. 녹색(G) 컬러 필터(142) 및 제2 컬러층(134)은 적색(R) 컬러 필터(142) 및 제1 컬러층(132)이 형성된 절연 기판(101) 상에 녹색 안료가 적층된 후 포토리소그래피공정을 통해 패터닝됨으로써 형성된다. 청색(B) 컬러 필터(142) 및 제3 컬러층(136)은 녹색(G) 컬러 필터(142) 및 제2 컬러층(134)이 형성된 절연 기판(101) 상에 녹색 안료가 적층된 후 포토리소그래피공정을 통해 패터닝됨으로써 형성된다.

<70> 도 10a 및 도 10b를 참조하면, 컬러 필터(142) 및 광흡수층(130)이 형성된 절연 기판(101) 상에 제1 내지 제3 콘택홀(170,152,120)을 포함하는 평탄화층(144)이 형성된다.

<71> 평탄화층(144)은 칼라 필터(142) 및 광흡수층(130)이 형성된 절연 기판(101) 상에 스핀 코팅(Spin Coating) 또는 스핀리스 코팅(Spinless Coating) 등의 방법으로 형성된다. 제1 내지 제3 콘택홀(170,152,120)은 게이트 절연막(112), 보호막(118) 및 평탄화층(144) 중 적어도 두 층이 선택적으로 포토리소그래피공정과 식각공정으로 패터닝됨으로써 형성된다. 제1 콘택홀(170)은 보호막(118) 및 평탄화층(144)을 관통하여 스위칭 박막트랜지스터(T1)의 제1 드레인 전극(160)을 노출시키며, 제2 콘택홀(152)은 게이트 절연막(112), 보호막(118) 및 평탄화층(144)을 관통하여 구동 박막트랜지스터(T2)의 제2 게이트 전극(106)을 노출시키며, 제3 콘택홀(120)은 보호막(118) 및 평탄화층(144)을 관통하여 구동 박막트랜지스터(T2)의 제2 드레인 전극(110)을 노출시킨다.

<72> 도 11a 및 도 11b를 참조하면, 평탄화층(144)이 형성된 절연 기판(101) 상에 연결 전극(162) 및 양극(122)을 포함하는 투명 도전 패턴이 형성된다.

<73> 투명 도전 패턴은 평탄화층(144)이 형성된 절연 기판(101) 상에 스퍼터링 등의 증착방법으로 투명 도전막을 형성한 후 포토리소그래피 공정과 식각 공정을 통해 패터닝함으로써 형성된다. 투명 도전막으로는 ITO(Indium Tin Oxide), TO(Tin Oxide), IZO(Indium Zinc Oxide), ITZO 등이 이용된다.

<74> 도 12a 및 도 12b를 참조하면, 투명 도전 패턴이 형성된 절연 기판(101) 상에 बैं크 절연막(146)과, बैं크 절연막(146)을 관통하는 화소홀(138)이 형성된다.

<75> बैं크 절연막(146)은 투명 도전 패턴이 형성된 평탄화층(144) 위에 유기 절연물질이 도포됨으로써 형성된다.

<76> 화소홀(138)은 बैं크 절연막(146)을 포토리소그래피 공정과 식각 공정으로 패터닝함으로써 양극(122)을 노출시키도록 형성된다. 여기서, 화소홀(138)은 बैं크 절연막(146)이 감광성 유기 절연 물질로 형성되는 경우 포토리소그래피 공정으로만으로도 형성가능하다.

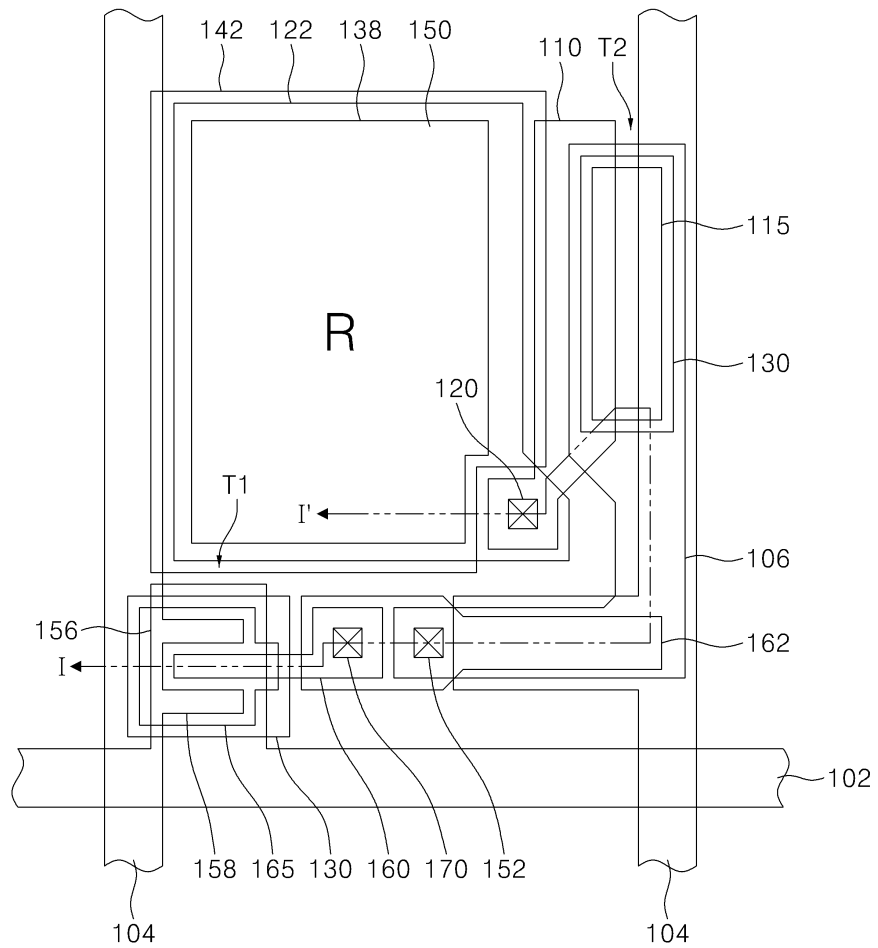
<77> 도 13a 및 도 13b를 참조하면, 화소홀(138)을 포함하는 बैं크 절연막(146)이 형성된 절연 기판(101) 상에 유기층(150)과, 음극(124)이 순차적으로 형성된다.

<78> 유기층(150)은 화소홀(138) 내에 스크린 마스크를 이용한 증착 공정을 통해 형성된다. 유기층(150)에 포함된 발광층은 적색(R), 녹색(G) 및 청색(B)을 각각 구현하는 발광층들이 순차적으로 적층되어 3층 구조로 형성되거나 보색 관계를 가지는 발광층들이 적층되어 2층 구조로 형성되거나 백색을 구현하는 발광층으로 이루어진 단층

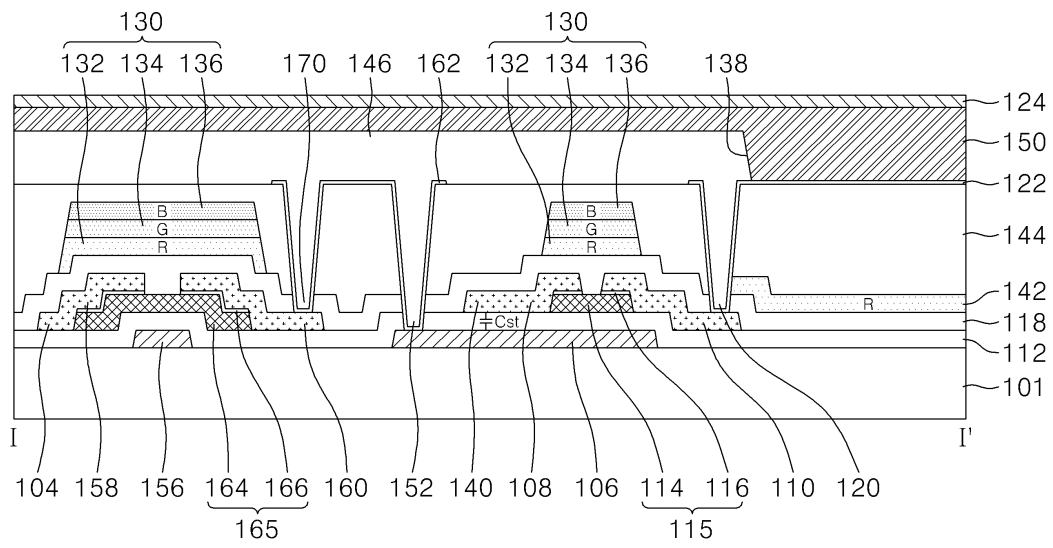
<17>	108,158 : 소스 전극	110,160 : 드레인 전극
<18>	112 : 게이트 절연막	114,164 : 활성층
<19>	115,165 : 반도체 패턴	116,166 : 오믹접촉층
<20>	118 : 보호막	120,152,170 : 콘택홀
<21>	122 : 양극	124 : 음극
<22>	130 : 광흡수층	132,134,136 : 컬러층
<23>	138 : 화소홀	140 : 전원 라인
<24>	142 : 컬러필터	144 : 평탄화층
<25>	146 : बैं크 절연막	150 : 유기층
<26>	162 : 연결 전극	
<27>		

도면

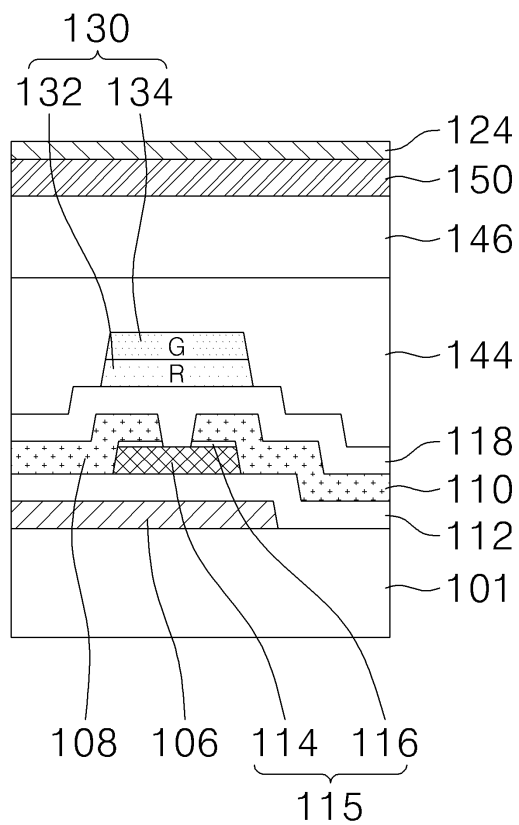
도면1



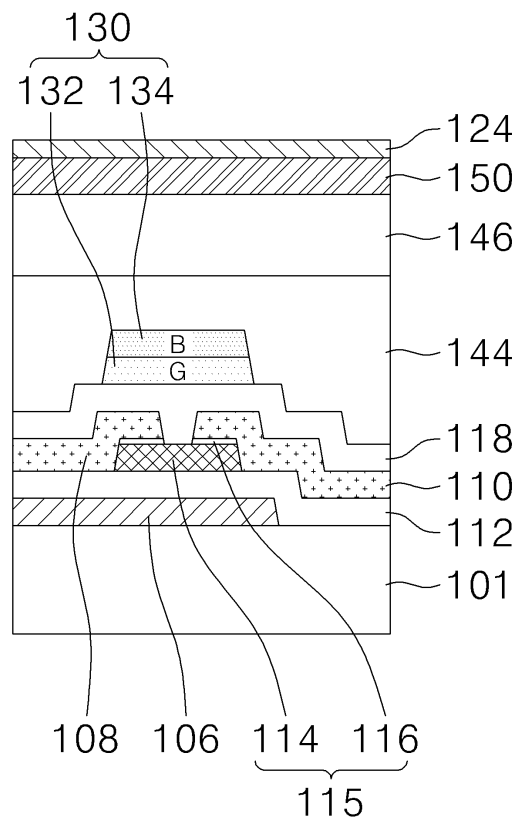
도면2



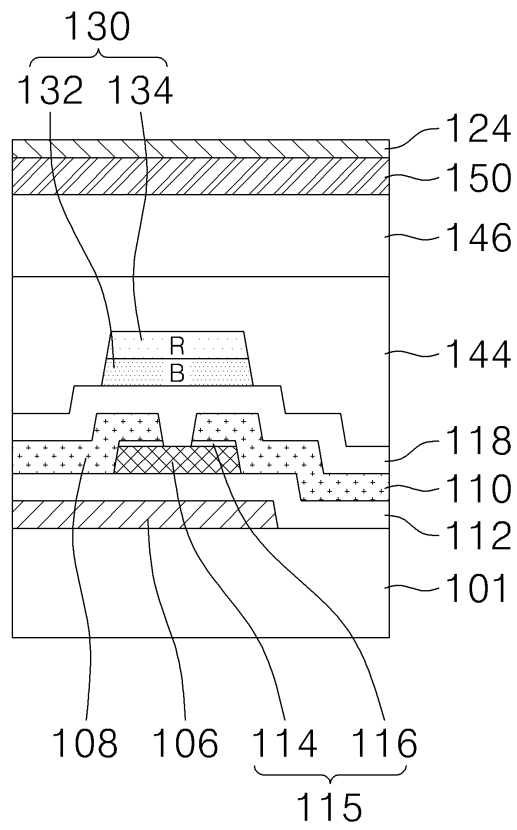
도면3a



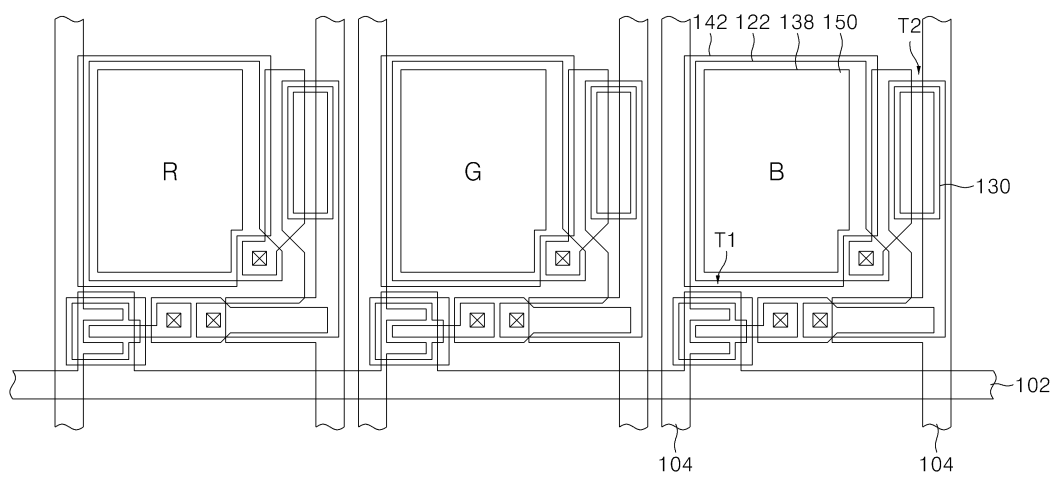
도면3b



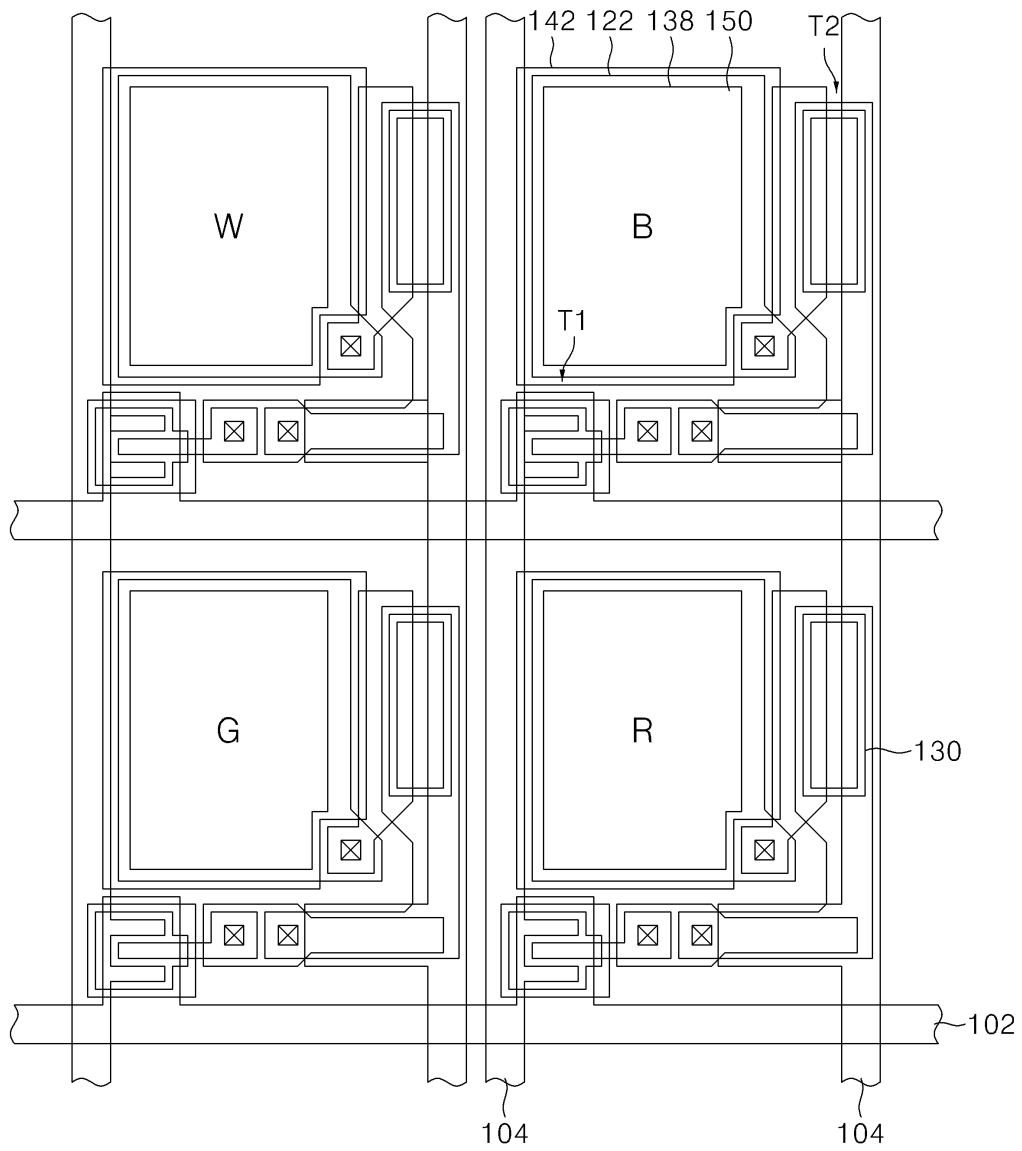
도면3c



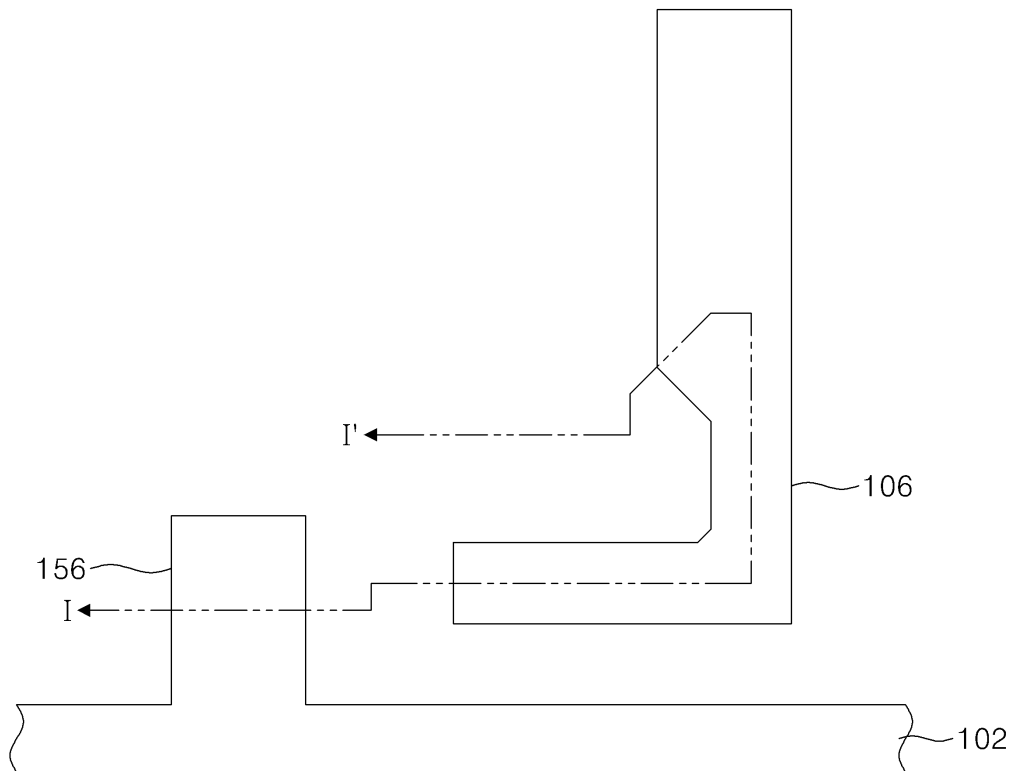
도면4



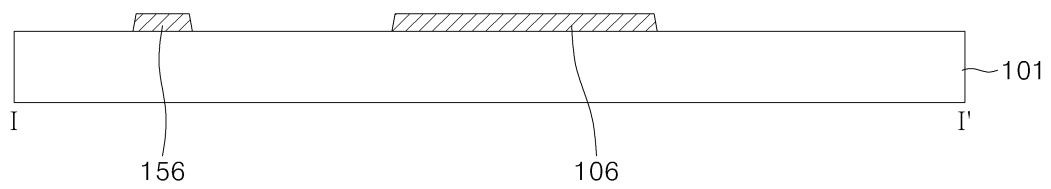
도면5



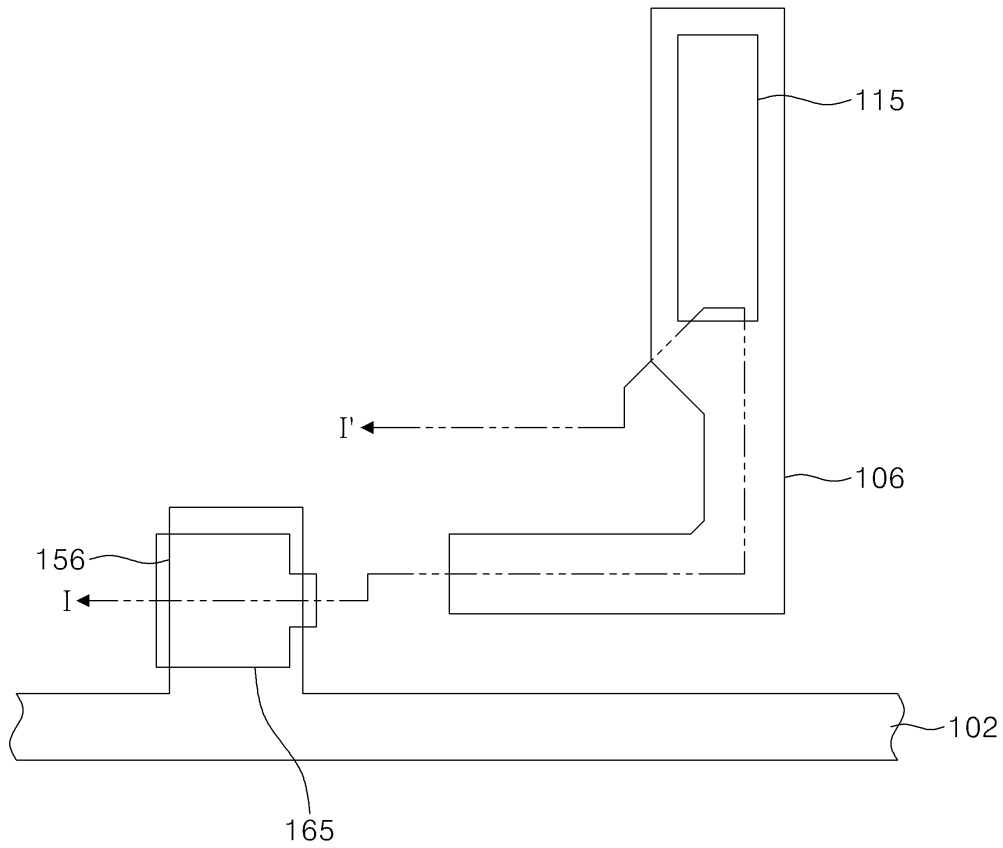
도면6a



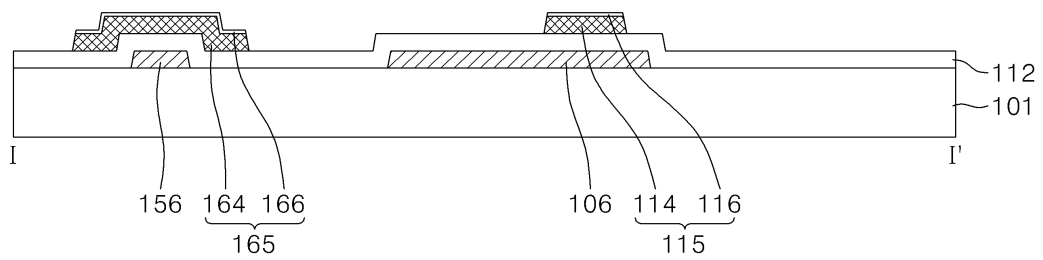
도면6b



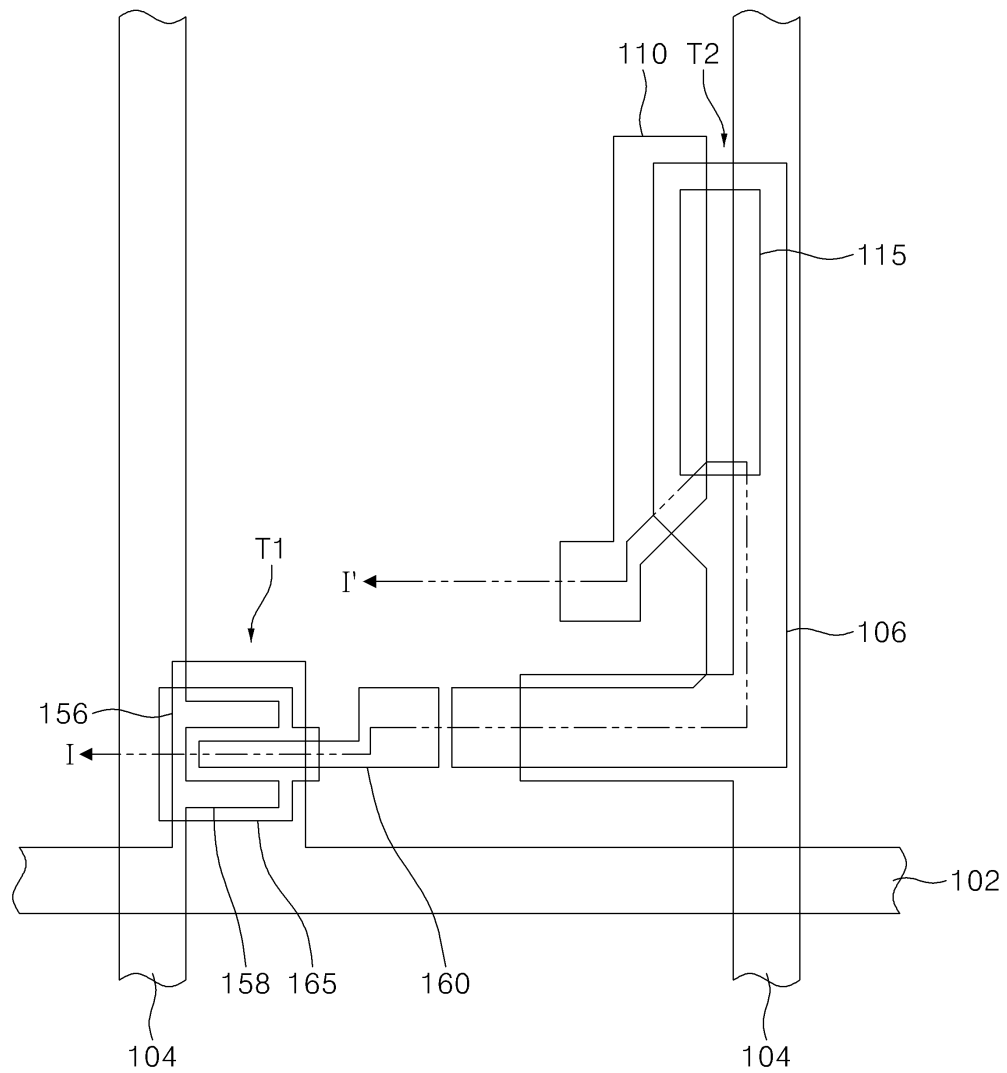
도면7a



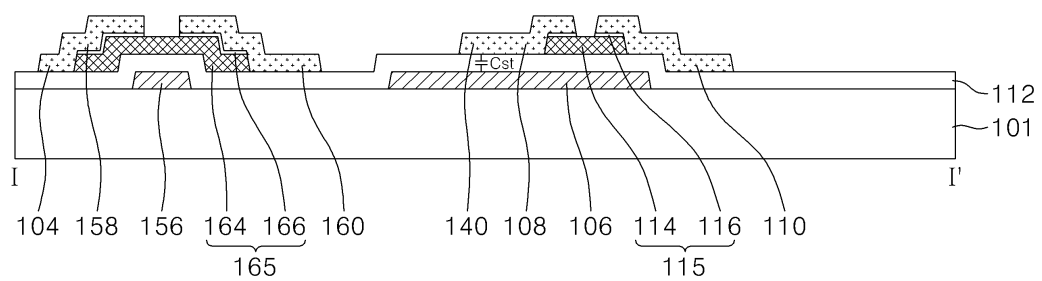
도면7b



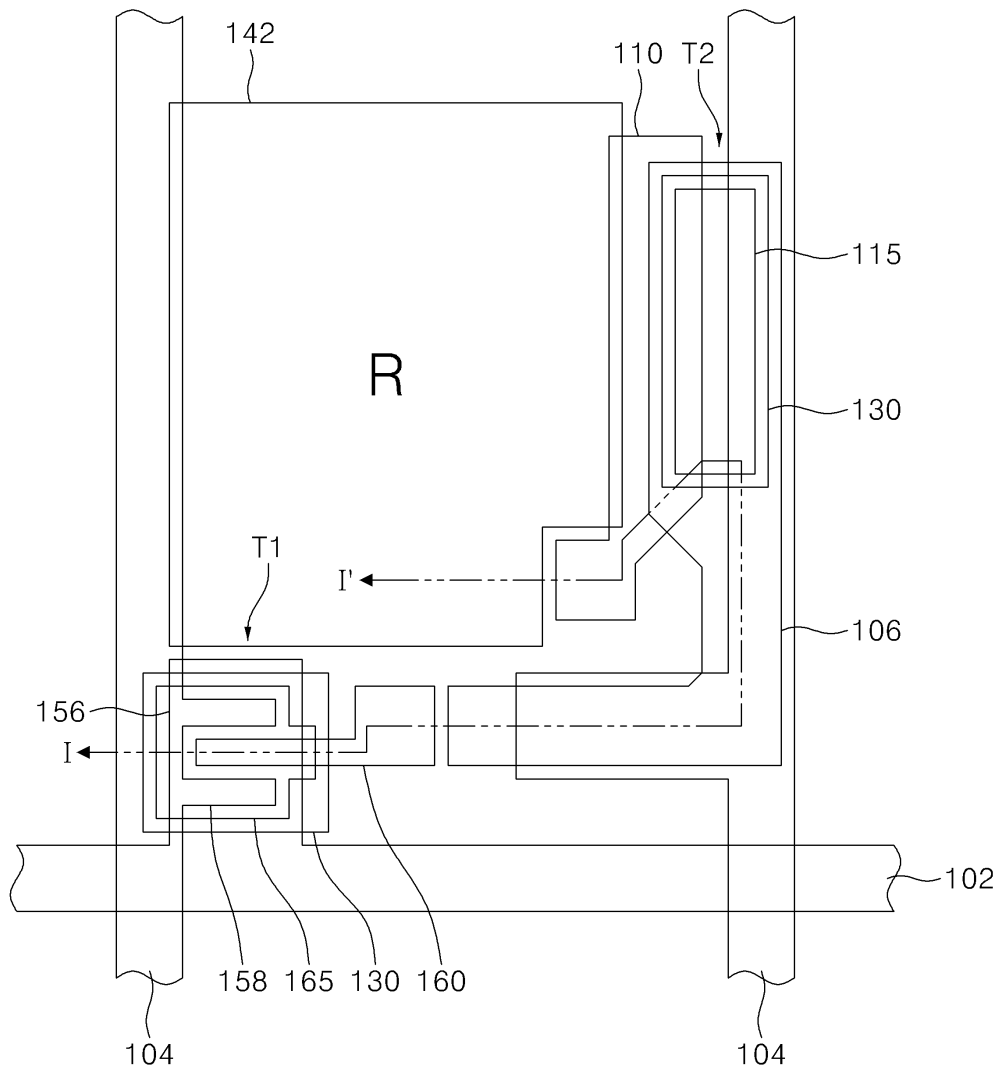
도면 8a



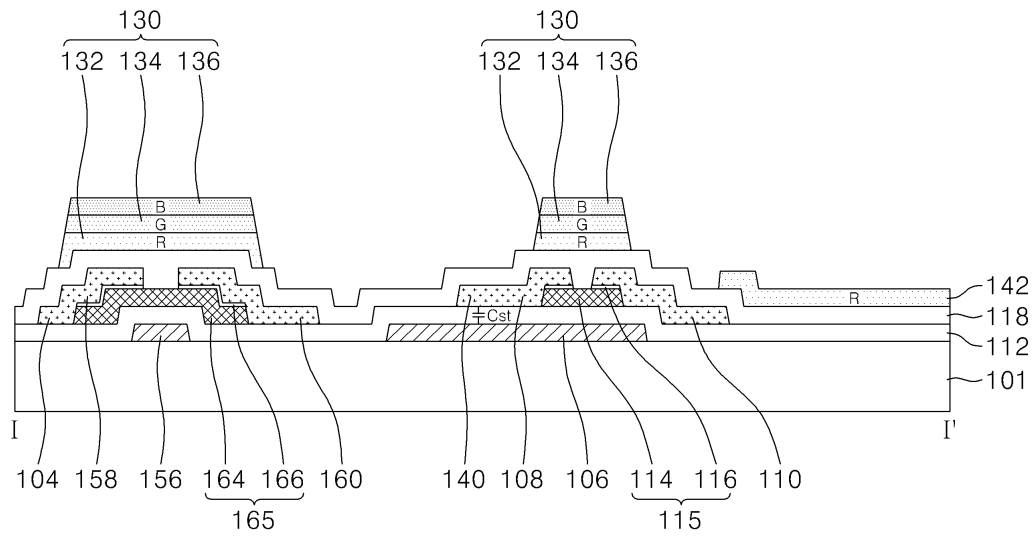
도면 8b



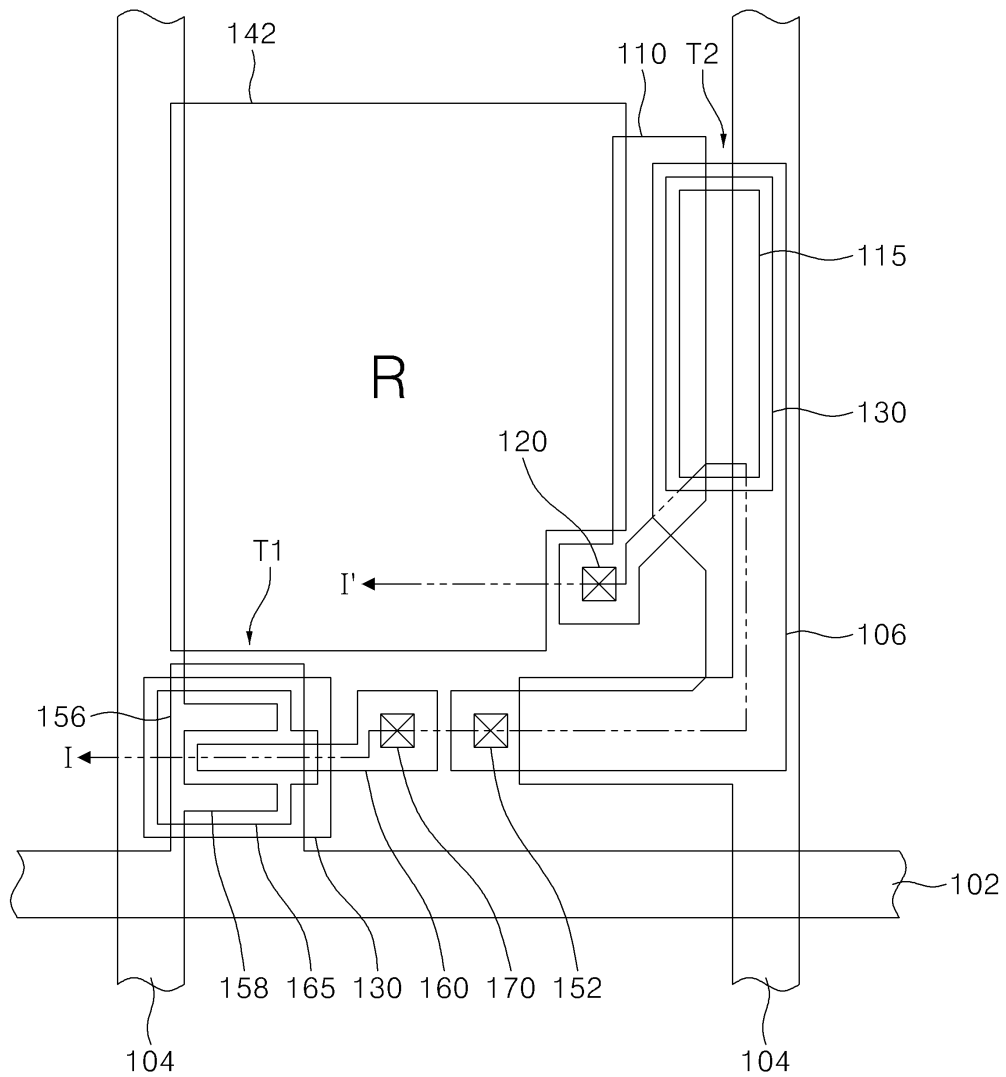
도면9a



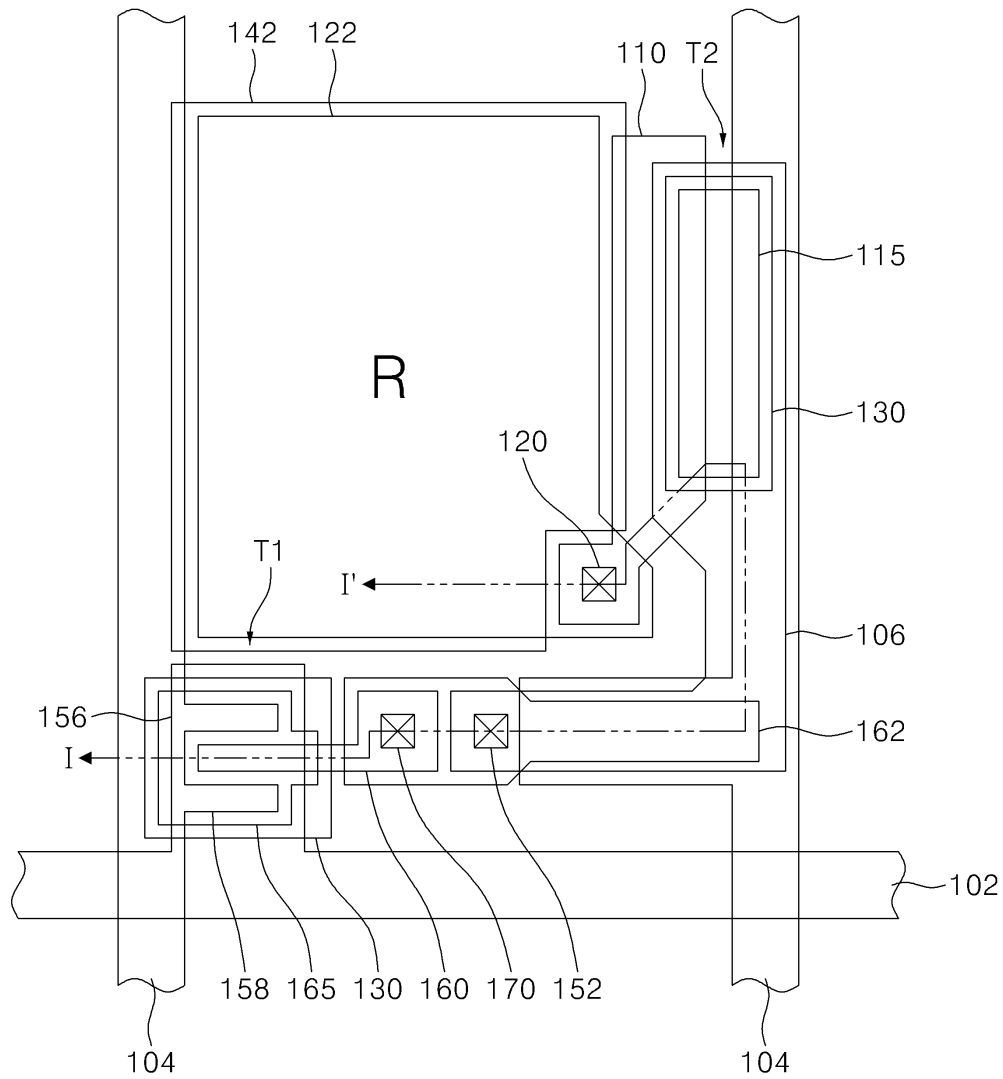
도면9b



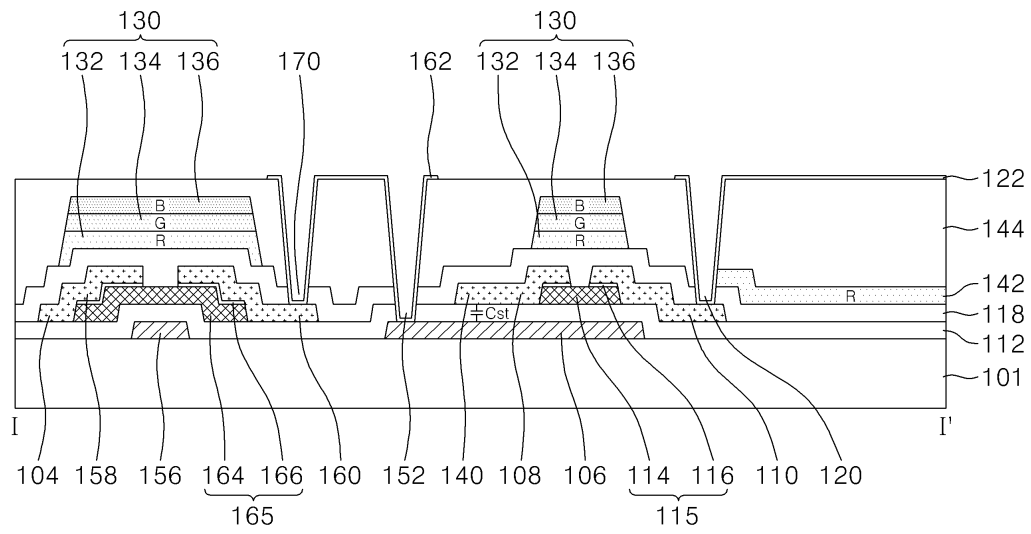
도면10a



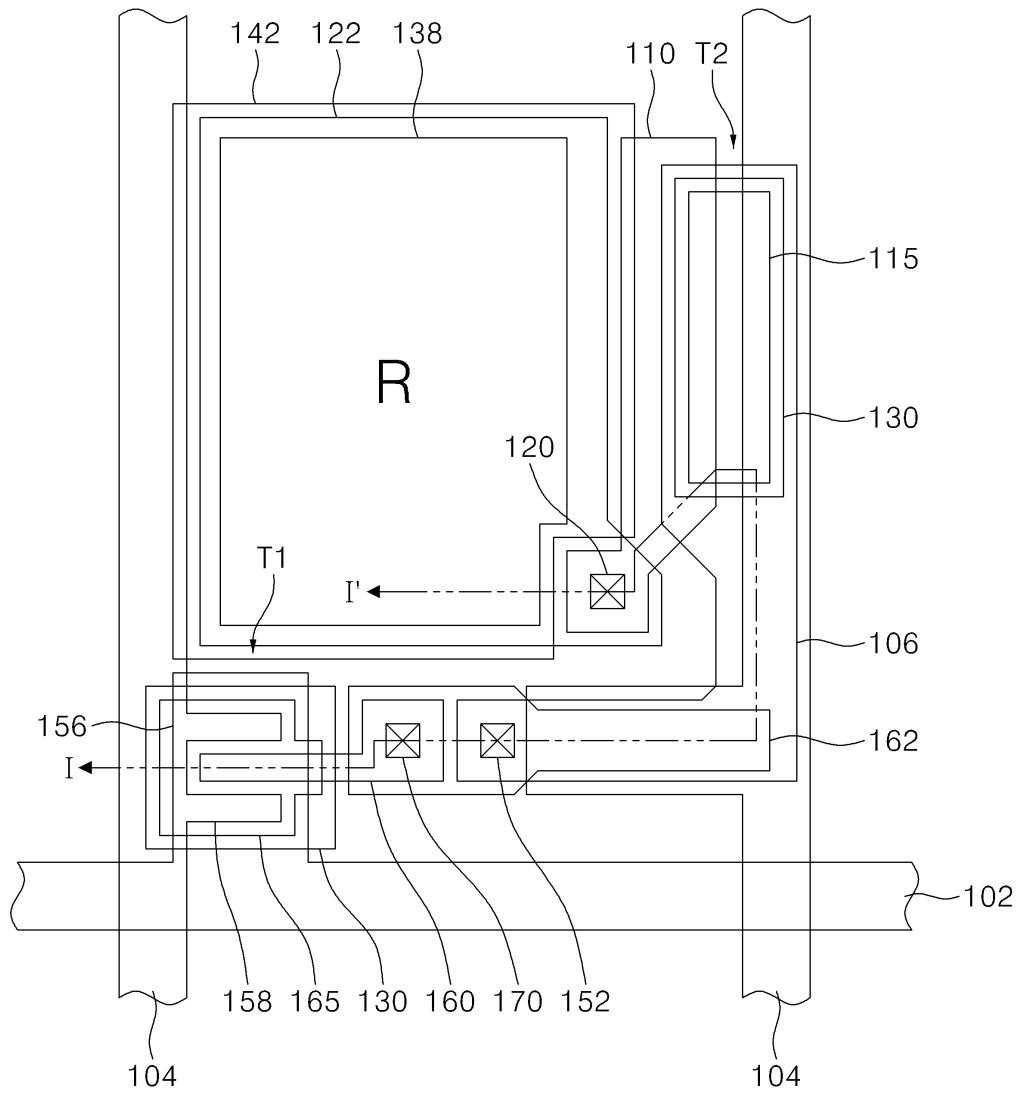
도면11a



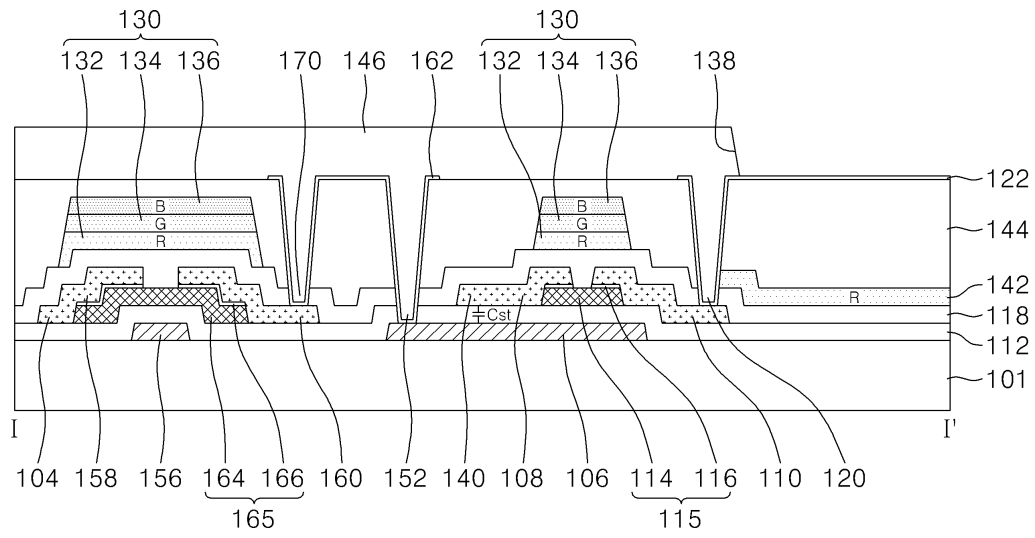
도면11b



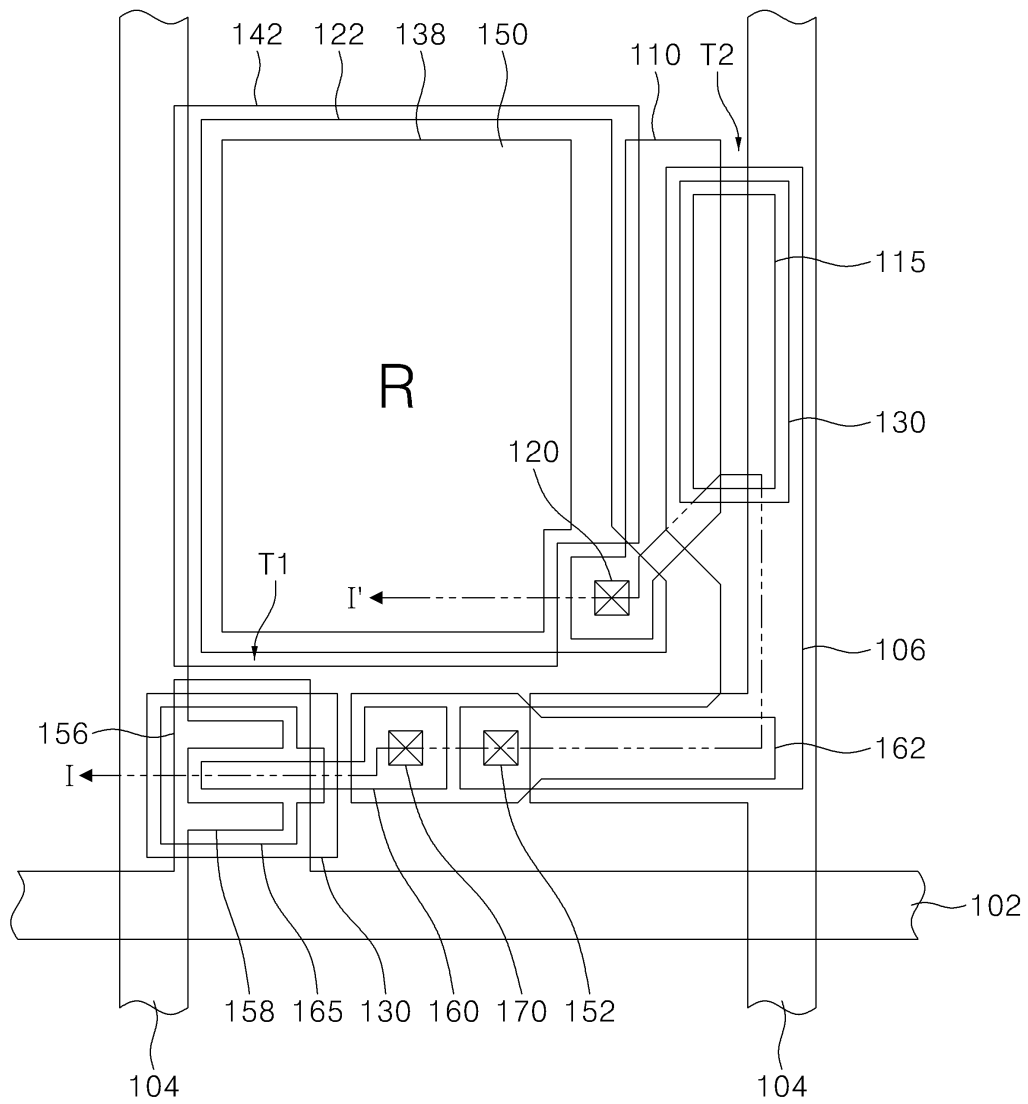
도면12a



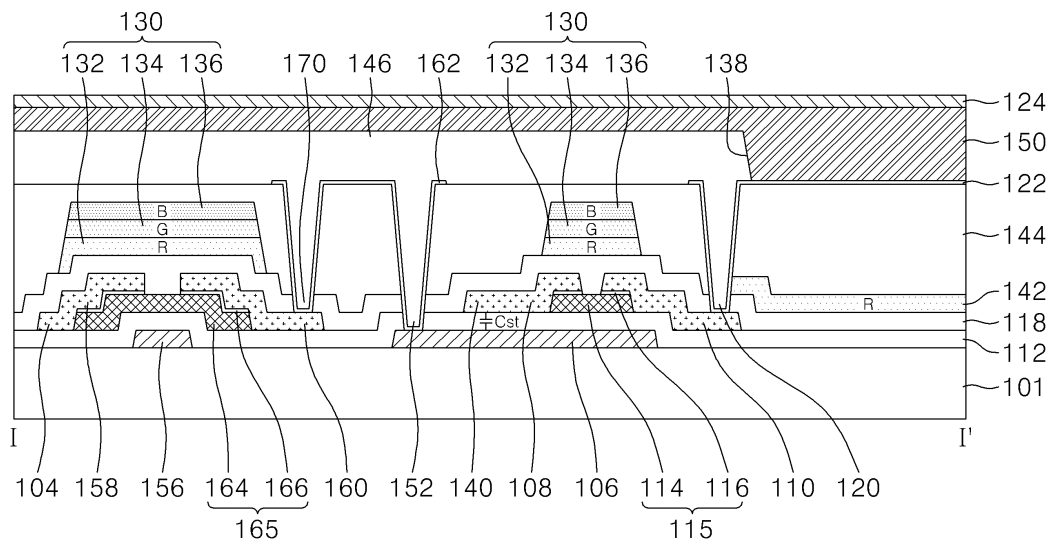
도면12b



도면13a



도면13b



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR1020080011829A	公开(公告)日	2008-02-11
申请号	KR1020060072283	申请日	2006-07-31
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	JUNG KWANG CHUL 정광철 GOH JOON CHUL 고준철 CHOI BEOHM ROCK 최범락 CHAI CHONG CHUL 채종철		
发明人	정광철 고준철 최범락 채종철		
IPC分类号	H05B33/02		
CPC分类号	H01L27/322 H01L27/3272 H01L27/3213		
代理人(译)	SE JUN OH KWON , HYUK SOO 宋 , 云何		
外部链接	Espacenet		

摘要(译)

本发明涉及一种能够防止光入射到薄膜晶体管的有源层上的有机发光显示器及其制造方法。根据本发明的有机发光显示装置包括：栅极线；跨越栅极线的数据线；用于提供子像素区域的电源线；开关薄膜晶体管连接到栅极线 and 数据线；驱动薄膜晶体管，连接到开关薄膜晶体管和电源线；连接到驱动薄膜晶体管的有机电致发光元件；并且光吸收层形成成为与开关薄膜晶体管和驱动薄膜晶体管中的至少一个的沟道部分重叠并且包括至少一个颜色层。

