



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0118795
(43) 공개일자 2007년12월18일

(51) Int. Cl.

H05B 33/10 (2006.01) H05B 33/26 (2006.01)

(21) 출원번호 10-2006-0052957

(22) 출원일자 2006년06월13일

심사청구일자 없음

(71) 출원인

엘지.필립스 엘시디 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

최희동

충남 서산시 음암면 탑곡리 3구 178번지

(74) 대리인

특허법인네이트

전체 청구항 수 : 총 10 항

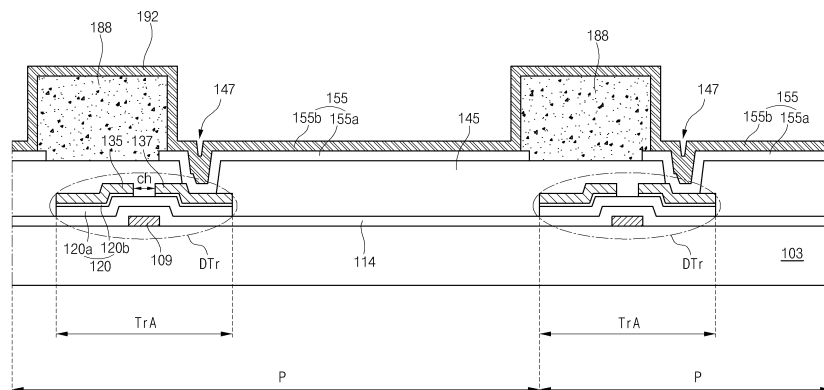
(54) 듀얼패널 타입 유기전계 발광소자의 제조 방법

(57) 요약

듀얼패널 타입의 유기전계 발광소자의 제조에 있어서, 부식에 강한 투명 도전성 물질로 단일층 구조의 게이트 및 데이터 보조패드전극을 형성하기 위해 그 상부에 형성된 폴리브덴(Mo)층을 식각 하는 과정에서 상기 폴리브덴(Mo)의 식각액에 의해 상기 투명 도전성 물질의 게이트 및 데이터 보조패드전극이 손상을 받아 그 두께가 얇아지거나 또는 유실되는 불량이 다량 발생하고 있다.

본 발명은 상기 게이트 및 데이터 보조패드전극의 손상없이 특정 향상을 위한 투명 도전성 물질과 폴리브덴의 이중층 구조의 연결전극을 형성하는 것을 특징으로 하는 듀얼패널 타입의 유기전계 발광소자의 제조 방법을 제공한다.

대표도 - 도4j



특허청구의 범위

청구항 1

화소영역과 게이트 및 데이터 패드부가 정의된 제 1 기관 상에 일방향으로 연장하는 게이트 배선과, 상기 화소영역에 게이트 전극과 상기 게이트 및 데이터 패드부에 각각 게이트 패드전극과 데이터 패드전극을 형성하는 단계와;

상기 게이트 배선과 교차하는 데이터 배선을 형성하는 단계와;

상기 화소영역에 상기 게이트 전극을 포함하여 반도체층과 서로 이격하는 소스 및 드레인 전극으로 이루어진 구동 박막트랜지스터를 형성하는 단계와;

상기 구동 박막트랜지스터 위로 상기 드레인 전극과 게이트 및 데이터 패드전극을 각각 노출시키는 드레인 콘택홀과 게이트 및 데이터 패드 콘택홀을 갖는 보호층을 형성하는 단계와;

상기 보호층 위로 투명 도전성 물질로 상기 드레인 전극과 접촉하는 제 1 연결전극과, 상기 게이트 패드전극 및 데이터 패드전극과 각각 접촉하는 게이트 및 데이터 보조패드전극을 형성하는 단계와;

상기 제 1 연결전극과 게이트 및 데이터 보조패드전극 위로 상기 제 1 연결전극을 노출 시키는 형태의 포토레지스트 패턴을 형성하는 단계와;

상기 포토레지스트 패턴 및 노출된 제 1 연결패턴 위로 금속물질을 증착하여 금속층을 형성하는 단계와;

상기 금속층이 형성된 제 1 기관을 스트립액에 노출시킴으로써 상기 포토레지스트 패턴 및 그 상부에 형성된 상기 금속층을 동시에 제거함으로써 상기 제 1 연결전극 상부에 제 2 연결전극을 형성하는 단계와;

상기 제 2 기관에 유기전계발광 다이오드를 형성하는 단계와;

상기 제 1, 2 기관 중 어느 하나의 기관 테두리에 셀패턴을 형성하고, 상기 제 1 기관의 상기 제 2 연결전극과 상기 제 2 기관의 상기 유기전계 발광다이오드가 화소영역별로 각각 접촉하도록 합착하는 단계

를 포함하는 듀얼패널 타입 유기전계 발광소자의 제조 방법.

청구항 2

제 1 항에 있어서,

상기 게이트 배선과 게이트 패드전극과 데이터 패드전극 위로 전면에 게이트 절연막을 형성하는 단계를 더욱 포함하는 듀얼패널 타입 유기전계 발광소자의 제조 방법.

청구항 3

제 1 항에 있어서,

상기 구동 박막트랜지스터를 형성하는 단계는

상기 구동 박막트랜지스터와 동일한 구조로 이루어지며 상기 게이트 배선과 데이터 배선과 연결된 스위칭 박막트랜지스터를 형성하는 단계를 포함하는 듀얼패널 타입 유기전계 발광소자의 제조 방법.

청구항 4

제 1 항에 있어서,

상기 데이터 배선을 형성하는 단계는

상기 데이터 배선과 이격하여 전력공급배선을 형성하는 단계를 포함하는 듀얼패널 타입 유기전계 발광소자의 제조 방법.

청구항 5

제 1 항에 있어서,

상기 금속층은 몰리브덴(Mo)인 듀얼패널 타입 유기전계 발광소자의 제조 방법.

청구항 6

제 1 항에 있어서,

상기 보호층을 형성하는 단계는 상기 데이터 배선 일끝단을 노출시키는 데이터 배선 콘택홀을 형성하는 단계를 더욱 포함하며,

상기 게이트 데이터 보조패드전극은 상기 데이터 배선 콘택홀까지 연장되어 상기 데이터 배선과 데이터 패드전극을 전기적으로 연결시키도록 형성하는 것이 특징인 듀얼패널 타입 유기전계 발광소자의 제조 방법.

청구항 7

제 1 항에 있어서,

상기 제 1 기판을 스트립액에 노출시키기 이전에

상기 포토레지스트 패턴의 부피를 팽창시켜 그 상부에 형성된 금속층에 크랙이 발생하도록 하는 것을 특징으로 하는 열처리 공정을 더욱 포함하는 듀얼패널 타입 유기전계 발광소자의 제조 방법.

청구항 8

제 1 항에 있어서,

상기 제 2 기판에 유기전계발광 다이오드를 형성하는 단계는

상기 제 2 기판에 제 1 전극을 전면에서 형성하는 단계와;

상기 제 1 전극 위로 화소영역에 노출된 상부면이 평탄한 형태의 컬럼 스페이서를 형성하는 단계와;

상기 제 1 전극 위로 상기 화소영역별로 적, 녹, 청색을 발광하는 발광 패턴을 갖는 유기 발광층을 형성하는 단계와;

상기 유기 발광층 상부 및 상기 스페이서의 상부면 및 측면부에 상기 화소영역별로 분리된 제 2 전극을 형성하는 단계

를 포함하는 듀얼패널 타입 유기전계 발광소자의 제조 방법.

청구항 9

제 8 항에 있어서,

상기 제 1 전극을 형성한 이후에는 상기 화소영역의 경계에 상기 컬럼 스페이서의 높이보다 낮은 높이를 갖는 격벽을 더욱 형성하는 단계를 포함하는 듀얼패널 타입 유기전계 발광소자의 제조 방법.

청구항 10

제 9 항에 있어서,

상기 제 1 전극과 상기 격벽 사이에 절연막 패턴을 더욱 형성하는 단계를 포함하는 듀얼패널 타입 유기전계 발광소자의 제조 방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<19> 본 발명은 유기전계발광 소자(Organic Electroluminescent Device)에 관한 것으로, 특히 듀얼패널 타입 액티브 매트릭스형(Active Matrix type) 유기전계발광 소자에 관한 것이다.

- <20> 새로운 평판 디스플레이(FPD ; Flat Panel Display)중 하나인 유기전계발광 소자는 자체발광형이기 때문에 액정 표시장치에 비해 시야각, 콘트라스트 등이 우수하며 백라이트가 필요하지 않기 때문에 경량박형이 가능하고, 소비전력 측면에서도 유리하며, 직류저전압 구동이 가능하고 응답속도가 빠르며 전부 교체이기 때문에 외부충격에 강하고 사용온도범위도 넓으며 특히 제조비용 측면에서도 저렴한 장점을 가지고 있으므로 소형 크기의 평판디스플레이 소자로서 활용되고 있다.
- <21> 이하, 액티브 매트릭스형 유기전계발광 소자의 기본적인 구조 및 동작특성에 대해서 도면을 참조하여 상세히 설명한다.
- <22> 도 1은 일반적인 액티브 매트릭스형 유기전계발광 소자의 한 화소에 대한 회로도이다.
- <23> 도시한 바와 같이 액티브 매트릭스형 유기전계발광 소자의 하나의 화소는 스위칭(switching) 박막트랜지스터(STr)와 구동(driving) 박막트랜지스터(DTr), 스토리지 커패시터(StgC), 그리고 유기전계발광 다이오드(E)로 이루어진다.
- <24> 즉, 제 1 방향으로 게이트 배선(GL)이 형성되어 있고, 이 제 1 방향과 교차되는 제 2 방향으로 형성되어 화소영역(P)을 정의하며 데이터 배선(DL)이 형성되어 있으며, 상기 데이터 배선(DL)과 이격하며 전원전압을 인가하기 위한 전원배선(PL)이 형성되어 있다.
- <25> 또한, 상기 데이터 배선(DL)과 게이트 배선(GL)이 교차하는 부분에는 스위칭 박막트랜지스터(STr)가 형성되어 있으며, 상기 스위칭 박막트랜지스터(STr)와 전기적으로 연결된 구동 박막트랜지스터(DTr)가 형성되어 있다.
- <26> 이때, 상기 구동 박막트랜지스터(DTr)는 유기전계발광 다이오드(E)와 전기적으로 연결되고 있다. 즉, 상기 유기전계발광 다이오드(E)의 일측 단자인 제 1 전극은 상기 구동 박막트랜지스터(DTr)의 드레인 전극과 연결되고, 타측 단자인 제 2 전극은 전원배선(PL)과 연결되고 있다. 이때, 상기 전원배선(PL)은 전원전압을 상기 유기전계발광 다이오드(E)로 전달하게 된다.
- <27> 또한, 상기 구동 박막트랜지스터(DTr)의 게이트 전극과 소스 전극 사이에는 스토리지 커패시터(StgC)가 형성되고 있다.
- <28> 따라서, 상기 게이트 배선(GL)을 통해 신호가 인가되면 스위칭 박막트랜지스터(STr)가 온(on) 되고, 상기 데이터 배선(DL)의 신호가 구동 박막트랜지스터(DTr)의 게이트 전극에 전달되어 상기 구동 박막트랜지스터(DTr)가 온(on) 되므로 유기전계발광 다이오드(E)를 통해 빛이 출력된다. 이때, 상기 구동 박막트랜지스터(DTr)가 온(on) 상태가 되면, 전원배선(PL)으로부터 유기전계발광 다이오드(E)에 흐르는 전류의 레벨이 정해지며 이로 인해 상기 유기전계발광 다이오드(E)는 그레이 스케일(gray scale)을 구현할 수 있게 되며, 상기 스토리지 커패시터(StgC)는 스위칭 박막트랜지스터(STr)가 오프(off) 되었을 때, 상기 구동 박막트랜지스터(DTr)의 게이트 전압을 일정하게 유지시키는 역할을 함으로써 상기 스위칭 박막트랜지스터(STr)가 오프(off) 상태가 되더라도 다음 프레임(frame)까지 상기 유기전계발광 다이오드(E)에 흐르는 전류의 레벨을 일정하게 유지할 수 있게 된다.
- <29> 이러한 유기전계발광 소자는 어레이 소자와 유기전계발광 다이오드가 동일 기판 상에 적층된 구조의 유기전계발광 소자는 어레이 소자 및 유기전계발광 다이오드가 형성된 기판과 별도의 인캡슐레이션용 기판의 합착을 통해 소자를 제작하게 되는데 이 경우, 어레이 소자의 수율과 유기전계발광 다이오드의 수율의 곱이 유기전계발광 소자의 수율을 결정하기 때문에 후반 공정에 해당되는 유기전계발광 다이오드 공정에 의해 전체 공정 수율이 크게 제한되는 문제점이 있다.
- <30> 따라서 이러한 문제점을 해결하고자 어레이 소자 및 유기전계발광 다이오드를 서로 다른 기판에 형성하고, 상기 두 기판을 전기적으로 도통되도록 합착하여 구성된 듀얼패널 타입 유기전계 발광소자가 제안되었다.
- <31> 도 2는 종래의 어레이 소자와 유기전계발광 다이오드가 각각 서로 다른 기판에 구성된 듀얼패널 타입 유기전계 발광소자를 화소영역을 포함한 비표시영역의 게이트 패드부를 개략적으로 도시한 단면도이며, 도 3은 도 2에 도시한 종래의 듀얼패널 타입 유기전계 발광소자의 비표시영역의 데이터 패드부에 대한 단면도이다.
- <32> 도시한 바와 같이, 제 1, 2 기판(3, 71)이 서로 대향되게 배치되어 있고, 제 1, 2 기판(3, 71)의 화상을 표시하는 영역인 액티브 영역(AA) 외측의 비표시영역(NA)에는 상기 액티브 영역(AA)을 둘러싸며 상기 두 기판(3, 71) 사이에 형성된 셀패턴(93)에 의해 봉지되어 있다.
- <33> 상기 제 1 기판(3)의 상부에는 각 화소영역(P)별로 구동 박막트랜지스터(DTr) 및 스위칭

박막트랜지스터(미도시)를 포함하는 어레이 소자와 상기 구동 박막트랜지스터(DTr)의 드레인 전극(37)과 연결되어 연결전극(55)이 형성되어 있다.

- <34> 한편, 제 2 기관(71)의 하부에는 상기 제 1 기관(3)의 각 화소영역(P)에 대응하여 유기전계발광 다이오드(E)가 형성되어 있다. 이때, 상기 유기전계발광 다이오드(E)는 공통전극으로 이용되는 제 1 전극(75)과, 상기 제 1 전극(75) 하부에 상기 각 화소영역(P)별로 적, 녹, 청색을 발광하는 유기 발광 패틴이 순차 반복되는 유기전계 발광층(87)과, 상기 유기전계 발광층(87) 하부에 상기 화소영역(P)별로 독립적으로 형성된 제 2 전극(90)으로 형성되고 있다. 이때, 상기 유기 발광층(87)과 제 2 전극(90)은 상기 화소영역(P)의 경계에 형성된 격벽(79)에 의해 각 화소영역(P)별로 분리되고 있다.
- <35> 또한, 상기 제 1 전극(75) 하부로 각 화소영역(P)에는 상기 제 1 기관(3) 상에 형성된 연결전극(55)의 일부에 대응하여 컬럼 스페이스(81)가 형성되어 있으며, 상기 유기 발광층(87)과 그 하부의 제 2 전극(90)은 상기 컬럼 스페이스(81)의 측면과 끝단까지 연결 형성되어 있다.
- <36> 이때, 상기 제 1 전극(75)은 양극(anode electrode)의 역할을 하며 일함수 값이 비교적 높은 인듐-틴-옥사이드(ITO)로 이루어지고 있으며, 상기 제 2 전극(90)은 음극(cathode electrode)의 역할을 하며 비교적 일함수 값이 낮은 금속물질인 알루미늄(Al) 또는 알루미늄 합금(AlNd)으로 이루어져 있다.
- <37> 이때, 상기 컬럼 스페이스(81)의 끝단부에 대응하여 형성된 상기 제 2 전극(90)은 상기 제 1 기관(3)상에 형성된 연결전극(55)과 접촉하며 형성되고 있다.
- <38> 한편, 제 1 기관(3)에는 게이트 배선(미도시)과 데이터 배선(미도시)이 교차하여 화소영역(P)을 정의하며 형성되어 있다. 또한, 이들 두 배선(미도시)의 교차지점에는 스위칭 소자인 스위칭 박막트랜지스터(미도시)가 형성되어 있으며, 상기 스위칭 박막트랜지스터(미도시)와 전기적으로 연결되며 게이트 전극(9)과 게이트 절연막(14)과 반도체층(20)과 소스 및 드레인 전극(35, 37)을 갖는 구동 박막트랜지스터(DTr)가 형성되어 있다.
- <39> 또한, 상기 스위칭 및 구동 박막트랜지스터(미도시, DTr) 위로 상기 구동박막트랜지스터(DTr)의 드레인 전극(37)을 노출시키는 드레인 콘택홀(47)을 갖는 보호층(45)이 형성되어 있다.
- <40> 또한, 상기 보호층(45) 위로 상기 드레인 콘택홀(47)을 통해 상기 드레인 전극(45)과 접촉하며 각 화소영역(P)별로 형성되며 인듐-틴-옥사이드(ITO)층(55a)과 몰리브덴(Mo)층(55b)으로 이루어진 이중층 구조의 연결전극(55)이 형성되어 있다.
- <41> 한편, 비표시영역(NA)인 게이트 패드부(GPA)에 있어서는 상기 구동 박막트랜지스터(Tr)의 게이트 전극(9) 또는 게이트 배선(미도시)을 형성한 동일한 층에 동일한 물질로 게이트 패드전극(11)이 형성되어 있으며, 데이터 패드부(DPA)에 있어서는, 게이트 절연막(14) 상부에 상기 구동 박막트랜지스터(Tr)의 소스 및 드레인 전극(35, 37) 또는 데이터 배선(30)을 형성한 것과 동일한 물질로 데이터 패드전극(38)이 형성되어 있다.
- <42> 또한, 이들 게이트 및 데이터 패드부(GPA, DPA)에 있어서, 게이트 패드전극(11) 및 데이터 패드전극(38) 상부로 형성된 보호층(45) 위로 게이트 및 데이터 패드 콘택홀(49, 51)을 통해 상기 게이트 및 데이터 패드전극(11, 38)과 각각 접촉하며 상기 연결전극(55) 중 인듐-틴-옥사이드(ITO)층(55a))과 동일한 물질로써 게이트 보조패드전극(57) 및 데이터 보조패드전극(60)이 형성되어 있다.
- <43> 이러한 구조를 갖는 듀얼패널 타입 유기전계 발광소자(1)를 제조함에 있어서, 특히 어레이 소자가 구비되는 제 1 기관(3)의 제조에는 문제가 발생한다.
- <44> 즉, 상부의 유기전계 발광 다이오드(E)의 제 2 전극(90)과 접촉하며 형성되는 이중층 구조의 연결전극(55)은 저항특성 등을 고려하여 하부층은 인듐-틴-옥사이드(ITO)층(55a), 상부층은 몰리브덴(Mo)층(55b)으로 이루어지고 있는 반면 외부로 노출되는 게이트 패드부(GPA) 및 데이터 패드부(DPA)에 있어서는, 몰리브덴(Mo)층이 외부로 노출되면 부식 등의 문제가 있는 바, 상기 몰리브덴(Mo)층을 제거함으로써 인듐-틴-옥사이드(ITO)층만으로 게이트 보조패드전극(57)과 데이터 보조패드전극(60)이 형성되고 있다.
- <45> 현대, 이러한 구조를 갖는 듀얼패널 타입 유기전계 발광소자를 형성하기 위해서는 상기 인듐-틴-옥사이드(ITO)층(55a)과 몰리브덴(Mo)층(55b)의 이중층 구조의 연결전극(55) 및 동일 형태 즉 이중층 구조의 게이트 및 데이터 보조패드전극(미도시)을 상기 인듐-틴-옥사이드(ITO)로 이루어진 게이트 및 데이터 보조패드전극(57, 60) 상부의 몰리브덴(Mo)층을 제거하기 위해 식각액에 의한 습식 식각을 진행하게 된다.
- <46> 하지만 인듐-틴-옥사이드(ITO)의 상기 게이트 및 데이터 보조패드전극(57, 60) 상부의 몰리브덴(Mo)층(미도시)

을 식각 하는 과정에서 상기 몰리브덴(Mo)의 식각액에 의해 상기 인듐-틴-옥사이드(ITO)의 게이트 및 데이터 보조패드전극(57, 60)이 손상을 받아 그 두께가 얇아지거나 또는 유실되는 불량이 다량 발생하고 있다.

발명이 이루고자 하는 기술적 과제

<47> 본 발명은 전술한 문제를 해결하기 위한 것으로, 유기전계발광 다이오드의 제 2 전극과 접촉하는 이중층 구조의 연결전극의 상부층을 이루는 몰리브덴층을 형성하기 위해 상기 게이트 및 데이터 패드부의 보조패드전극 상부에 함께 형성된 몰리브덴 패턴을 그 하부의 인듐-틴-옥사이드(ITO)로 이루어진 게이트 및 데이터 보조패드 전극의 손상없이 제거할 수 있는 제조 방법을 제공하는 것을 그 목적으로 하고 있다.

발명의 구성 및 작용

<48> 상기 목적을 달성하기 위한 본 발명에 따른 듀얼패널 타입 유기전계 발광소자는 화소영역과 게이트 및 데이터 패드부가 정의된 제 1 기판 상에 일방향으로 연장하는 게이트 배선과, 상기 화소영역에 게이트 전극과 상기 게이트 및 데이터 패드부에 각각 게이트 패드전극과 데이터 패드전극을 형성하는 단계와; 상기 게이트 배선과 교차하는 데이터 배선을 형성하는 단계와; 상기 화소영역에 상기 게이트 전극을 포함하여 반도체층과 서로 이격하는 소스 및 드레인 전극으로 이루어진 구동 박막트랜지스터를 형성하는 단계와; 상기 구동 박막트랜지스터 위로 상기 드레인 전극과 게이트 및 데이터 패드전극을 각각 노출시키는 드레인 콘택홀과 게이트 및 데이터 패드 콘택홀을 갖는 보호층을 형성하는 단계와; 상기 보호층 위로 투명 도전성 물질로 상기 드레인 전극과 접촉하는 제 1 연결전극과, 상기 게이트 패드전극 및 데이터 패드전극과 각각 접촉하는 게이트 및 데이터 보조패드전극을 형성하는 단계와; 상기 제 1 연결전극과 게이트 및 데이터 보조패드전극 위로 상기 제 1 연결전극을 노출시키는 형태의 포토레지스트 패턴을 형성하는 단계와; 상기 포토레지스트 패턴 및 노출된 제 1 연결패턴 위로 금속물질을 증착하여 금속층을 형성하는 단계와; 상기 금속층이 형성된 제 1 기판을 스트립액에 노출시킴으로써 상기 포토레지스트 패턴 및 그 상부에 형성된 상기 금속층을 동시에 제거함으로써 상기 제 1 연결전극 상부에 제 2 연결전극을 형성하는 단계와; 상기 제 2 기판에 유기전계발광 다이오드를 형성하는 단계와; 상기 제 1, 2 기판 중 어느 하나의 기판 테두리에 셀패턴을 형성하고, 상기 제 1 기판의 상기 제 2 연결전극과 상기 제 2 기판의 상기 유기전계 발광다이오드가 화소영역별로 각각 접촉하도록 합착하는 단계를 포함한다.

<49> 이때, 상기 게이트 배선과 게이트 패드전극과 데이터 패드전극 위로 전면에 게이트 절연막을 형성하는 단계를 더욱 포함한다.

<50> 또한, 상기 구동 박막트랜지스터를 형성하는 단계는 상기 구동 박막트랜지스터와 동일한 구조로 이루어지며 상기 게이트 배선과 데이터 배선과 연결된 스위칭 박막트랜지스터를 형성하는 단계를 포함한다.

<51> 또한, 상기 데이터 배선을 형성하는 단계는 상기 데이터 배선과 이격하여 전력공급배선을 형성하는 단계를 포함한다.

<52> 또한, 상기 금속층은 몰리브덴(Mo)인 것이 바람직하다.

<53> 또한, 상기 보호층을 형성하는 단계는 상기 데이터 배선 일끝단을 노출시키는 데이터 배선 콘택홀을 형성하는 단계를 더욱 포함하며, 상기 게이트 데이터 보조패드전극은 상기 데이터 배선 콘택홀까지 연장되어 상기 데이터 배선과 데이터 패드전극을 전기적으로 연결시키도록 형성하는 것이 특징이다.

<54> 또한, 상기 제 1 기판을 스트립액에 노출시키기 이전에 상기 포토레지스트 패턴의 부피를 팽창시켜 그 상부에 형성된 금속층에 크랙이 발생하도록 하는 것을 특징으로 하는 열처리 공정을 더욱 포함한다.

<55> 또한, 상기 제 2 기판에 유기전계발광 다이오드를 형성하는 단계는 상기 제 2 기판에 제 1 전극을 전면에서 형성하는 단계와; 상기 제 1 전극 위로 화소영역에 노출된 상부면이 평탄한 형태의 컬럼 스페이서를 형성하는 단계와; 상기 제 1 전극 위로 상기 화소영역별로 적, 녹, 청색을 발광하는 발광 패턴을 갖는 유기 발광층을 형성하는 단계와; 상기 유기 발광층 상부 및 상기 스페이서의 상부면 및 측면부에 상기 화소영역별로 분리된 제 2 전극을 형성하는 단계를 포함하며, 상기 제 1 전극을 형성한 이후에는 상기 화소영역의 경계에 상기 컬럼 스페이서의 높이보다 낮은 높이를 갖는 격벽을 더욱 형성하는 단계를 포함하며, 이때 상기 제 1 전극과 상기 격벽 사이에 절연막 패턴을 더욱 형성하는 단계를 포함한다.

<56> 이하, 본 발명에 따른 바람직한 실시예를 도면을 참조하여 상세히 설명한다.

<57> 도 4a 내지 4k는 본 발명의 실시예에 따른 듀얼패널 타입 유기전계발광 소자에 있어서 어레이 소자가 형성되는 제 1 기판의 구동 박막트랜지스터를 포함하는 하나의 화소영역에 대한 제조 단계별 공정 단면도이며, 도 5k 내

지 5k는 본 발명의 실시예에 따른 듀얼패널 타입 유기전계발광 소자에 있어서 어레이 소자가 형성되는 제 1 기관의 게이트 패드부에 대한 제조 단계별 공정 단면도이며, 도 6k 내지 6n는 본 발명의 실시예에 따른 듀얼패널 타입 유기전계발광 소자에 있어서 어레이 소자가 형성되는 제 1 기관의 데이터 패드부에 대한 제조 단계별 공정 단면도이다. 이때, 설명의 편의를 위해 상기 화소영역 내에 상기 구동 박막트랜지스터가 형성되는 영역을 구동 영역(TrA)이라 정의하며, 게이트 패드전극과 데이터 패드전극이 형성되는 영역을 각각 게이트 패드부(GPA) 및 데이터 패드부(DPA)라고 정의한다.

<58> 우선, 도 4a, 5a 및 6a에 도시한 바와 같이, 투명한 기관(103) 상에 금속물질을 증착하여 금속층을 형성한 후, 그 위로 감광 특성을 갖는 포토레지스트를 전면 도포하고, 상기 포토레지스트를 마스크를 이용하여 노광을 실시하고, 이를 현상한 후, 상기 현상된 포토레지스트 외부로 노출된 금속층을 식각하고, 상기 포토레지스트를 스트립(strip)하는 일련의 마스크 공정을 진행하여 상기 금속층을 패터닝함으로써 일방향으로 연장하는 게이트 배선(미도시)을 형성하고, 동시에 구동 영역(TrA)에는 상기 게이트 배선(미도시)에서 분기한 게이트 전극(109)을 형성한다.

<59> 또한, 게이트 패드부(GPA)에 있어서는 상기 게이트 배선(미도시)과 연결된 게이트 패드전극(111)을 형성하며, 데이터 패드부(DPA)에 있어서는 상기 게이트 패드전극(111)을 형성한 동일한 물질로 데이터 패드전극(113)을 형성한다.

<60> 다음, 도 4b, 5b 및 6b에 도시한 바와 같이, 상기 게이트 배선(미도시)과 게이트 전극(109)과 게이트 및 데이터 패드전극(109, 113) 위로 전면 무기절연물질인 산화실리콘(SiO_2) 또는 질화실리콘(SiNx)을 증착하여 게이트 절연막(114)을 형성하고, 연속하여 상기 게이트 절연막(114) 위로 순수 비정질실리콘과 불순물 비정질 실리콘 및 제 1 금속물질을 연속 증착하여 순수 비정질 실리콘층(115)과, 불순물 비정질 실리콘층(117)과 금속물질층(118)을 형성한다.

<61> 다음, 도 4c, 5c 및 6c에 도시한 바와 같이, 상기 금속물질층(118) 위로 포토레지스트를 도포하여 포토레지스트층(186)을 형성하고, 노광한 빛을 거의 100% 투과시키는 투과영역(TA)과, 빛을 100% 차단하는 차단영역(BA) 및 빛의 투과량이 0% 내지 100% 사이의 범위에서 선택되어 상기 투과영역에서의 빛의 투과량보다 작은 투과량을 갖는 반투과영역(HTA)을 포함하는 노광 마스크(195)를 상기 포토레지스트층(186) 위로 위치시킨 후, 상기 노광 마스크(196)를 통한 노광을 실시한다.

<62> 이때, 상기 포토레지스트층(186)을 형성한 포토레지스트가 빛을 받으면, 현상 시 남게되는 네가티브 타입(negative type)인 경우, 상기 제 1 기관(103) 상의 데이터 배선 및 전력배선과 상기 구동 영역(TrA) 중 소스 및 드레인 전극이 형성되어야 할 부분에 대응해서는 투과영역(TA)이, 상기 구동 영역(TrA) 중 상기 게이트 전극(109)과 중첩하며, 상기 소스 및 드레인 전극 사이로 노출되는 영역(이를 채널영역(ch)이라 함)에 대해서는 반투과영역(HTA)이, 그 외의 영역에 대해서는 차단영역(BA)이 대응되도록 상기 노광 마스크(195)를 위치시킨 후, 상기 노광 마스크(195)를 통한 노광을 실시한다.

<63> 이때, 포지티브 타입(positive tape)의 포토레지스트를 사용하여 상기 포토레지스트층을 형성한 경우, 상기 노광 마스크에 있어 투과영역과 차단영역의 상기 제 1 기관에 대응되는 위치를 바꾸어 대응되도록 한 후, 노광을 실시하면 상기 네가티브 타입(negative type)의 포토레지스트를 이용한 것과 동일한 결과를 얻을 수 있다.

<64> 다음, 상기 노광된 포토레지스트층(186)을 현상하면, 도 4d, 5d 및 6d에 도시한 바와 같이, 상기 노광 마스크(195)의 투과영역(TA)에 대응된 영역에는 두꺼운 제 1 두께(t_1)를 갖는 제 1 포토레지스트 패턴(186a)이 남게되고, 상기 노광 마스크의 반투과영역(HTA)에 대응된 부분은 상기 제 1 두께(t_1)보다 얇은 제 2 두께(t_2)를 갖는 제 2 포토레지스트 패턴(186b)이 남게되고, 상기 노광 마스크(195)의 차단영역(BA)에 대응된 부분은 현상 시 모두 제거되어 상기 금속물질층(118)을 노출시키게 된다.

<65> 다음, 도 4e, 5e 및 6e에 도시한 바와 같이, 상기 제 1 및 제 2 포토레지스트 패턴(186a, 186b) 외부로 노출된 금속물질층(도 4d, 5d 및 6d의 118)과 그 하부의 불순물 비정질 실리콘층(도 4d, 5d 및 6d의 117) 및 순수 비정질 실리콘층(도 4d, 5d 및 6d의 115)을 순차적으로 식각함으로써 상기 게이트 절연막(114) 위로 상기 게이트 배선(미도시)과 교차하여 각 화소영역(P)을 정의하는 데이터 배선과 이와 이격하는 전력공급배선(미도시)을 형성하고, 동시에 구동 영역(TrA)에 있어서는 상기 데이터 배선(125)과 연결된 상태로써 순수 비정질 실리콘 패턴(120a)과 불순물 비정질 실리콘 패턴(119)과 연결된 상태의 소스 드레인 패턴(123)을 형성한다.

<66> 이때, 공정 특성상 상기 데이터 배선(미도시)과 전력공급배선(미도시)의 하부에는 순수 및 불순물 비정질 실리

콘 패턴이 존재하게 된다.

- <67> 다음, 도 4f, 5f 및 6f에 도시한 바와 같이, 상기 데이터 배선(미도시) 및 전력공급배선(미도시)과, 소스 드레인 패턴(도 4e의 123) 및 그 하부로 불순물 및 순수 비정질 실리콘 패턴(도 4e의 119 및 120a)을 형성한 상기 제 1 기판(103)에 애싱(ashing) 공정을 진행함으로써 상기 제 2 포토레지스트 패턴(도 4e의 186b)을 제거하여 그 하부의 소스 드레인 패턴(도 4e의 123)을 노출시킨다. 이때, 상기 애싱(ashing)에 의해 상기 제 1 포토레지스트 패턴(181a) 또한 그 두께가 얇아지지만 상기 애싱(ashing) 완료 후에도 소정의 두께를 가지며 여전히 상기 제 1 기판(103) 상에 남아있게 된다.
- <68> 다음, 상기 노출된 소스 드레인 패턴(도 4e의 123)과 그 하부의 불순물 비정질 실리콘 패턴(도 4e의 119)을 순차적으로 식각하여 제거함으로써 상기 구동 영역(TrA)에 있어서 서로 이격된 소스 및 드레인 전극(135, 137)과 그 하부로 서로 이격하는 불순물 비정질 실리콘의 오믹콘택층(120b)과, 그 하부로 상기 소스 및 드레인 전극(135, 137) 사이로 이격된 채널 영역(ch)이 노출된 상태의 순수 비정질 실리콘의 액티브층(120a)을 형성한다.
- <69> 따라서, 상기 구동 영역(TrA)에는 그 하부로부터 순차적으로 게이트 전극(109)과 게이트 절연막(114)과 액티브층(120a)과 오믹 콘택층(120b)과 소스 및 드레인 전극(135, 137)으로 구성되는 구동 박막트랜지스터(DTr)가 형성된다.
- <70> 이때, 도면에는 나타나지 않았지만, 상기 게이트 배선과 데이터 배선이 교차되는 영역에는 이들 두 배선 및 상기 구동 박막트랜지스터(DTr)와도 전기적으로 연결되며 상기 구동 박막트랜지스터(DTr)와 동일한 구조를 갖는 스위칭 박막트랜지스터(미도시) 또한 형성된다.
- <71> 다음, 도 4g, 5g 및 6g에 도시한 바와 같이, 상기 소스 및 드레인 전극(135, 137) 상부에 남아있는 제 1 포토레지스트 패턴(도 4f의 186a)을 스트립(strip)하여 제거한다.
- <72> 이후, 상기 데이터 배선(미도시)과 전력공급배선(미도시)과 소스 및 드레인 전극(135, 137) 위로 전면에 무기절연물질인 산화실리콘(SiO_2) 또는 질화실리콘(SiN_x)을 증착하거나 또는 유기절연물질인 벤조사이클로부텐(BCB) 또는 포토아크릴(photo acryl)을 도포하여 보호층(145)을 형성한다.
- <73> 다음, 상기 보호층(145)을 패터닝하여 상기 구동 영역(TrA)에 있어서는 상기 드레인 전극(137)의 일부를 노출시키는 드레인 콘택홀(147)을 형성하고, 동시에 게이트 및 데이터 패드부(GPA, DPA)에 있어서는 상기 게이트 패드 전극(111)과 데이터 패드 전극(113)을 각각 노출시키는 게이트 패드 콘택홀(149) 및 데이터 패드 콘택홀(151)을 형성한다.
- <74> 이때, 도면에 나타나지 않았지만, 동일 공정에 의해 상기 데이터 배선(미도시)의 일끝단을 노출시키는 데이터 콘택홀(미도시) 또한 형성한다. 이는 게이트 패드 전극(111)과 동일한 층에 동일한 물질로 형성된 상기 데이터 패드 전극(113)과 상기 데이터 배선(미도시)을 추후에 형성되는 데이터 보조패드전극을 통해 전기적으로 연결시키기 위함이다.
- <75> 다음, 도 4h, 5h 및 6h에 도시한 바와 같이, 상기 드레인 콘택홀(147)과 게이트 및 데이터 패드 콘택홀(149, 151)을 갖는 보호층(145) 위로 부식에 강한 특성을 갖는 투명 도전성 물질인 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)를 전면에 증착하여 투명 도전성 물질층을 형성하고, 이를 패터닝함으로써 상기 화소영역(P)에 상기 드레인 콘택홀(147)을 통해 상기 드레인 전극(137)과 접촉하는 연결전극(155a)을 형성한다.
- <76> 또한, 동시에 게이트 패드부(GPA)에 있어서는 상기 게이트 패드 콘택홀(149)을 통해 상기 게이트 패드 전극(111)과 접촉하는 게이트 보조패드전극(157)을 형성하고, 상기 데이터 패드부(DPA)에 있어서는 상기 데이터 패드 콘택홀(151)을 통해 상기 데이터 패드 전극(113)과 접촉하는 데이터 보조패드전극(160)을 형성한다.
- <77> 이때 도면에 나타나지 않았지만, 상기 데이터 보조패드전극(160)은 상기 데이터 배선 끝단을 노출시키며 형성된 데이터 콘택홀(미도시)까지 연장 형성됨으로써 상기 데이터 배선(미도시)과 데이터 패드 전극(113)을 전기적으로 연결시키게 된다.
- <78> 다음, 도 4i, 5i 및 6i에 도시한 바와 같이, 상기 투명 도전성 물질로 이루어진 연결전극(155a)과 게이트 및 데이터 보조패드전극(157, 160) 위로 전면에 네가티브 타입(negative type)의 포토레지스트를 도포하여 포토레지스트층을 형성하고, 그 위로 투과영역과 차단영역을 갖는 노광 마스크를 위치시키고 상기 노광 마스크를 통한 노광을 실시한다.
- <79> 이때, 상기 드레인 콘택홀(147)을 포함하여 상기 화소영역(P) 일부에 형성된 상기 투명 도전성 물질로 이루어진

연결전극(155a)에 대응해서는 차단영역이 그 외의 영역에 대응해서는 투과영역이 대응되도록 위치시킨 후, 노광을 실시한다.

- <80> 이후 노광된 상기 포토레지스트층을 현상함으로써 상기 화소영역(P) 일부에 대응하는 상기 투명 도전성 물질로 이루어진 연결전극(155a)을 노출시키며 그 외의 영역 특히 상기 게이트 및 데이터 보조패드전극(157, 160)을 덮는 형태의 제 3 포토레지스트 패턴(188)을 형성한다.
- <81> 다음, 도 4j, 5j 및 6j에 도시한 바와 같이, 상기 제 3 포토레지스트 패턴(188) 위로 전면에 몰리브덴(Mo)을 증착함으로써 몰리브덴층(192)을 형성한다. 이때 상기 몰리브덴층(192)은 상기 제 3 포토레지스트 패턴(188) 상부뿐 아니라 노출된 상기 투명 도전성 물질로 이루어진 연결전극(155a) 상부에도 형성된다.
- <82> 다음, 도 4k, 5k 및 6k에 도시한 바와 같이, 몰리브덴층(도 4j, 5j 및 6j의 192)이 형성된 상기 제 1 기판(103)을, 상기 포토레지스트와 반응하여 최종적으로 상기 제 3 포토레지스트 패턴(도 4j, 5j 및 6j의 188)을 제거하는 스트립(strip)액에 담구든지 또는 상기 스트립(strip)액을 상기 제 1 기판(103) 상에 스프레이 함으로써 상기 제 3 포토레지스트 패턴(도 4j, 5j 및 6j의 188)을 상기 제 1 기판(103)으로부터 제거한다.
- <83> 이때, 상기 제 3 포토레지스트 패턴(도 4j, 5j 및 6j의 188)이 제 1 기판(103)으로부터 떨어져나감으로써 상기 제 3 포토레지스트 패턴(도 4j, 5j 및 6j의 188) 상부에 형성된 몰리브덴층(도 4j, 5j 및 6j의 192)도 같이 제거되며, 상기 스트립액에 의한 스트립 공정 후에는 최종적으로 상기 투명 도전성 물질로 이루어진 연결패턴(155a) 상부에만 상기 몰리브덴 패턴(155b)이 남아있게 된다. 이렇게 상기 투명 도전성 물질로 이루어진 연결전극(155a) 상부에 남아있는 몰리브덴 패턴(155b)층은 그 하부에 형성된 투명 도전성 물질로 이루어진 연결패턴(155a)과 더불어 이중층 구조의 연결전극(155)을 형성하게 된다. 이러한 공정 즉, 하부에 위치한 물질층을 스트립함으로써 그 상부에 위치한 물질층을 함께 제거하는 공정을 리프트 오프(lift off) 공정이라 한다.
- <84> 한편, 게이트 및 데이터 패드부(GPA, DPA)에 있어서는 상기 리프트 오프(lift off) 공정에 의해 제 3 포토레지스트 패턴(도 5j 및 6j의 188)과 그 상부에 형성된 몰리브덴층(도 5j 및 6j의 192)이 동시에 제거됨으로써 부식에 강한 투명 도전성 물질로 이루어진 게이트 및 데이터 보조패드전극(157, 160)이 노출되게 된다.
- <85> 이 경우, 상기 포토레지스트를 제거하기 위한 스트립액은 투명 도전성 물질인 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)에 전형 영향을 주지 않는 바, 몰리브덴(Mo)의 식각액에 노출된 것과 같은 두께 얇아짐이라든지 아니면 유실되어 상기 게이트 또는 데이터 패드전극(111, 113)을 노출시키는 등의 문제는 발생하지 않는다.
- <86> 한편, 상기 리프트 오프(lift off)가 더욱 효과적으로 진행하기 위해 상기 스트리액에 노출시키는 스트립 공정을 진행하기 전, 상기 제 3 포토레지스트 패턴(도 4j, 5j 및 6j의 188)의 부피를 팽창시킴으로써 그 상부에 위치한 몰리브덴층(도 4j, 5j 및 6j의 192)에 크랙(crack) 또는 끊김 등이 발생하게 하는 열처리 공정을 더욱 실시하는 것이 바람직하다.
- <87> 이 경우, 상기 몰리브덴층(도 4j, 5j 및 6j의 192)에 발생한 크랙(crack) 또는 끊김에 의해 상기 제 3 포토레지스트 패턴(도 4j, 5j 및 6j의 188)이 상기 몰리브덴층(도 4j, 5j 및 6j의 192) 외부로 노출되게 되어 상기 노출된 부분을 통해 상기 스트립액이 상기 제 3 포토레지스트 패턴(도 4j, 5j 및 6j의 188)과 잘 반응하게 됨으로써 스트립 시간도 단축시키고 리프트 오프(lift) 또한 더욱 효율적으로 진행된다.
- <88> 다음, 전술한 공정에 의해 제조된 제 1 기판을 포함하는 본 발명에 따른 듀얼 패네타입 유기전계 발광소자의 일부 단면을 도시한 도 7을 참조하여, 유기전계 발광 다이오드가 형성된 제 2 기판의 제조 방법에 대해 간단히 설명한다.
- <89> 도면에 있어서는 제 2 기판이 하부의 제 1 기판과 마주보도록 상기 제 1 기판의 상부에 위치한 상태이지만 제조 공정에서는 상기 제 2 기판의 상부면(외측면)이 제조 장치의 스테이지 위에 위치하도록 하여 진행하므로 상기 제 2 기판의 상부면이 지면에 놓인 상태라는 가정하에서 설명한다.
- <90> 우선, 제 2 기판(171)의 전면에 제 1 전극(175)을 형성한다. 이때, 상기 제 1 전극(175)을 구성하는 물질은 투명 도전성 물질 중 일함수가 높은 물질 예를들면 인듐-틴-옥사이드(ITO)로서 형성하는 것이 바람직하다. 이렇게 제 1 전극(175)을 상기 일함수가 높은 도전성물질로 형성할 경우 상기 제 1 전극(175)은 양극(anode electrode)의 역할을 하게 된다.
- <91> 다음, 상기 제 1 전극(175) 위로 무기절연물질 예를들면 산화실리콘(SiO₂) 또는 질화실리콘(SiNx)을 증착하고

패터닝함으로써 화소영역의 경계에 절연막 패턴(177)을 형성한다.

- <92> 이후, 상기 절연막 패턴(177) 및 노출된 제 1 전극(175) 상부로 유기 절연물질을 도포하고 패터닝함으로써 상기 화소영역(P)의 경계에 형성된 절연막 패턴(177) 위로는 격벽(179)을 형성하고, 상기 화소영역(P) 일부에 대응하는 상기 제 1 전극(1) 상부에는 상기 격벽(179)보다 높은 높이를 갖는 스페이서(181)를 형성한다. 이 경우 상기 컬럼 스페이서(181)와 격벽(179)은 서로 다른 공정에 의해 각각 형성할 수도 있고, 또는 반투과영역을 포함하는 노광 마스크를 이용하여 회절노광 또는 하프톤 노광을 실시하여 동일 공정에 의해 서로 다른 높이를 갖도록 형성할 수 있다.
- <93> 다음, 상기 격벽(179) 및 컬럼 스페이서(181)가 형성된 제 2 기판(171)상에 유기 발광물질을 코팅함으로써 상기 격벽(179)에 의해 화소영역(P)별로 분리된 적, 녹, 청의 발광 패턴을 갖는 유기 발광층(187)을 형성한다.
- <94> 이때, 상기 유기 발광층(187)의 상부 및 하부에는 발광효율을 높이기 위해 특정 기능성의 유기 물질을 더욱 코팅함으로써 전자 및 정공 수송층과 전자 및 정공 주입층을 더욱 형성할 수도 있다.
- <95> 다음, 상기 유기 발광층(187) 위로 일함수 값이 상기 제 1 전극(175)보다 낮은 금속물질 예를들면 알루미늄(Al) 또는 알루미늄 합금(AlNd)을 증착함으로써 상기 격벽(179)에 의해 화소영역(P)별로 분리된 형태의 제 2 전극(190)을 형성한다. 이때, 상기 화소영역(P) 내에 형성된 컬럼 스페이서(181)의 상부면(끝단부) 및 측면에도 상기 제 2 전극(190)이 끊임없이 형성되도록 하는 것이 특징이다. 이는 상기 컬럼 스페이서(181)의 끝단부에 끊임없이 형성된 상기 제 2 전극(190)을 통해 구동 박막트랜지스터(DTr) 및 스위칭 박막트랜지스터(미도시) 등이 형성된 제 1 기판(103)의 상기 이중층 구조의 연결전극(155)과 접촉하도록 함으로써 전기적으로 연결시키기 위함이다.
- <96> 다음, 전술한 바와 같이 제조된 구동 박막트랜지스터(DTr) 및 스위칭 박막트랜지스터(미도시)를 포함하는 제 1 기판(103)과, 제 1 전극(175)과 유기 발광층(187)과 제 2 전극(190)으로 구성된 유기전계 발광다이오드(E)가 형성된 제 2 기판(171)을 상기 두 기판(103, 171) 중 어느 하나의 기판에 테두리를 따라 셀패턴(미도시)을 형성하고, 진공의 분위기 또는 불활성 기체의 분위기에서 상기 제 2 기판(171)에 형성되어 제 2 전극(190)이 덮혀진 컬럼 스페이서(181)의 끝단이 상기 제 1 기판(103)의 구동 박막트랜지스터(DTr)의 드레인 전극(137)과 연결된 상기 연결전극(155)과 접촉하도록 상기 제 1, 2 기판(103, 171)을 합착함으로써 본 발명에 따른 듀얼패널 타입 유기전계 발광소자(101)를 완성한다.

발명의 효과

- <97> 전술한 바와 같은 본 발명에 따른 유기전계발광 소자는 유기전계발광 다이오드와 어레이 소자를 각각 다른 기판에 구성함으로써 어레이 소자 제조 단계와 유기전계발광 다이오드 제조 단계 중 어느 공정에서 불량이나 불량량이 발생하는 기판을 제거하고 양품의 두 기판을 합착하므로 제품불량률을 낮춤으로써 생산수율을 향상시키는 효과가 있다.
- <98> 또한, 구동 박막트랜지스터가 형성되는 제 1 기판의 게이트 및 데이터 패드부에 있어서, 내 부식성을 갖는 투명 도전성 물질로 이루어진 게이트 및 데이터 보조패드전극을 식각액 등에 노출시키지 않아 유실 또는 두께 얇아짐 등의 불량을 방지하며 이를 통해 효과적으로 상기 패드부의 부식을 방지하는 효과가 있다.

도면의 간단한 설명

- <1> 도 1은 일반적인 액티브 매트릭스형 유기전계발광 소자의 한 화소에 대한 회로도.
- <2> 도 2는 종래의 어레이 소자와 유기전계발광 다이오드가 각각 서로 다른 기판에 구성된 듀얼패널 타입 유기전계 발광소자를 화소영역을 포함한 비표시영역의 게이트 패드부를 개략적으로 도시한 단면도.
- <3> 도 3은 도 2에 도시한 종래의 듀얼패널 타입 유기전계 발광소자의 비표시영역의 데이터 패드부에 대한 단면도.
- <4> 도 4a 내지 4k는 본 발명의 실시예에 따른 듀얼패널 타입 유기전계발광 소자에 있어서 어레이 소자가 형성되는 제 1 기판의 구동 박막트랜지스터를 포함하는 하나의 화소영역에 대한 제조 단계별 공정 단면도.
- <5> 도 5k 내지 5n는 본 발명의 실시예에 따른 듀얼패널 타입 유기전계발광 소자에 있어서 어레이 소자가 형성되는 제 1 기판의 게이트 패드부에 대한 제조 단계별 공정 단면도.
- <6> 도 6k 내지 6n는 본 발명의 실시예에 따른 듀얼패널 타입 유기전계발광 소자에 있어서 어레이 소자가 형성되는

제 1 기관의 데이터 패드부에 대한 제조 단계별 공정 단면도.

<7> 도 7은 본 발명에 따른 듀얼 패네타입 유기전계 발광소자의 일부 단면을 도시한 단면도.

<8> <도면의 주요부분에 대한 부호의 설명>

<9> 103 : 제 1 기관 109 : 게이트 전극

<10> 114 : 게이트 절연막 120a : 액티브층

<11> 120b : 오믹콘택츠 135 : 소스 전극

<12> 137 : 드레인 전극 145 : 보호층

<13> 147 : 드레인 전극

<14> 155a : (투명 도전성 물질로 이루어진) 연결전극

<15> 188 : 제 3 포토레지스트 패턴 192 : 모리브덴층

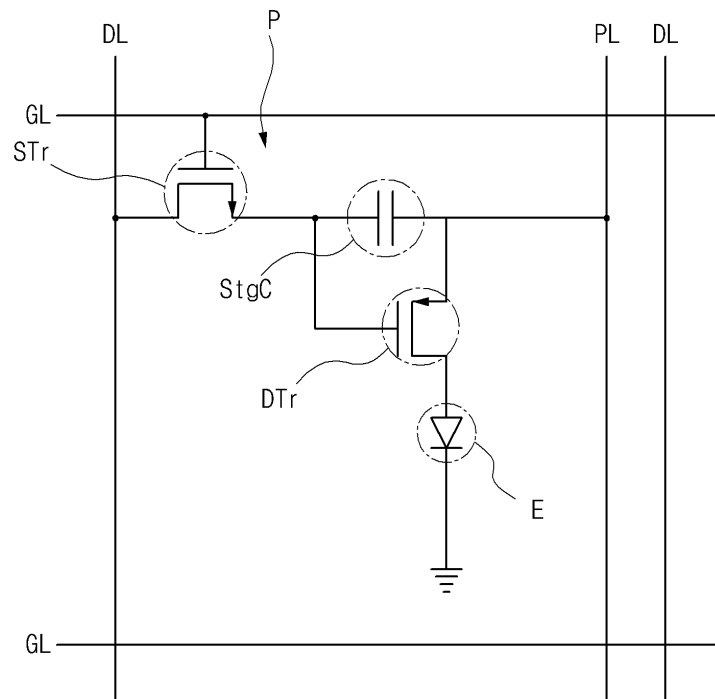
<16> DTr : 구동 박막트랜지스터 P : 화소영역

<17> TrA : 구동 영역

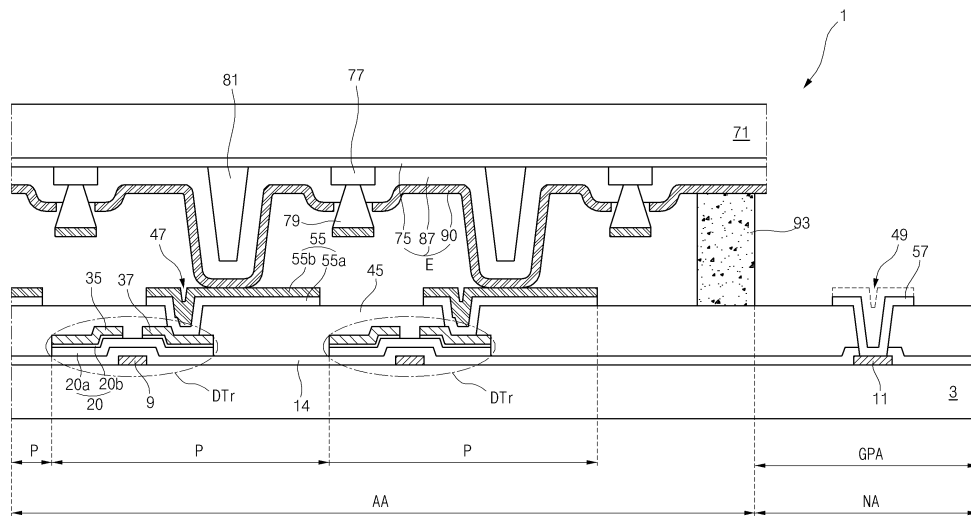
<18>

도면

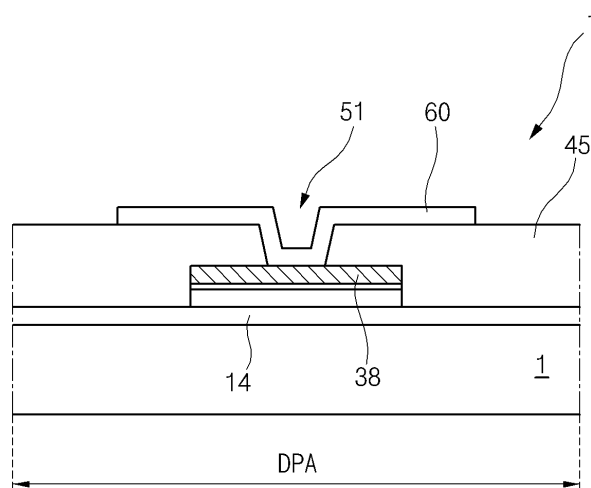
도면1



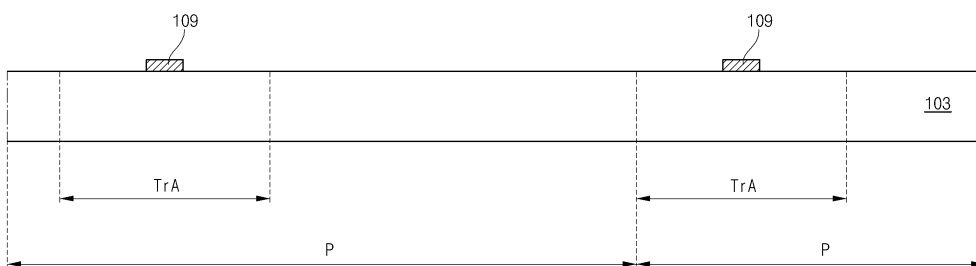
도면2



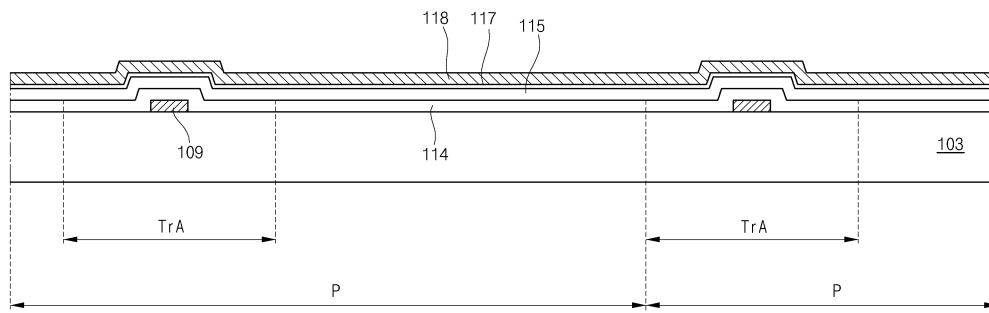
도면3



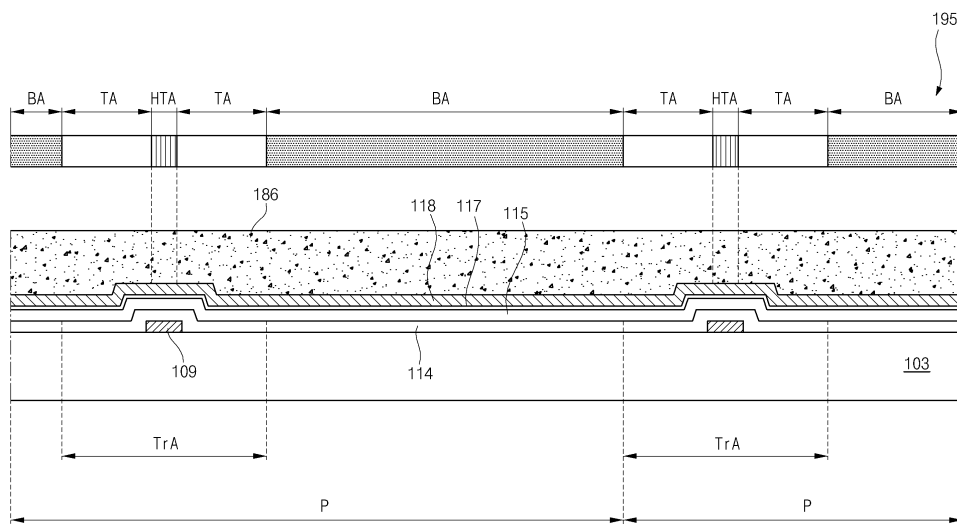
도면4a



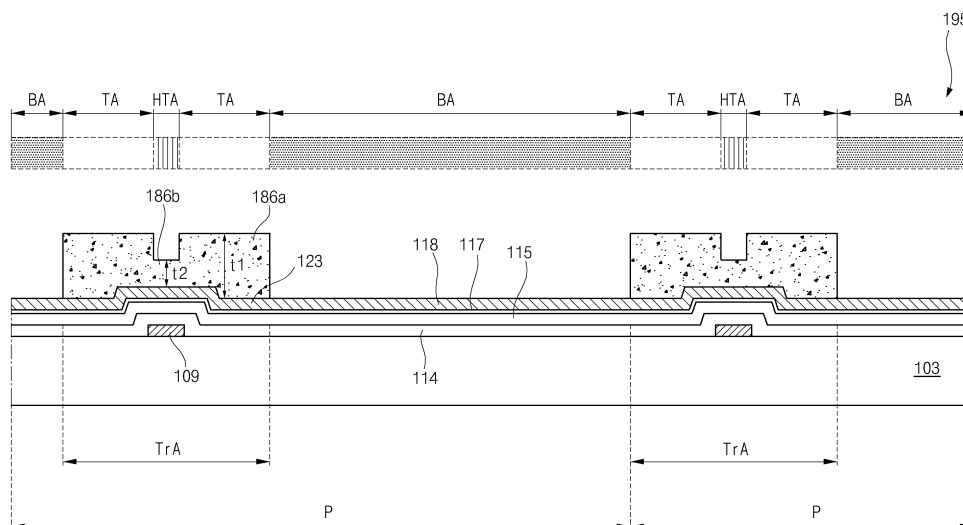
도면4b



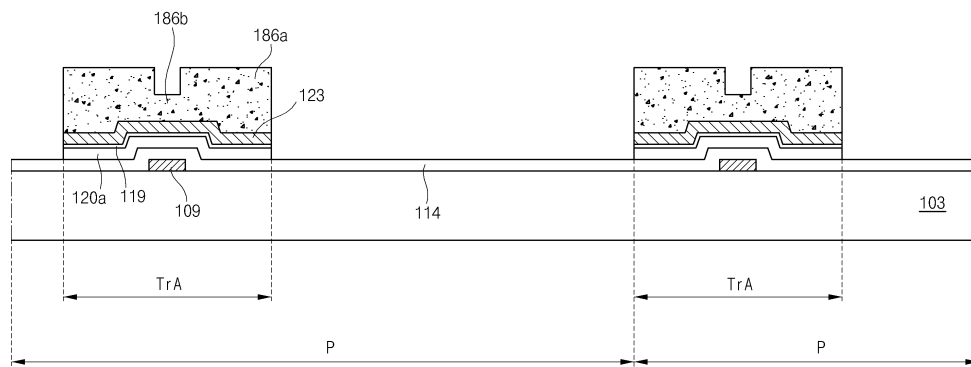
도면4c



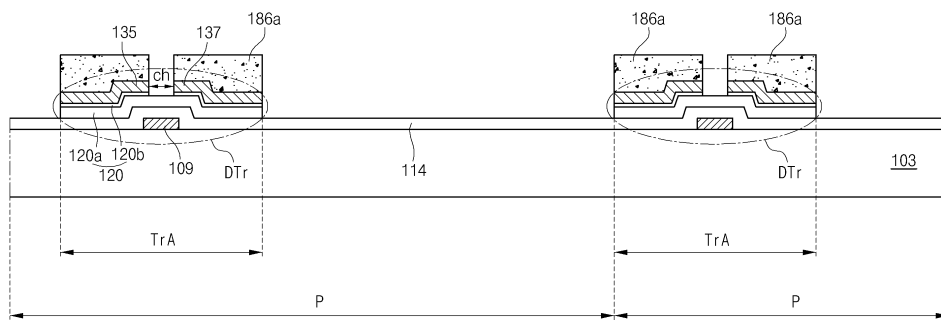
도면4d



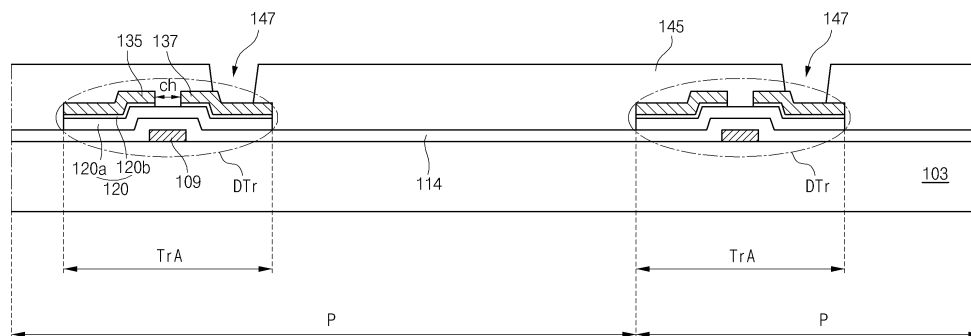
도면4e



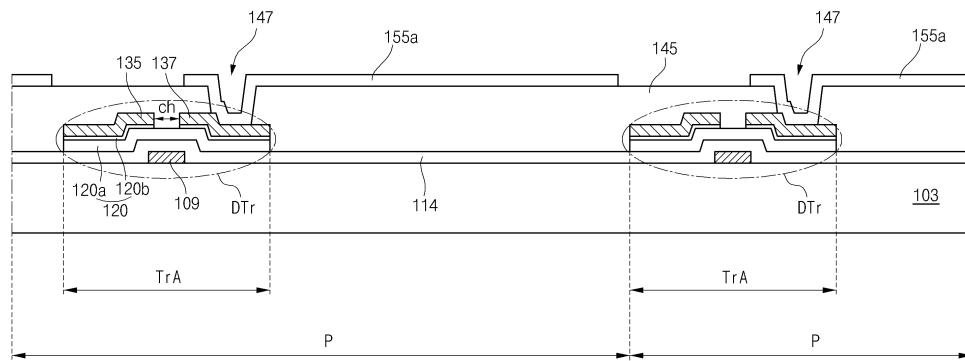
도면4f



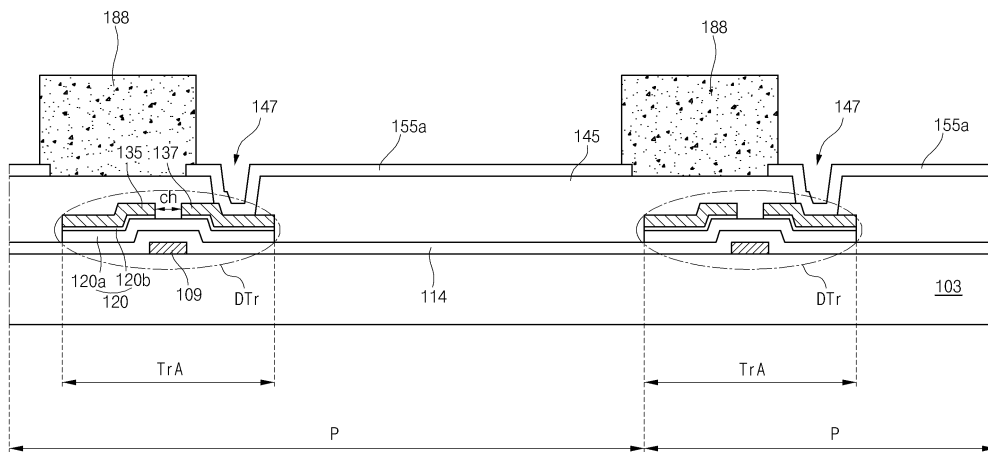
도면4g



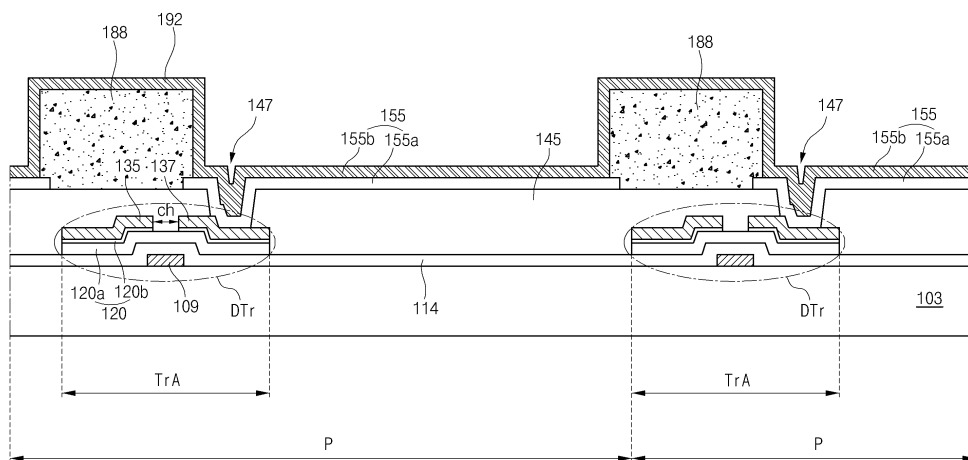
도면4h



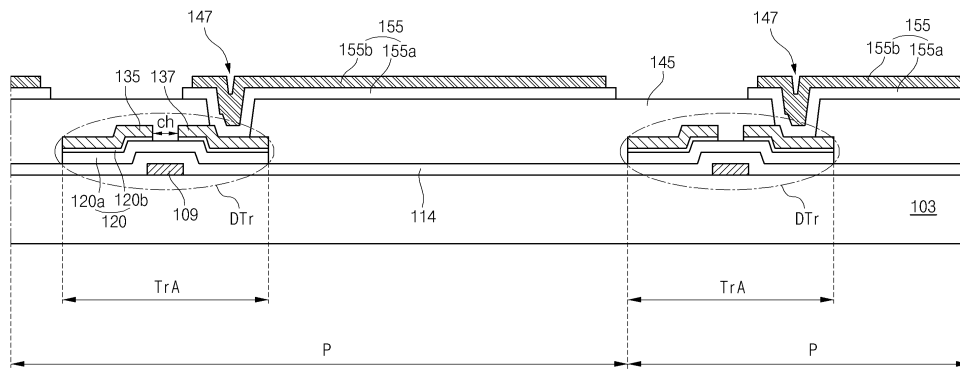
도면4i



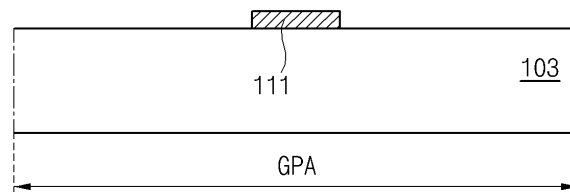
도면4j



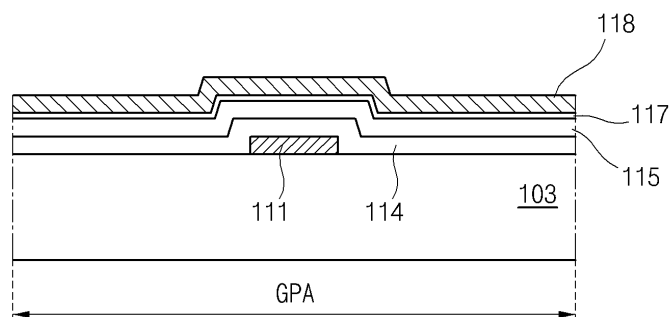
도면4k



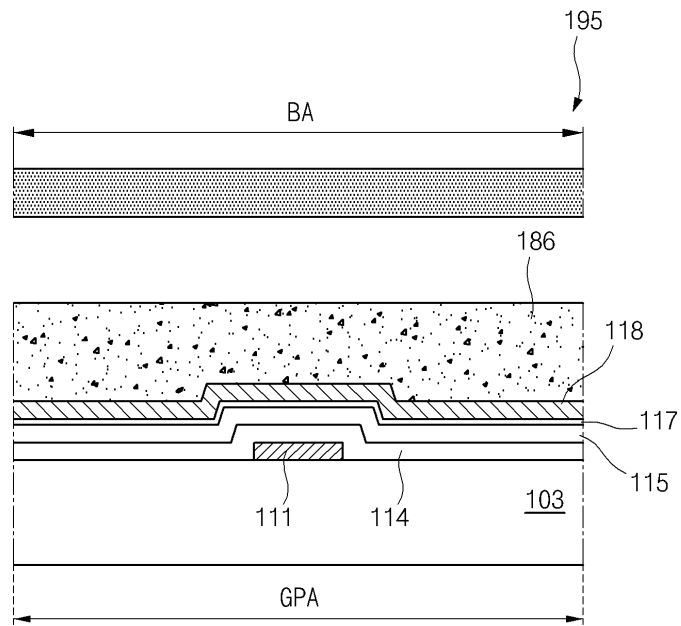
도면5a



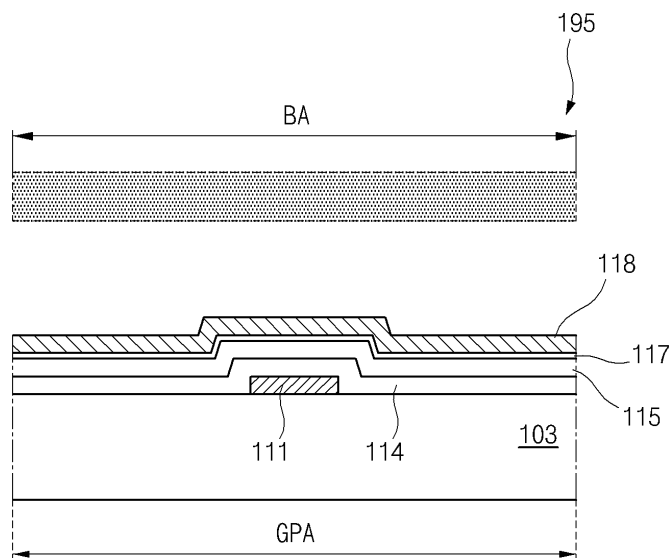
도면5b



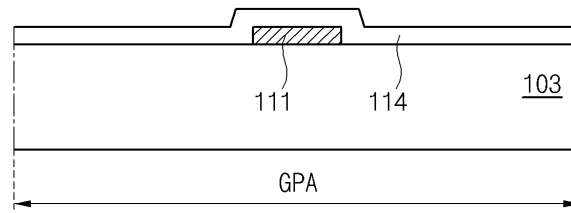
도면5c



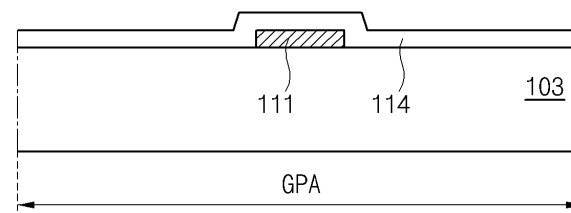
도면5d



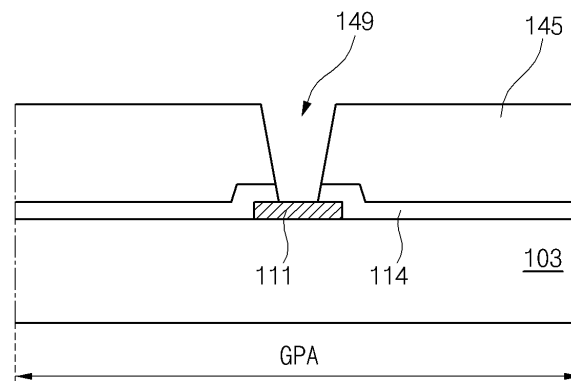
도면5e



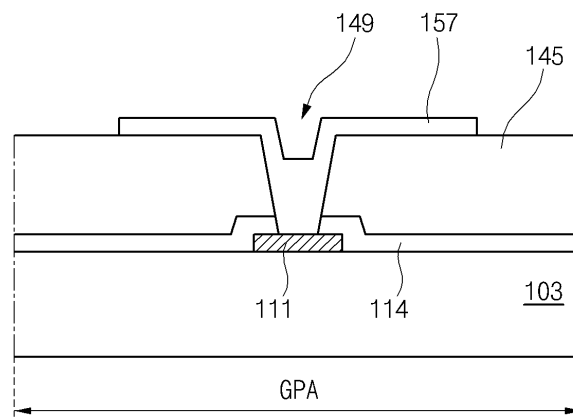
도면5f



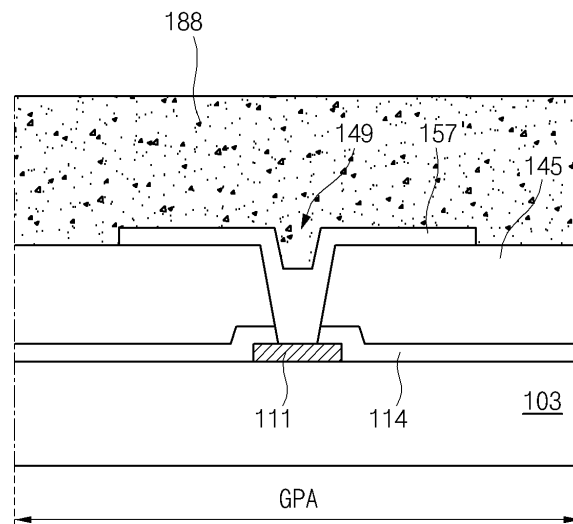
도면5g



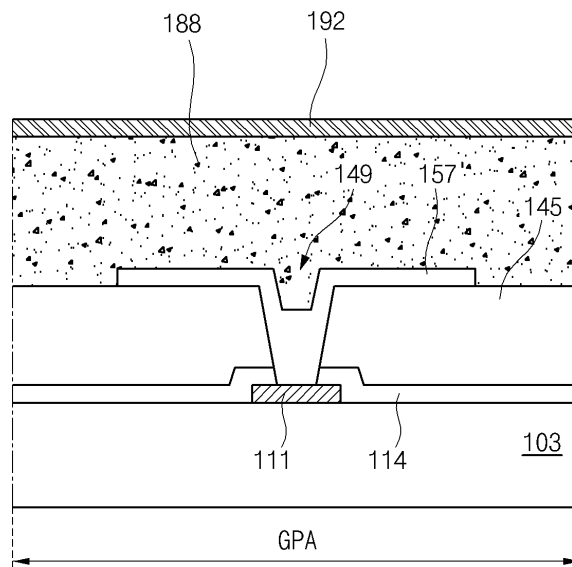
도면5h



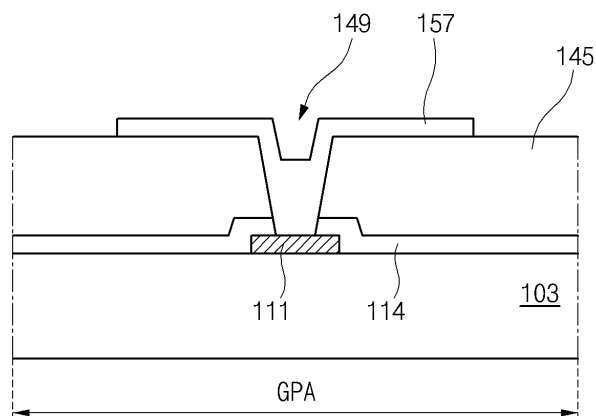
도면5i



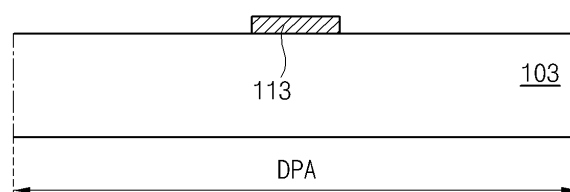
도면5j



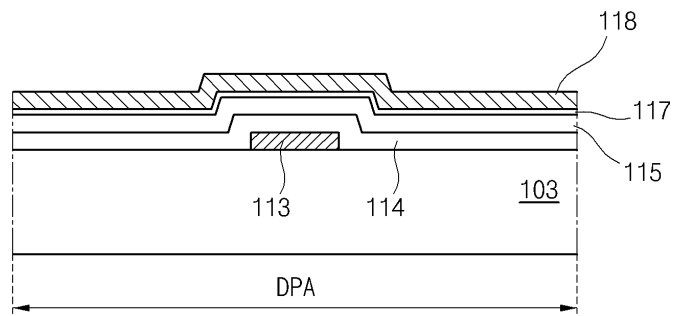
도면5k



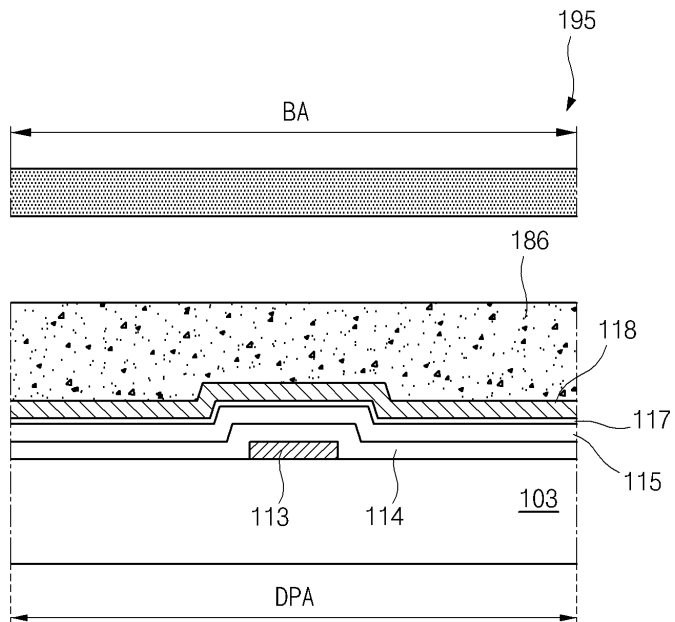
도면6a



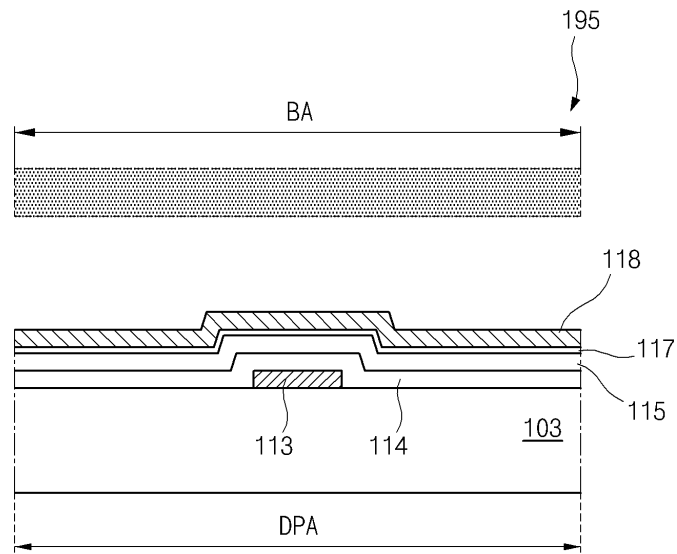
도면6b



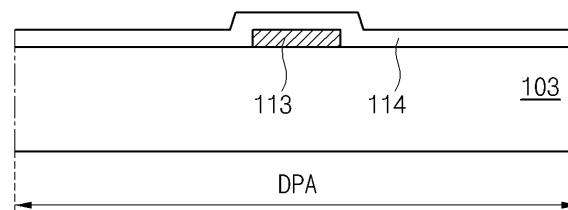
도면6c



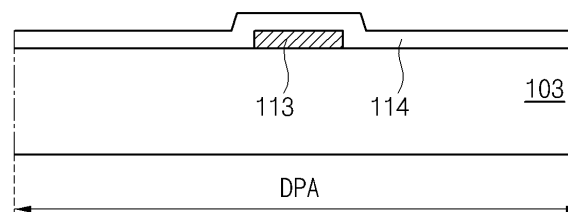
도면6d



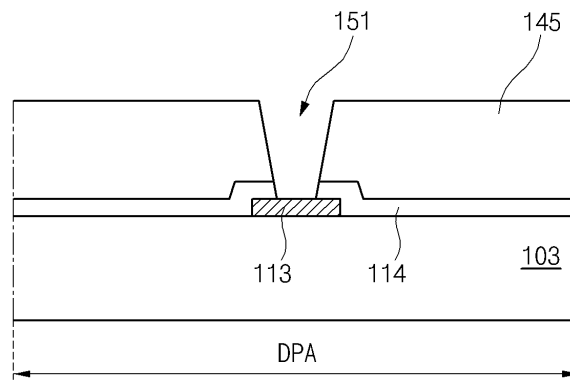
도면6e



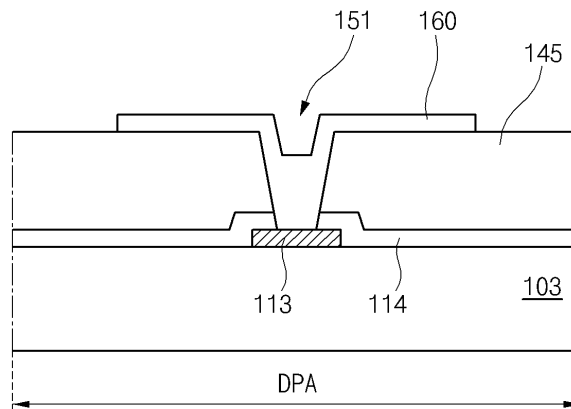
도면6f



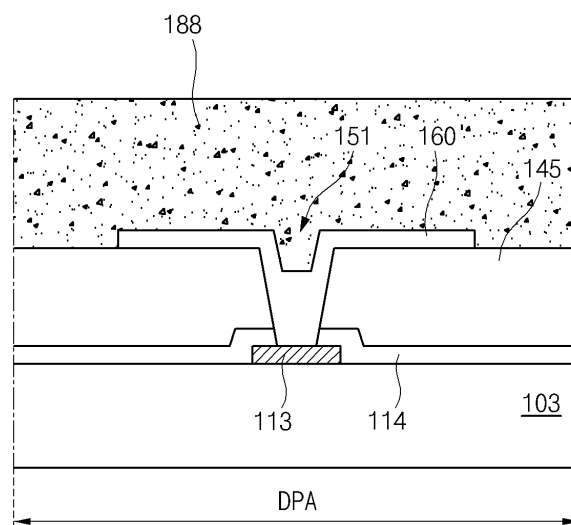
도면6g



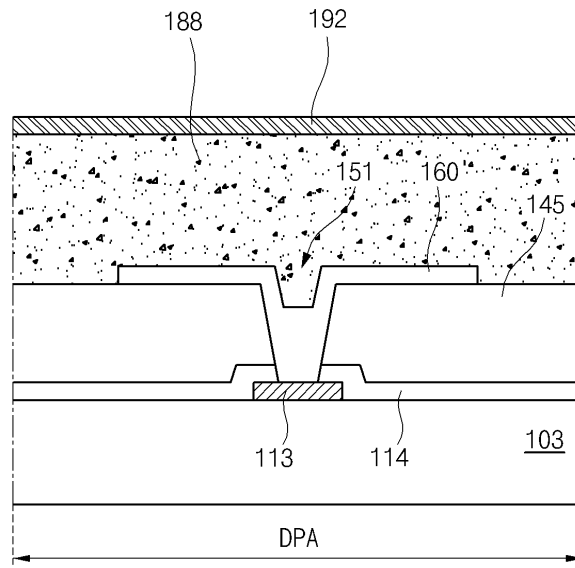
도면6h



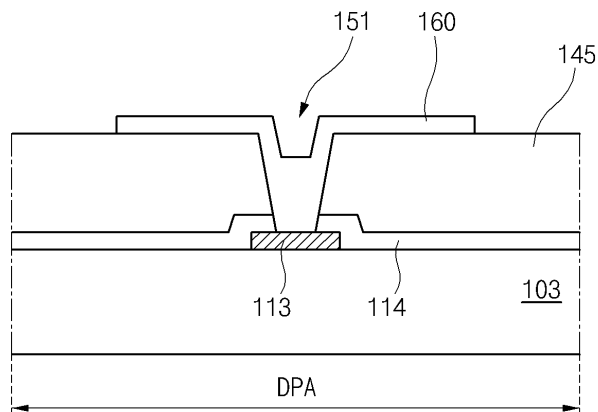
도면6i



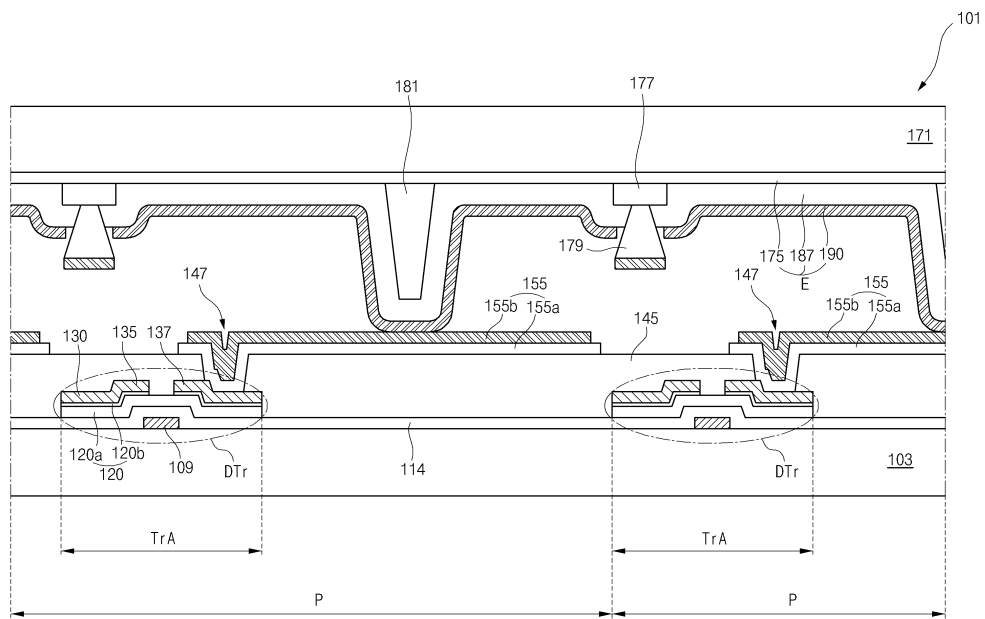
도면6j



도면6k



도면7



专利名称(译)	制造双面板型有机电致发光器件的方法		
公开(公告)号	KR1020070118795A	公开(公告)日	2007-12-18
申请号	KR1020060052957	申请日	2006-06-13
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOI HEE DONG		
发明人	CHOI, HEE DONG		
IPC分类号	H05B33/10 H05B33/26		
CPC分类号	H01L27/3248 H01L27/3251 H01L27/3253 H01L51/56		
外部链接	Espacenet		

摘要(译)

在对于双面板型有机电致发光器件的制造中防腐蚀的透明导电材料中，蚀刻形成在其上部的钼（Mo）层的工艺形成透明导电的栅极和数据辅助焊盘电极材料受到钼（Mo）蚀刻剂的损坏，厚度变薄或损坏，故障因数量产生而被冲走。本发明的目的是提供一种双面板型有机发光二极管的制造方法，该双面板型有机发光二极管形成透明导电材料的两层结构的连接电极，用于特性增强而不损坏栅极和数据辅助焊盘电极和钼。辅助焊盘电极损坏，双面板型，有机电致发光器件，腐蚀。

