



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0111634
(43) 공개일자 2007년11월22일

(51) Int. Cl.

G09G 3/30 (2006.01) G09G 3/20 (2006.01)

(21) 출원번호 10-2006-0044675

(22) 출원일자 2006년05월18일

심사청구일자 없음

(71) 출원인

엘지.필립스 엘시디 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

정상훈

서울 동작구 사당3동 삼성래미안아파트 113동 403호

안태준

서울 성동구 행당1동 102-8호 4동 8반

(74) 대리인

특허법인로알

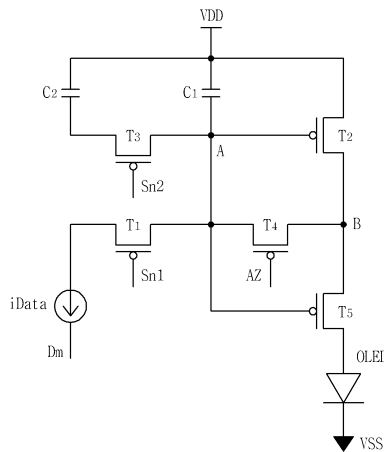
전체 청구항 수 : 총 19 항

(54) 유기전계발광표시장치의 화소 회로

(57) 요약

본 발명은, 스캔 라인으로부터의 선택 신호에 응답하여 데이터 라인으로부터의 데이터 신호를 전달하는 제 1 트랜지스터, 제 1 트랜지스터를 통해 수신되는 데이터 신호를 저장하기 위한 제 1 커패시터, 데이터 신호에 문턱 전압을 보상하기 위한 제 2 트랜지스터, 제어 라인으로부터의 제어 신호에 응답하여 제 2 트랜지스터를 다이오드 연결시키는 제 4 트랜지스터, 스캔 신호에 응답하여 제 2 트랜지스터의 문턱 전압을 전달하는 제 3 트랜지스터, 제 3 트랜지스터로부터 수신된 제 2 트랜지스터의 문턱 전압을 저장하기 위한 제 2 커패시터, 제 1 및 제 2 커패시터의 분배 전압과 제 2 트랜지스터로부터 발생하는 구동 전류에 상응하는 구동 전류를 발생시키기 위한 제 5 트랜지스터 및 제 5 트랜지스터에 의해 인가된 구동 전류에 따라 발광동작을 수행하기 위한 유기발광다이오드를 포함하는 유기전계발광표시장치의 화소 회로를 제공한다.

대표도 - 도3a



특허청구의 범위

청구항 1

스캔 라인으로부터의 선택 신호에 응답하여 데이터 라인으로부터의 데이터 신호를 전달하는 제 1 트랜지스터;
 상기 제 1 트랜지스터를 통해 수신되는 데이터 신호를 저장하기 위한 제 1 커패시터;
 상기 데이터 신호에 문턱 전압을 보상하기 위한 제 2 트랜지스터;
 제어 라인으로부터의 제어 신호에 응답하여 상기 제 2 트랜지스터를 다이오드 연결시키는 제 4 트랜지스터;
 스캔 신호에 응답하여 상기 제 2 트랜지스터의 문턱 전압을 전달하는 제 3 트랜지스터;
 상기 제 3 트랜지스터로부터 수신된 제 2 트랜지스터의 문턱 전압을 저장하기 위한 제 2 커패시터;
 상기 제 1 및 제 2 커패시터의 분배 전압과 상기 제 2 트랜지스터로부터 발생하는 구동 전류에 상응하는 구동 전류를 발생시키기 위한 제 5 트랜지스터; 및
 상기 제 5 트랜지스터에 의해 인가된 구동 전류에 따라 발광동작을 수행하기 위한 유기발광다이오드를 포함하는 유기전계발광표시장치의 화소 회로.

청구항 2

제 1 항에 있어서,
 상기 제 2 및 제 5 트랜지스터는 동일한 문턱전압 및 이동도를 가지는 유기전계발광표시장치의 화소 회로.

청구항 3

제 1 항에 있어서,
 상기 제 1 및 제 2 커패시터의 일단은 제 1 전원 라인에 연결된 유기전계발광표시장치의 화소 회로.

청구항 4

제 1 항에 있어서,
 상기 제 2 트랜지스터의 채널 폭/길이(W/L)는 상기 제 5 트랜지스터의 채널 폭/길이(W/L)보다 큰 유기전계발광표시장치의 화소 회로.

청구항 5

제 1 항에 있어서,
 상기 제 1 트랜지스터는 제 1 스캔 라인에 연결되고, 상기 제 3 트랜지스터는 제 2 스캔 라인에 연결된 유기전계발광표시장치의 화소 회로.

청구항 6

제 5 항에 있어서,
 상기 제 2 스캔 라인 및 상기 제어 라인으로부터 로우 레벨의 신호가 인가되면 상기 제 2 트랜지스터는 다이오드 연결되어 상기 제 3 트랜지스터를 통하여 상기 제 2 트랜지스터의 문턱전압을 제 1 및 제 2 커패시터에 전달하는 유기전계발광표시장치의 화소 회로.

청구항 7

제 6 항에 있어서,
 상기 제 1 스캔 라인으로부터 로우 레벨의 신호가 인가되고 상기 제 2 스캔 라인 및 상기 제어라인으로부터 하이 레벨의 신호가 인가되면, 상기 제 1 커패시터에 데이터 신호가 저장되는 유기전계발광표시장치의 화소 회로.

청구항 8

제 7 항에 있어서,

상기 제 2 스캔 라인으로부터 로우 레벨의 신호가 인가되고 상기 제 2 스캔 라인 및 상기 제어 라인으로부터 하이 레벨의 신호가 인가되면, 상기 제 2 및 제 5 트랜지스터의 게이트 전극에는 제 1 및 제 2 커패시터의 분배 전압이 인가되는 유기전계발광표시장치의 화소 회로.

청구항 9

제 8 항에 있어서,

상기 제 5 트랜지스터의 게이트 전극에 상기 제 1 및 제 2 커패시터의 분배 전압이 인가되면, 상기 제 5 트랜지스터는 상기 제 2 트랜지스터의 일단에서 발생하는 전류와 상응하는 구동 전류를 유기발광다이오드에 전달하는 유기전계발광표시장치의 화소 회로.

청구항 10

제 1 항에 있어서,

상기 제 1 내지 제 5 트랜지스터들은 피모스(PMOS)인 유기전계발광표시장치의 화소 회로.

청구항 11

제 1 항에 있어서,

상기 제 1, 제 2, 제 4 및 제 5 트랜지스터는 피모스이며, 상기 제 3 트랜지스터는 엔모스인 유기전계발광표시장치의 화소 회로.

청구항 12

제 11 항에 있어서,

상기 제 1 및 제 3 트랜지스터의 게이트 전극은 동일한 스캔 라인에 공통 연결된 유기전계발광표시장치의 화소 회로.

청구항 13

제 11 항에 있어서,

상기 제 1 트랜지스터는 n번째 스캔 라인에 연결되고, 상기 제 3 트랜지스터는 n+1번째 스캔 라인에 연결된 유기전계발광표시장치의 화소 회로.

청구항 14

제 1 항에 있어서,

상기 제 1 내지 제 5 트랜지스터들은 엔모스(PMOS)인 유기전계발광표시장치의 화소 회로.

청구항 15

제 14 항에 있어서,

상기 제 1 전원 라인에 음의 전원 라인이 유기전계발광표시장치의 화소 회로.

청구항 16

제 15 항에 있어서,

상기 제 5 트랜지스터의 드레인 전극은 유기발광다이오드의 캐소드에 연결되는 유기전계발광표시장치의 화소 회로.

청구항 17

제 1 항에 있어서,

상기 제 1, 제 2, 제 4 및 제 5 트랜지스터는 엔모스이며, 상기 제 3 트랜지스터는 피모스인 유기전계발광표시장치의 화소 회로.

청구항 18

제 17 항에 있어서,

상기 제 1 및 제 3 트랜지스터의 게이트 전극은 동일한 스캔 라인에 공통 연결된 유기전계발광표시장치의 화소 회로.

청구항 19

제 17 항에 있어서,

상기 제 1 트랜지스터는 n번째 스캔 라인에 연결되고, 상기 제 3 트랜지스터는 n+1번째 스캔 라인에 연결된 유기전계발광표시장치의 화소 회로.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <16> 본 발명은 유기전계발광표시장치의 화소 회로에 관한 것이다.
- <17> 최근, 평판표시장치(FPD: Flat Panel Display)는 멀티미디어의 발달과 함께 그 중요성이 증대되고 있다. 이에 부응하여 액정 디스플레이(Liquid Crystal Display: LCD), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP), 전계방출표시장치(Field Emission Display: FED), 유기전계발광표시장치(Organic Light Emitting Device) 등과 같은 여러 가지의 평면형 디스플레이가 실용화되고 있다.
- <18> 특히, 유기전계발광표시장치는 응답속도가 1ms 이하로서 고속의 응답속도를 가지며, 소비 전력이 낮고 자체 발광이다. 또한, 시야각에 문제가 없어서 장치의 크기에 상관없이 동화상 표시 매체로서 장점이 있다. 또한, 저온 제작이 가능하고, 기존의 반도체 공정 기술을 바탕으로 제조 공정이 간단하므로 향후 차세대 평판 표시 장치로 주목받고 있다.
- <19> 일반적으로, 유기전계발광표시장치는 형광성 유기 화합물을 전기적으로 여기시켜 발광시키는 표시장치로서, 행렬 형태로 배열된 N×M개의 유기발광다이오드(OLED)들을 전압 구동(Voltage Programming) 혹은 전류 구동(Current Programming)하여 영상을 표현할 수 있다. 이와 같은 유기전계발광표시장치를 구동하는 방식에는 수동 매트릭스(passive matrix) 방식과 박막 트랜지스터(thin film transistor)를 이용한 능동 매트릭스(active matrix) 방식이 있다. 수동 매트릭스 방식은 양극과 음극을 직교하도록 형성하고 라인을 선택하여 구동하는데 비해, 능동 매트릭스 방식은 박막 트랜지스터를 각 ITO(Indium Tin Oxide) 화소 전극에 연결하고 박막 트랜지스터의 게이트 전극에 연결된 커패시터 용량에 의해 유지된 전압에 따라 구동한다.
- <20> 도 1은 종래기술에 따른 유기전계발광표시장치를 도시한 블럭도이다.
- <21> 도 1을 참조하면, 유기전계발광표시장치는 표시 패널(110), 스캔 구동부(120), 데이터 구동부(130), 제어부(140) 및 전원공급부(150)를 포함한다.
- <22> 표시 패널(110)은 제 1 방향으로 배열되는 데이터 라인들(D1-Dm)과 제 1 방향과 교차되고 제 2 방향으로 배열되는 스캔 라인들(S1-Sn) 및 데이터 라인들((D1-Dm))과 스캔 라인들(S1-Sn)이 교차하는 화소 영역에 위치하는 화소 회로들(P11-Pnm)을 포함한다.
- <23> 제어부(140)는 스캔 구동부(120), 데이터 구동부(130) 및 전원공급부(150)에 제어 신호를 출력하고, 전원공급부(150)는 제어부(140)의 구동 제어에 따라 스캔 구동부(120), 데이터 구동부(130) 및 표시 패널(110)의 구동에 필요한 전압을 출력한다.
- <24> 스캔 구동부(120)는 제어부(140)의 제어신호에 따라 스캔 구동부(120)에 연결된 스캔 라인들(S1-Sn)에 스캔 신호를 출력한다. 이로써, 스캔 신호(S1-Sn)에 응답하여 표시 패널(110)에 위치한 화소 회로들(P11-Pnm)이 선택된

다.

- <25> 데이터 구동부(130)는 제어부(140)의 제어 신호에 따라, 스캔 구동부(120)에서 출력되는 스캔 신호에 동기되어 데이터 구동부(130)에 연결된 데이터 라인들(D1-Dm)을 통하여 데이터 신호들을 해당 화소 회로들(110)에 인가한다. 따라서, 표시 패널(110)은 데이터 신호들에 대응하여 각 화소 회로들(P1-Pnm)로부터 빛을 발광함으로써 영상 이미지를 표시한다.
- <26> 도 2는 종래기술에 따른 유기전계발광표시장치의 화소 회로를 설명하기 위한 회로도이다.
- <27> 도 2를 참조하면, 화소 회로는 스캔 라인(Sn)으로부터의 선택 신호에 응답하여 데이터 라인(Dm)으로부터의 데이터 신호를 전달하는 스위칭 트랜지스터(MS), 스위칭 트랜지스터(MS)를 통해 수신되는 데이터 신호를 저장하기 위한 커패시터(Cgs), 커패시터(Cgs)에 저장된 데이터 신호에 따라 구동 전류를 발생하기 위한 구동 트랜지스터(MD), 구동 전류에 따라 발광 동작을 수행하기 위한 유기발광다이오드(OLED)를 포함한다.
- <28> 상기 유기발광다이오드(OLED)에 흐르는 전류의 양은 다음과 같이 표현할 수 있다.

수학식 1

$$I_{OLED} = \frac{1}{2} K (V_{gs} - V_{th})^2$$

- <29>
- <30> 상기와 같은 화소 회로를 포함하는 능동 매트릭스 방식의 유기전계발광표시장치는 유기발광다이오드(OLED)에 흐르는 전류의 양으로서 휘도를 조절한다. 따라서, 박막 트랜지스터의 균일도, 특히 문턱전압(Vth) 및 이동도(mobility)의 균일도가 확보되어야 한다.
- <31> 유기전계발광표시장치에 사용되는 박막 트랜지스터는 비정질 실리콘 또는 저온 다결정 실리콘을 사용하여 형성될 수 있는데, 다결정 실리콘은 비정질 실리콘에 비해 전계 효과 이동도가 100 내지 200배 정도 더 커서 다결정 실리콘을 이용한 박막 트랜지스터의 필요성이 증대되고 있다.
- <32> 다결정 실리콘은 엑시머 레이저 어닐링(Exmer Laser Anealing)법 등을 사용하여 비정질 실리콘을 결정화하여 제조할 수 있는데, 결정화 공정시 엑시머 레이저의 펄스가 불균일하여 제조된 다결정 실리콘의 결정(grain)의 크기가 고르지 못하다. 따라서, 각 화소에 형성된 다결정 실리콘 반도체층을 포함하는 박막 트랜지스터들 간에 특성이 달라져 균일도가 확보되지 못하므로, 각 화소마다 원하는 계조를 표현할 수 없는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <33> 따라서, 본 발명은 박막 트랜지스터들의 문턱전압 및 이동도를 효과적으로 보정할 수 있으며, 저계조의 휘도 표현이 가능한 유기전계발광표시장치의 화소 회로를 제공함에 그 목적이 있다.

발명의 구성 및 작용

- <34> 상기와 같은 목적을 달성하기 위하여, 본 발명은, 스캔 라인으로부터의 선택 신호에 응답하여 데이터 라인으로부터의 데이터 신호를 전달하는 제 1 트랜지스터, 제 1 트랜지스터를 통해 수신되는 데이터 신호를 저장하기 위한 제 1 커패시터, 데이터 신호에 문턱 전압을 보상하기 위한 제 2 트랜지스터, 제어 라인으로부터의 제어 신호에 응답하여 제 2 트랜지스터를 다이오드 연결시키는 제 4 트랜지스터, 스캔 신호에 응답하여 제 2 트랜지스터의 문턱 전압을 전달하는 제 3 트랜지스터, 제 3 트랜지스터로부터 수신된 제 2 트랜지스터의 문턱 전압을 저장하기 위한 제 2 커패시터, 제 1 및 제 2 커패시터의 분배 전압과 제 2 트랜지스터로부터 발생하는 구동 전류에 상응하는 구동 전류를 발생시키기 위한 제 5 트랜지스터 및 제 5 트랜지스터에 의해 인가된 구동 전류에 따라 발광동작을 수행하기 위한 유기발광다이오드를 포함하는 유기전계발광표시장치의 화소 회로를 제공한다.
- <35> 이하, 첨부한 도면을 참조하여 본 발명의 실시예들을 상세하게 설명하도록 한다.
- <36> 도 3a는 본 발명의 제 1 실시예에 따른 유기전계발광표시장치의 화소 회로를 도시한 회로도이다.
- <37> 도 3을 참조하면, 본 발명의 제 1 실시예에 따른 화소 회로는, 제 1 스캔 라인(Sn1)으로부터의 스캔 신호에 응답하여 데이터 라인(Dm)으로부터의 데이터 신호를 전달하는 제 1 트랜지스터(T1), 제 1 트랜지스터(T1)를 통해 수신되는 데이터 신호를 저장하기 위한 제 1 커패시터(C1), 데이터 신호를 보정하여 문턱 전압을 보상하기 위한 제 2 트랜지스터(T2), 제어 라인(AZ)으로부터의 제어 신호에 응답하여 제 2 트랜지스터(T2)를 다이오드 연결시

키는 제 4 트랜지스터(T4), 제 1 스캔 라인(Sn2)으로부터의 스캔 신호에 응답하여 제 2 트랜지스터(T2)의 문턱 전압을 전달하는 제 3 트랜지스터(T3), 제 3 트랜지스터(T3)로부터 수신된 제 2 트랜지스터(T2)의 문턱 전압을 저장하기 위한 제 2 커패시터(C2), 제 1 및 제 2 커패시터(C1, C2)의 분배 전압과 제 2 트랜지스터(T2)로부터 인가받은 전압에 상응하는 구동 전류를 발생시키기 위한 제 5 트랜지스터(T5) 및 제 5 트랜지스터(T5)에 의해 인가된 구동 전류에 따라 발광동작을 수행하기 위한 유기발광다이오드(OLED)를 포함한다.

<38> 제 1 및 제 2 커패시터(C1, C2)의 일단은 제 1 전원 라인(VDD)에 연결되며, 제 1 및 제 2 커패시터(C1, C2)의 타단은 제 3 트랜지스터(T3)의 양단에 각각 연결된다. 그리고, 제 2 및 제 5 트랜지스터(T2, T5)는 문턱 전압 및 이동도가 동일할 수 있다.

<39> 도 3b는 도 3a에 도시한 본 발명의 제 1 실시예에 따른 유기전계발광표시장치의 화소 회로의 동작을 설명하기 위한 타이밍도이다.

<40> 도 3b를 참조하면, 프로그래밍 단계(I)에서 제 1 스캔 라인(Sn1)은 하이 레벨의 신호를 인가하고 제 2 스캔 라인(Sn2) 및 제어 라인(AZ)은 로우 레벨의 신호를 인가한다. 로우 레벨의 신호에 의하여 제 3 트랜지스터(T3) 및 제 4 트랜지스터(T4)는 턴-온되며, 제 2 트랜지스터(T2)의 게이트 전극과 드레인 전극은 다이오드 연결된다. 제 1 및 제 2 커패시터(C1, C2)에는 제 2 트랜지스터(T2)의 문턱 전압이 저장되고, 이때, 노드 A의 전압은 다음과 같다.

수학식 2

$$V_A = V_{dd} + V_{th}$$

<41>

다음으로, 데이터 저장 단계(II)에서, 제 2 스캔 라인(Sn2)은 하이 레벨의 신호를 인가하고 제 1 스캔 라인(Sn1) 및 제어 라인(AZ)은 로우 레벨의 신호를 인가한다. 로우 레벨의 신호를 인가받은 제 1 트랜지스터(T1) 및 제 2 트랜지스터(T2)는 턴-온되며, 제 1 트랜지스터(T1)의 일단에 연결된 데이터 라인으로부터 데이터 신호가 입력된다. 여기서 데이터 신호는 전류일 수 있으며, 데이터 라인을 통하여 소정의 전류를 싱크할 수 있다. 이때, 제 1 커패시터(C1)에는 제 2 트랜지스터(T2)의 문턱전압 및 이동도가 보정된 전압이 저장된다.

<43> 데이터 신호에 의한 전류 및 노드 A의 전압은 다음과 같다.

수학식 3

$$V_A = V_c \tag{1}$$

<44>

$$I_{data} = \frac{1}{2} K_2 (V_c - V_{dd} - V_{th})^2 \tag{2}$$

<45>

$$V_c = V_{dd} + V_{th} - \sqrt{\frac{2 I_{data}}{K_2}} \tag{3}$$

<46>

다음으로, 발광 단계(III)에서, 제 2 스캔 라인(Sn2) 및 제어 라인(AZ)은 하이 레벨의 신호를 인가하고, 제 1 스캔 라인(Sn1)은 로우 레벨의 신호를 인가한다. 로우 레벨의 신호를 인가받은 제 1 트랜지스터(T1)는 턴-온되며, 제 1 및 제 2 커패시터(C1, C2)에 저장된 전압이 분배되어 제 2 및 제 5 트랜지스터(T5)의 게이트 전극에 인가된다.

<48> 이때, 제 1 커패시터(C1)에 저장된 전압은 데이터 저장 단계(II)에서 전류 기입에 의하여 저장된 전압이며, 제 2 커패시터(C2)에 저장된 전압은 프로그래밍 단계(I)에서 제 2 트랜지스터(T2)의 문턱 전압을 반영한 값이다. 따라서, 제 1 및 제 2 커패시터(C1, C2)에 저장된 전압의 분배 전압은 제 2 트랜지스터(T2)의 문턱 전압 및 이동도를 일정 비율로 반영한 값일 수 있다. 이때, 노드 A의 전압은 다음과 같다.

수학식 4

$$V_A = \frac{C_1 V_C + C_2 (V_{DD} + V_{th})}{C_1 + C_2}$$

<49>

<50> 이때, 제 2 트랜지스터(T2)는 선형 영역에서, 제 5 트랜지스터(T5)는 포화 영역에서 동작하게 되며, 제 2 트랜지스터(T2)의 드레인 전류(I_{ds_T2})와 제 5 트랜지스터(T5)의 드레인 전류(I_{ds_T5})는 동일하게 된다. 또한, 제 5 트랜지스터(T5)의 드레인 전류가 유기발광다이오드(OLED)에 흐르게 된다.

수학식 5

$$I_{ds-T_2} = K_2 [(V_A - V_{DD} - V_{th})(V_B - V_{DD}) - \frac{1}{2} (V_B - V_{DD})^2] \quad \text{----(1)}$$

<51>

$$I_{ds-T_5} = \frac{1}{2} K_5 (V_A - V_B - V_{th})^2 \quad \text{-----(2)}$$

<52>

$$(K_2 = \mu C_{ox} \frac{W_{T_2}}{L_{T_2}}, \quad K_5 = \mu C_{ox} \frac{W_{T_5}}{L_{T_5}})$$

<53>

<54> 여기서, μ 는 전계효과 이동도, C_{ox} 는 절연층의 커패시턴스, W 는 채널 폭, L 은 채널 길이를 나타낸다.

$$I_{OLED} = I_{ds-T_2} = I_{ds-T_5} \quad \text{-----(3)}$$

<55>

$$I_{OLED} = \frac{1}{2} K_5 \frac{K_2}{(K_2 + K_5)} (V_A - V_{DD} - V_{th})^2 \quad \text{-----(4)}$$

<56>

<57> 이때, 노드 A의 전압은 제 1 및 제 2 커패시터(C1, C2)에 저장된 전압의 분배 전압이므로, 수학식 3의 (3)을 수학식 4에 대입한 다음, 수학식 5의 (4)에 대입하면, 유기발광다이오드(OLED)에 흐르는 전류의 양을 다음과 같이 계산할 수 있다.

수학식 6

$$I_{OLED} = \left(\frac{K_5}{K_2 + K_5} \right) \left(\frac{C_1}{C_1 + C_2} \right)^2 I_{data}$$

<58>

<59> 상기 식에서 볼 수 있는 바와 같이, 본 발명의 일 실시예에 따른 유기전계발광표시장치의 화소 회로에 의하면, 데이터 저장 단계(II)에서 입력한 전류를 상기와 같은 비율로 낮추어 유기발광다이오드(OLED)에 흘려줄 수 있다.

<60> 종래에는 저계조의 휘도 표현시, 데이터 신호의 크기가 작아 기생 커패시턴스로 인하여 저계조의 휘도를 충분히 표현하지 못하는 문제점이 있었다. 그러나, 본 발명의 제 1 실시예에 따른 화소 회로의 경우 충분한 데이터 전류를 입력할 수 있으므로, 저계조의 휘도 표현이 가능한 장점이 있다.

<61> 유기발광다이오드(OLED)에 흐르는 전류량은 제 2 및 제 5 트랜지스터(T5)의 채널 폭/길이(W/L)의 비율에 의하여 결정될 수 있으므로, 제 2 트랜지스터(T2)의 채널 폭/길이(W/L)를 증가시킴으로써 입력 전류 대비 출력 전류의

비율을 더 낮출 수 있다.

- <62> 또한, 유기발광다이오드(OLED)에 흐르는 전류량은 제 1 및 제 2 커패시터(C1, C2)의 용량의 비율에 의해서 결정될 수 있다. 따라서, 화소 회로 설계시 제 1 및 제 2 커패시터(C1, C2)의 용량을 조절하여 구동 트랜지스터인 제 5 트랜지스터(T5)의 특성 보정을 최적화할 수 있다.
- <63> 도 4a 및 도 4b는 본 발명의 다른 실시예에 따른 유기전계발광표시장치의 화소 회로 및 그 동작을 설명하기 위한 타이밍도이다.
- <64> 도 4a 및 도 4b를 참조하면, 본 발명의 다른 실시예에 따른 유기전계발광표시장치의 화소 회로는, 제 1 및 제 5 트랜지스터(T5)의 게이트 전극이 하나의 스캔 라인에 공통 연결된 것을 제외하고는 본 발명의 제 1 실시예에 따른 유기전계발광표시장치의 화소 회로와 동일하다.
- <65> 제 1 트랜지스터(T1)가 턴-온 되는 경우, 제 3 트랜지스터(T3)는 턴-오프 되어야 하므로, 제 1 트랜지스터(T1)와 제 3 트랜지스터(T3)는 반대의 모스를 가지는 트랜지스터일 수 있다. 즉, 제 1 트랜지스터(T1)는 피모스(PMOS)이고 제 3 트랜지스터(T3)는 엔모스(NMOS)일 수 있다. 따라서, 스캔 라인(Sn)으로부터 로우 레벨의 신호가 인가되면, 제 1 트랜지스터(T1)가 턴-온되고, 하이 레벨의 신호가 인가되면 제 3 트랜지스터(T3)가 턴-온될 수 있다.
- <66> 상기와 같이, 제 1 및 제 3 트랜지스터(T3)를 반대의 모스를 가지도록 형성하면, 신호선의 개수를 줄일 수 있어, 공정 간소화 및 개구율을 높일 수 있다.
- <67> 도 5a 및 도 5b는 본 발명의 제 3 실시예에 따른 유기전계발광표시장치의 화소 회로의 회로도 및 그 동작을 설명하기 위한 타이밍도이다.
- <68> 도 5a 및 도 5b를 참조하면, 5b는 본 발명의 제 3 실시예에 따른 유기전계발광표시장치의 화소 회로는, 제 1 트랜지스터(T1)의 게이트가 n번째 스캔 라인(Sn)에 연결되고 제 3 트랜지스터(T3)의 게이트가 (n+1)번째 스캔 라인(Sn+1)에 연결된다는 것을 제외하고는 본 발명의 제 1 실시예에 따른 유기전계발광표시장치의 화소 회로와 동일하다. 그리고, 제 1 트랜지스터(T1)는 피모스(PMOS)이며, 제 3 트랜지스터(T3)는 엔모스(NMOS)일 수 있다.
- <69> 상기와 같은 유기전계발광표시장치의 화소 회로의 동작을 설명하면, n번째 스캔 라인(Sn)이 로우 레벨의 신호를 인가하는 경우 (n+1)번째 스캔 라인(Sn+1)은 하이 레벨의 신호를 인가한다. 따라서, n번째 스캔 라인(Sn)에 연결된 n행에 위치하는 화소 회로가 데이터를 저장하는 동안, (n+1)번째 행에 위치한 화소 회로는 문턱 전압을 저장하고, n번째 행에 위치한 화소 회로가 발광하는 동안, (n+1)번째 행에 위치한 화소 회로는 데이터 전류를 기입할 수 있다.
- <70> 이와 같은 화소 회로의 구조는 신호선의 개수를 감소시켜 공정 단순화 및 개구율의 향상을 가져올 수 있는 효과가 있다.
- <71> 도 6a 및 도 8b는 본 발명의 제 4 내지 6 실시예에 따른 유기전계발광표시장치의 화소 회로의 회로도들 및 그 동작을 설명하기 위한 타이밍도들이다.
- <72> 도 6a 및 도 8b를 참조하면, 본 발명의 제 4 내지 6 실시예에 따른 유기전계발광표시장치의 화소 회로는 본 발명의 제 1 내지 3 실시예에 따른 유기전계발광표시장치의 화소 회소들과 트랜지스터들의 극성이 반대인 것을 제외하고는 그 기본 구조가 동일하다. 또한, 제 1 및 제 2 커패시터(C1, C2)의 일단에 공통 연결된 제 1 전원 라인이 음의 전원 라인(VSS)이며, 구동 트랜지스터인 제 5 트랜지스터(T5)의 드레인 전극에 유기발광다이오드(OLED)의 제 2 전극이 연결된 것, 즉 인버트(invert) 구조인 점이 본 발명의 제 1 내지 제 3 실시예와 다르다.
- <73> 도 9는 본 발명의 제 1 실시예에 따른 유기전계발광표시장치의 화소 회로의 유기발광다이오드에 흐르는 전류의 양을 시뮬레이션한 결과를 도시한 그래프이다.
- <74> 여기서, 본 발명의 제 1 실시예에 따른 유기전계발광표시장치의 화소 회로는 제 1 및 제 2 커패시터의 용량은 150pF으로, 제 2 및 제 5 트랜지스터는 $K_4:K_5$ 가 4:1이 되도록 설계하였다.
- <75> 그래프 A는 프로그래밍 단계에서 데이터 신호에 의하여 입력한 전류(I_{data})에 따라 출력되는 유기발광다이오드(OLED)의 전류(I_{OLED})를 나타낸 것이며, 그래프 B는 데이터 신호에 의하여 입력한 전류(I_{data}) 대비 출력된 유기발광다이오드의 전류(I_{OLED})의 비를 나타낸 것이다.

<76> 도 9를 참조하면, 데이터 신호에 의하여 입력한 전류(I_{data})의 양이 약 $21\mu A$ 일 때 유기발광다이오드(OLED)에 출력된 전류(I_{OLED})의 양은 약 $480nA$ 이다. 따라서, 본 발명의 일 실시예에 따른 화소 회로에 의하면, 데이터 신호에 의해 입한 전류(I_{data})의 최소 40:1의 비율로 유기발광다이오드에 출력하는 전류(I_{OLED})의 양을 조절할 수 있음을 알 수 있다.

<77> 상술한 바와 같이, 본 발명은 구동 트랜지스터의 문턱전압 및 이동도를 효과적으로 보정하여 각 화소간의 휘도의 균일도를 향상시킬 수 있으며, 데이터 신호에 의한 전류와 유기발광다이오드(OLED)에 흐르는 전류의 양의 비율을 조절할 수 있으므로, 저계조 휘도의 표현이 가능한 장점이 있다.

발명의 효과

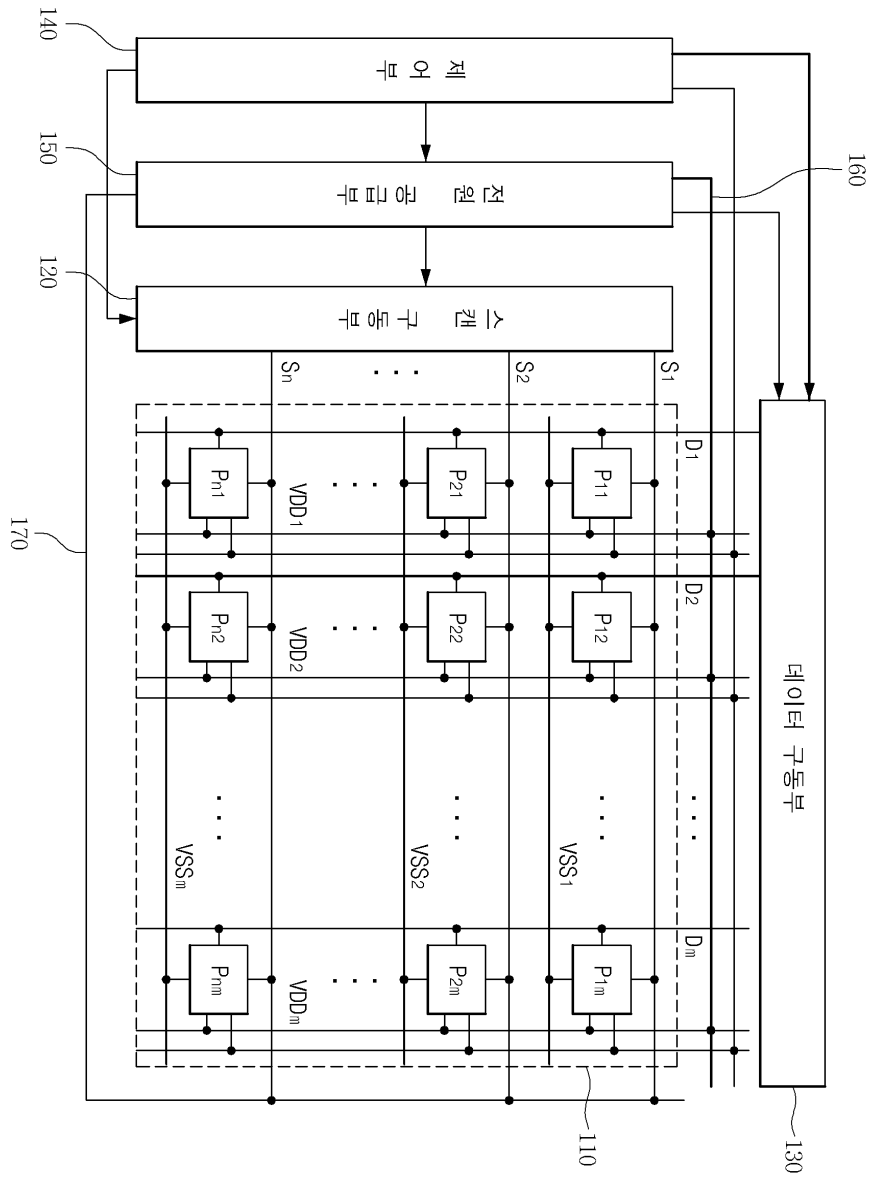
<78> 본 발명은 각 화소간의 휘도의 균일도를 향상시킴과 아울러, 유기전계발광표시장치의 화면의 품위를 높일 수 있는 효과가 있다.

도면의 간단한 설명

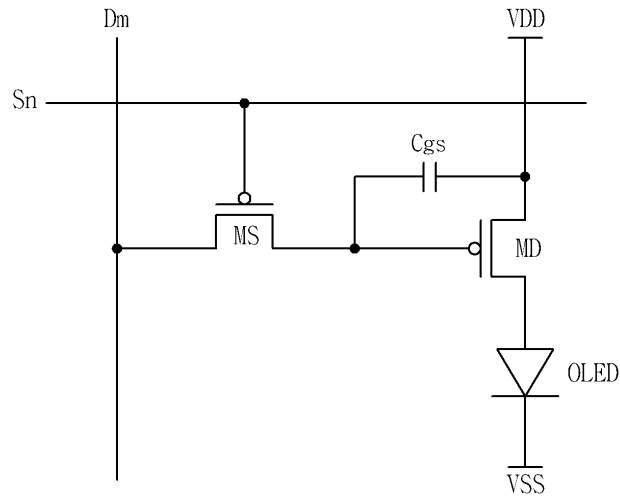
- <1> 도 1은 종래의 유기전계발광표시장치를 나타낸 블럭도이다.
- <2> 도 2는 종래의 유기전계발광표시장치의 화소 회로를 도시한 회로도이다.
- <3> 도 3a는 본 발명의 제 1 실시예에 따른 유기전계발광표시장치의 화소 회로를 도시한 회로도이다.
- <4> 도 3b는 본 발명의 제 1 실시예에 따른 유기전계발광표시장치의 화소 회로의 동작을 설명하기 위한 타이밍도이다.
- <5> 도 4a는 본 발명의 제 2 실시예에 따른 유기전계발광표시장치의 화소 회로를 도시한 회로도이다.
- <6> 도 4b는 본 발명의 제 2 실시예에 따른 유기전계발광표시장치의 화소 회로의 동작을 설명하기 위한 타이밍도이다.
- <7> 도 5a는 본 발명의 제 3 실시예에 따른 유기전계발광표시장치의 화소 회로를 도시한 회로도이다.
- <8> 도 5b는 본 발명의 제 3 실시예에 따른 유기전계발광표시장치의 화소 회로의 동작을 설명하기 위한 타이밍도이다.
- <9> 도 6a는 본 발명의 제 4 실시예에 따른 유기전계발광표시장치의 화소 회로를 도시한 회로도이다.
- <10> 도 6b는 본 발명의 제 4 실시예에 따른 유기전계발광표시장치의 화소 회로의 동작을 설명하기 위한 타이밍도이다.
- <11> 도 7a는 본 발명의 제 5 실시예에 따른 유기전계발광표시장치의 화소 회로를 도시한 회로도이다.
- <12> 도 7b는 본 발명의 제 5 실시예에 따른 유기전계발광표시장치의 화소 회로의 동작을 설명하기 위한 타이밍도이다.
- <13> 도 8a는 본 발명의 제 6 실시예에 따른 유기전계발광표시장치의 화소 회로를 도시한 회로도이다.
- <14> 도 8b는 본 발명의 제 6 실시예에 따른 유기전계발광표시장치의 화소 회로의 동작을 설명하기 위한 타이밍도이다.
- <15> 도 9는 본 발명에 따른 유기전계발광표시장치의 유기발광다이오드에 흐르는 전류의 양을 시뮬레이션한 결과를 도시한 그래프이다.

도면

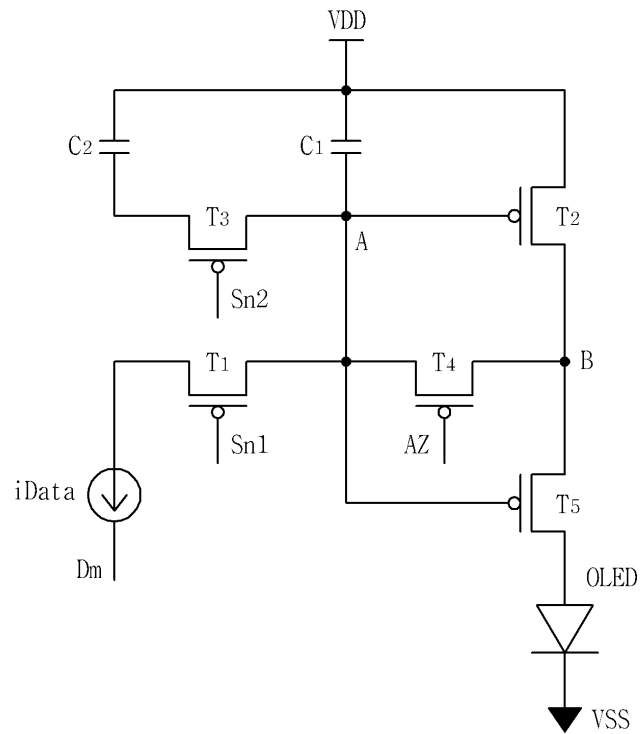
도면1



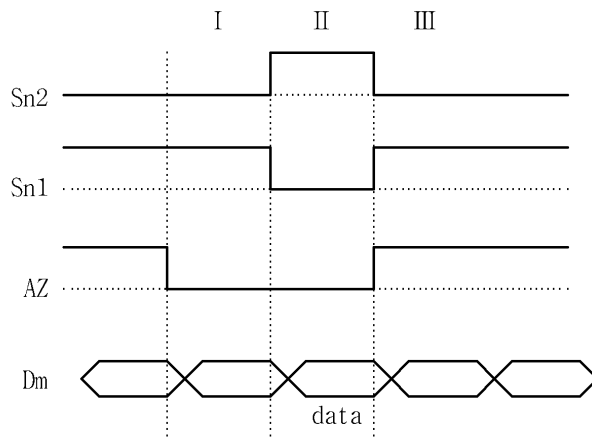
도면2



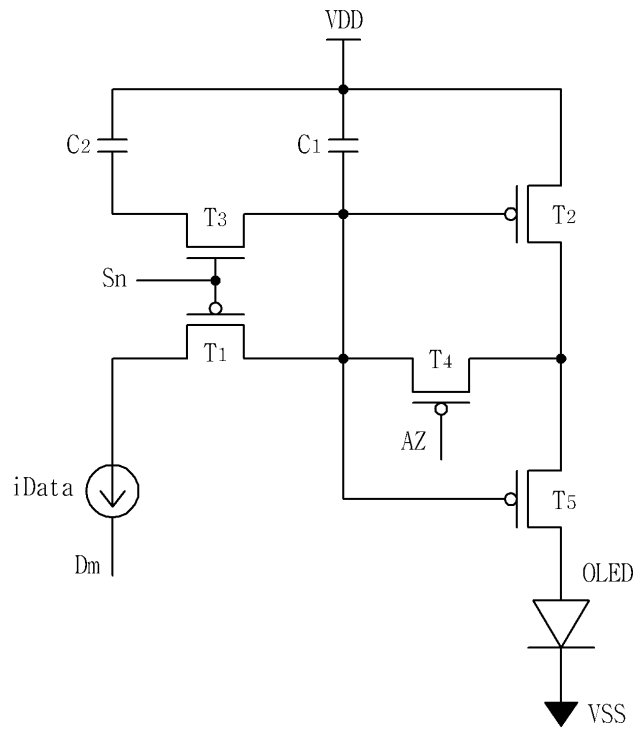
도면3a



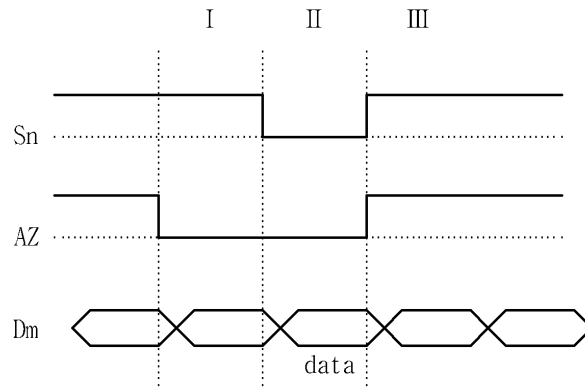
도면3b



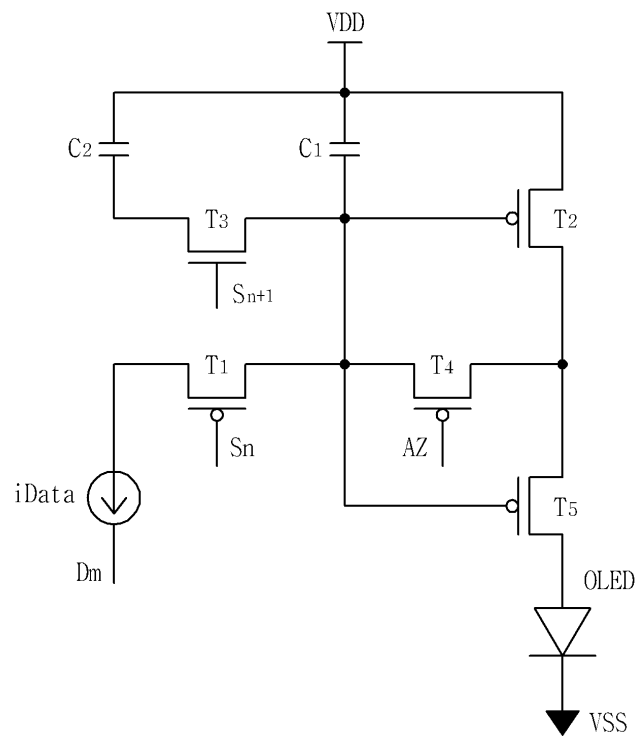
도면4a



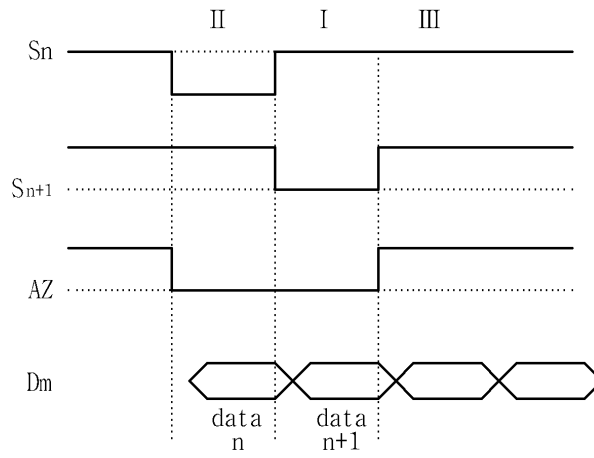
도면4b



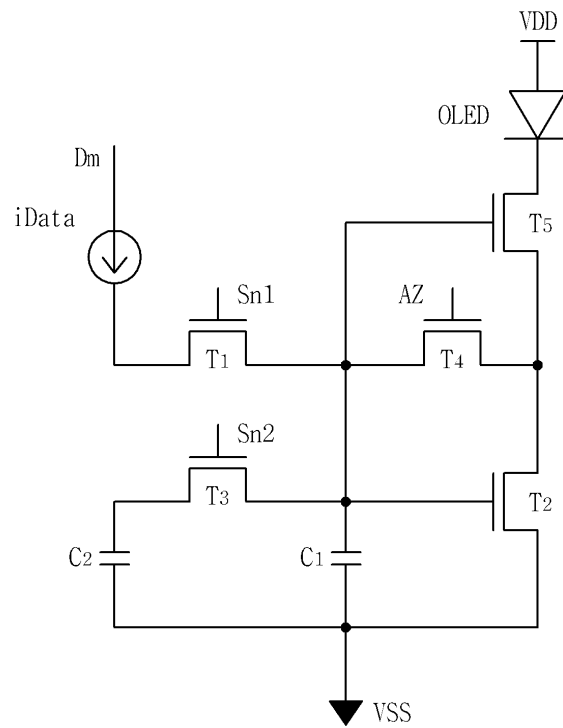
도면5a



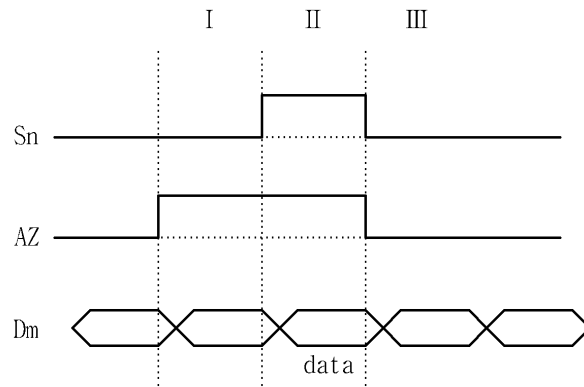
도면5b



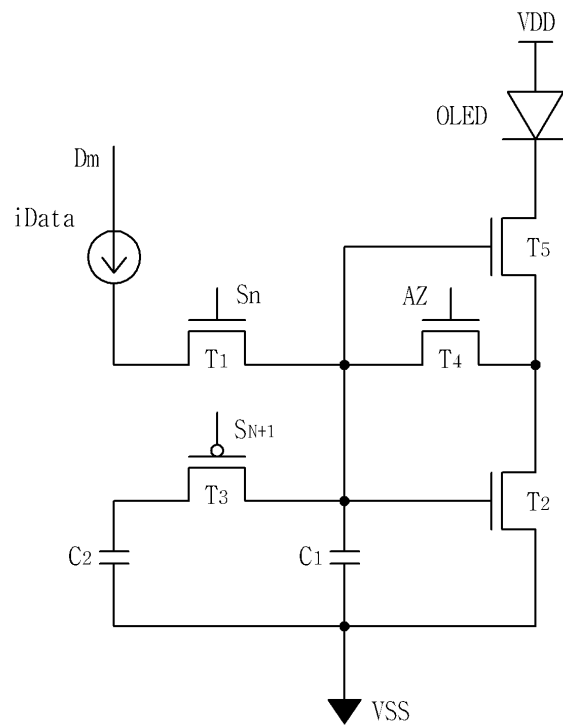
도면6a



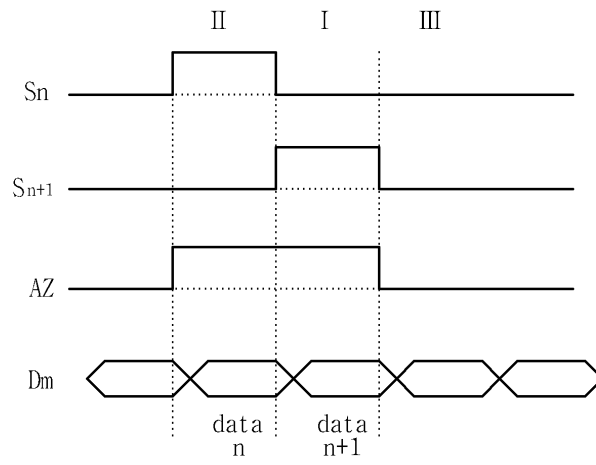
도면7b



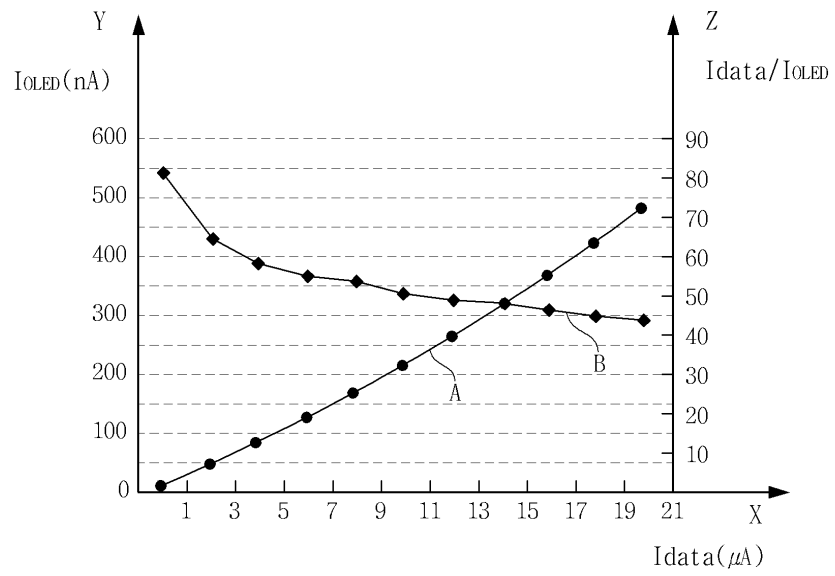
도면8a



도면8b



도면9



专利名称(译)	有机电致发光显示装置的像素电路		
公开(公告)号	KR1020070111634A	公开(公告)日	2007-11-22
申请号	KR1020060044675	申请日	2006-05-18
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JUNG SANG HOON 정상훈 AHN TAE JOON 안태준		
发明人	정상훈 안태준		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G2300/0852 G09G2300/0861 G09G2310/0251 G09G3/3233 G09G3/325		
其他公开文献	KR101197768B1		
外部链接	Espacenet		

摘要(译)

本发明提供一种有机电致发光显示装置的像素电路，包括有机发光二极管，用于根据施加有第五晶体管的驱动电流进行发光操作，第五晶体管用于产生第一晶体管，用于从第五晶体管输出数据信号。响应于来自扫描线的选择信号的数据线，第三晶体管传送第一电容器，用于存储通过第一晶体管接收的数据信号，第二晶体管，用于补偿数据信号中的阈值电压，第四晶体管连接第二晶体管响应于来自具有二极管的控制线的控制信号和响应于扫描信号的第二晶体管的阈值电压，以及对应于从第二电容器产生的用于存储第二电容器的阈值电压的驱动电流的驱动电流晶体管从第三晶体管接收，d分配电压和第一和第二电容器的第二晶体管。

