

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2006-0117119
G09G 3/30 (2006.01) (43) 공개일자 2006년11월16일

(21) 출원번호 10-2005-0039895
(22) 출원일자 2005년05월12일

(71) 출원인 삼성에스디아이 주식회사
경기 수원시 영통구 신동 575
(72) 발명자 곽원규
경기 용인시 기흥읍 공세리 삼성SDI중앙연구소
김양완
경기 용인시 기흥읍 공세리 삼성SDI중앙연구소
(74) 대리인 박상수

심사청구 : 있음

(54) 유기 전계발광 표시장치

요약

디멀티플렉스를 이용하여 균일한 휘도의 영상을 표시할 수 있도록 한 유기 전계발광 표시장치를 개시한다. 상기 유기 전계 발광 표시장치는 표시패널 내에 구비되는 다수의 데이터라인 상에 형성되는 데이터라인 커패시터를 구비한다. 상기 데이터라인 커패시터의 커패시턴스는 화소 내의 스토리지 커패시터의 커패시턴스 보다 크게 형성한다. 상기 데이터라인 커패 시터는 데이터라인, 절연막 및 제 3의 금속의 적층구조로 형성한다. 상기 제 3의 금속은 캐소드전극 또는 화소전극이다. 상기 절연막은 패시베이션막, 평탄화막 또는 화소정의막이다. 상기 절연막의 두께를 조절하여 데이터라인 커패시터의 커패 시턴스를 조절한다. 또한, 데이터라인 커패시터는 절연막의 두께를 조절하는 비아홀 또는 콘택홀의 사이즈를 조절하여 커패시턴스를 조절한다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 종래의 유기 전계발광 표시장치를 나타내는 블록도이다.
도 2는 본 발명의 실시 예에 따른 유기 전계발광 표시장치를 나타내는 블록도이다.
도 3은 도 2에 도시된 디멀티플렉서의 내부를 나타내는 회로도이다.
도 4는 도 2에 도시된 N× M개의 화소들 중 대표적인 화소를 나타내는 회로도이다.

도 5는 도 2에 도시된 대표적인 디멀티플렉서와 화소들의 연결 구조를 상세히 나타내는 회로도이다.

도 6은 도 5에 도시된 화소회로의 동작을 설명하기 위한 타이밍도이다.

도 7은 본 발명의 실시예에 따른 유기 전계발광 표시장치의 데이터라인 커패시터와 화소 내 스토리지 커패시터의 커패시턴스 변화에 따른 구동 트랜지스터의 게이트전압 변화를 나타낸 시뮬레이션도이다.

도 8은 본 발명에 따른 데이터라인 커패시터의 커패시턴스를 증가시키기 위한 제 1 실시예의 화소 단면도이다.

도 9는 본 발명에 따른 데이터라인 커패시터의 커패시턴스를 증가시키기 위한 제 2 실시예의 화소 단면도이다.

도 10은 본 발명에 따른 데이터라인 커패시터의 커패시턴스를 증가시키기 위한 제 3 실시예의 화소 단면도이다.

도 11은 본 발명에 따른 데이터라인 커패시터의 커패시턴스를 증가시키기 위한 제 4 실시예의 화소 단면도이다.

도 12는 본 발명의 실시예에 따른 유기전계발광표시장치의 또 다른 화소에 대한 회로도이다.

도 13은 본 발명의 실시예에 따른 유기전계발광표시장치의 또 다른 화소에 대한 회로도이다.

도 14는 본 발명의 실시예에 따른 유기전계발광표시장치의 또 다른 화소에 대한 회로도이다.

도면의 주요부분에 대한 설명

100 : 표시패널 120: 스캔 드라이버

130 : 데이터 드라이버 140 : 타이밍 제어부

150 : 디멀티플렉스부 151 : 디멀티플렉스

160 : 디멀티플렉스 제어부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 전계발광 표시장치에 관한 것으로, 구체적으로 디멀티플렉스를 이용하여 데이터 드라이버의 출력라인 수를 감소시키며, 균일한 휘도의 영상을 표시할 수 있도록 한 유기 전계발광 표시장치에 관한 것이다.

최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 평판 표시장치(Flat Panel Display: FPD)로는 액정 표시 장치(Liquid Crystal Display: LCD), 전계 방출 표시장치(Field Emission Display: FED), 플라즈마 표시 패널(Plasma Display Panel: PDP) 및 유기 전계발광 표시장치(Organic Electro-luminescent Display: OLED) 등이 있다.

상기 평판 표시장치 중 유기 전계발광 표시장치에 포함된 유기발광소자(Organic Light Emitting Diode: OLED)는 캐소드(cathode)에서 공급되는 전자(electron)와 애노드(anode)에서 공급되는 정공(hole)의 재결합에 의하여 빛을 발생하는 자발광소자이다. 이러한, 유기 전계발광 표시장치는 빠른 응답속도(보통 1 μ s)를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있다. 일반적인 유기 전계발광 표시장치는 각 화소(pixel)마다 형성되는 구동 박막 트랜지스터(Thin Film Transistor:TFT)를 이용하여 데이터신호에 상응하는 구동전류를 유기발광소자(OLED)로 공급함으로써 유기발광소자(OLED)에서 빛이 발광되어 소정의 영상을 디스플레이하게 된다.

도 1은 종래의 유기 전계발광 표시장치를 나타내는 블럭도이다.

도 1을 참조하면, 일반적인 유기 전계발광 표시장치는 표시 패널(10), 스캔 드라이버(20), 데이터 드라이버(30) 및 타이밍 제어부(40)를 구비한다.

표시패널(10)은 다수의 스캔라인 및 발광제어라인(S1-Sn, E1-En)과 다수의 데이터라인(D1-Dm)이 교차하는 영역에 형성된 다수의 화소들(P11-Pnm)을 포함한다. 상기 각각의 화소들(P11-Pnm)은 외부로부터 제 1 전원(Vdd) 및 제 2 전원(Vss)을 공급받으며, 자신에게 공급되는 데이터신호에 상응하는 빛을 발광하여 화상을 표시한다. 그리고, 화소들(P11-Pnm)은 발광제어라인(E1-En)을 통하여 전달되는 신호에 대응하여 발광 시간이 제어된다.

스캔 드라이버(20)는 타이밍 제어부(40)로부터의 스캔제어신호(Sg)에 응답하여 스캔신호를 생성하고, 생성된 스캔신호를 상기 다수의 스캔라인(S1-Sn)에 순차적으로 공급하여 상기 화소들(P11-Pnm)을 선택한다. 또한, 스캔 드라이버(20)는 스캔제어신호(Sg)에 응답하여 발광제어신호를 생성하고, 생성된 발광제어신호를 상기 다수의 발광제어라인들(E1 내지 En)로 순차적으로 공급하여 발광을 제어한다.

데이터 드라이버(30)는 타이밍 제어부(40)로부터 R,G,B 데이터를 공급받아 데이터 제어신호(Sd)에 응답하여 데이터신호들을 생성하고, 생성된 데이터신호들을 상기 다수의 데이터라인들(D1-Dm)로 공급한다. 이때, 데이터 드라이버(30)는 1수평기간마다 1 수평라인 분씩의 데이터신호를 데이터라인들(D1-Dm)로 공급한다.

타이밍 제어부(40)는 외부 그래픽 제어기(미도시)로부터 공급되는 R,G,B 데이터와 수평 및 수직 동기신호들(Hsync, Vsync)에 상응하는 데이터 제어신호(Sd) 및 스캔제어신호들(Sg)을 생성한다. 타이밍 제어부(40)에서 생성된 데이터제어신호들(Sd)은 데이터 드라이버(30)로 공급되고, 스캔제어신호들(Sg)은 스캔 드라이버(20)로 공급된다.

이와 같이 구성되는 종래의 유기 전계발광 표시장치의 각각의 화소들(P11-Pnm)은 다수의 스캔라인들 및 발광제어라인들(S1-Sn, En-Em) 및 다수의 데이터라인들(D1-Dm)의 교차부에 위치된다. 여기서, 데이터 드라이버(30)는 m개의 데이터라인들(D1-Dm) 각각으로 데이터신호를 공급할 수 있도록 m개의 출력라인을 구비한다. 즉, 종래의 유기 전계발광 표시장치에서 데이터 드라이버(30)는 데이터라인들(D1-Dm)과 동일한 수의 출력라인을 구비하여야 한다. 따라서, 데이터 드라이버(30)의 내부에는 m개의 출력라인이 구비되도록 다수의 데이터 집적회로(Integrated Circuit:IC)들이 포함되고, 이에 따라 제조비용이 상승되는 문제점이 발생된다. 특히, 표시패널(10)의 해상도 및 인치가 커질수록 데이터 드라이버(30)는 더 많은 데이터 집적회로(IC)를 구비하여야 하고, 이에 따라 제조비용이 더욱 상승된다는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

상기 문제점을 해결하고자 본 발명이 이루고자 하는 기술적 과제는 디멀티플렉스를 이용하여 데이터 드라이버의 수를 감소시키며, 균일한 휘도의 영상을 표시할 수 있도록 한 유기 전계발광 표시장치를 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명의 유기 전계발광 표시장치는 다수의 스캔라인 및 다수의 데이터라인이 교차하는 영역에 형성되는 다수의 화소들을 가지고, 소정의 화상을 디스플레이하기 위한 표시 패널; 상기 다수의 스캔라인으로 스캔신호를 공급하여 상기 다수의 화소를 선택하기 위한 스캔 드라이버; 상기 다수의 데이터라인으로 데이터신호를 공급하기 위한 다수의 디멀티플렉서; 상기 각각의 디멀티플렉스와 연결된 다수의 출력라인으로 상기 데이터신호를 공급하기 위한 데이터 드라이버; 및 상기 표시 패널 내에 형성된 각각의 데이터라인에 형성되고, 상기 데이터신호에 상응하는 전압을 저장하기 위한 데이터라인 커패시터를 포함한다.

또한, 본 발명의 목적은 스토리지 커패시터 영역, 박막 트랜지스터 영역 및 데이터라인 커패시터 영역을 가지는 기판; 상기 기판 상의 스토리지 커패시터 영역에 형성되며, 제 1 반도체층, 게이트 절연막, 제 1 전극, 층간 절연막 및 상기 제 1 반도체층과 연결되는 제 2 전극의 적층으로 형성되는 스토리지 커패시터; 상기 기판 상의 박막 트랜지스터 영역에 형성되며, 제 2 반도체층, 게이트 절연막, 게이트 전극 및 소오스/드레인 전극으로 구성되는 박막 트랜지스터; 상기 기판 상의 데이터라인 커패시터 영역에 형성되며, 제 3 반도체층, 게이트 절연막, 층간 절연막 및 데이터라인의 적층으로 형성되는 제 1 데이터라인 커패시터; 상기 스토리지 커패시터와 상기 박막 트랜지스터의 상부에 형성되며, 상기 소오스/드레인 전극 중 어느 하나의 전극과 연결되는 화소전극, 상기 화소전극상에 형성되는 유기발광층 및 상기 유기발광층상의 기판 전면에 형성되는 대향전극으로 구성되는 유기발광소자; 및 상기 데이터라인 커패시터의 상부에 형성되며, 상기 데이터라인, 절연막 및 상기 대향전극의 적층으로 구성되는 제 2 데이터라인 커패시터를 포함하는 유기 전계발광 표시장치에 의해서도 달성될 수 있다.

또한, 상기 목적을 달성하기 위한 본 발명의 유기 전계발광 표시장치는 스토리지 커패시터 영역, 박막 트랜지스터 영역 및 데이터라인 커패시터 영역을 가지는 기관; 상기 기관 상의 스토리지 커패시터 영역에 형성되며, 제 1 반도체층, 게이트 절연막, 제 1 전극, 층간 절연막 및 제 1 반도체층과 연결되는 제 2 전극의 적층으로 형성되는 스토리지 커패시터; 상기 기관 상의 박막 트랜지스터 영역에 형성되며, 제 2 반도체층, 게이트 절연막, 게이트 전극 및 소오스/드레인 전극으로 구성되는 박막 트랜지스터; 상기 기관 상의 데이터라인 커패시터 영역에 형성되며, 제 3 반도체층, 게이트 절연막, 층간 절연막 및 데이터라인의 적층으로 형성되는 제 1 데이터라인 커패시터; 상기 스토리지 커패시터와 상기 박막 트랜지스터의 상부에 형성되며, 상기 소오스/드레인 전극 중 어느 하나의 전극과 연결되는 화소전극, 상기 화소전극상에 형성되는 유기발광층 및 상기 유기발광층상의 기관 전면에 형성되는 대향전극으로 구성되는 유기발광소자; 및 상기 데이터라인 커패시터의 상부에 형성되고, 상기 데이터라인, 절연막 및 상기 화소전극의 적층으로 구성되는 제 2 데이터라인 커패시터를 포함한다.

이하, 본 발명의 바람직한 실시 예들을 첨부된 도면을 참조하여 상세히 설명한다.

도 2는 본 발명의 실시 예에 따른 유기 전계발광 표시장치를 나타내는 블록도이다.

도 2를 참조하면, 본 발명의 실시 예에 따른 유기 전계발광 표시장치는 표시패널(100), 스캔 드라이버(120), 데이터 드라이버(130), 타이밍 제어부(140), 디멀티플렉서부(150) 및 디멀티플렉서 제어부(160)를 구비한다.

표시패널(100)은 다수의 스캔라인들 및 발광제어라인들(S1-Sn, E1-En)과 다수의 데이터라인들(D11-Dmk)에 의해 정의되는 영역에 위치하는 다수의 화소들(P111-Pnmk)과 각 데이터라인들(D11-Dmk)에 형성된 데이터라인 커패시터들(C_{data11}-C_{datamk})을 구비한다.

상기 각각의 화소들(P111-Pnmk)은 해당하는 데이터라인들(D11-Dmk)로부터 자신에게 공급되는 데이터신호에 대응하는 빛을 발생한다. 상기 각각의 화소들(P111-Pnmk) 중 대표적인 화소(110)에 대하여는 후술하기로 한다.

또한, 상기 각각의 화소들(P111-Pnmk)이 위치하는 영역의 데이터라인들(D11-Dmk)마다 상기 데이터신호를 일시 저장하는 다수의 데이터라인 커패시터들(C_{data11}-C_{datamk})이 형성된다. 어느 한 데이터라인(D11)의 데이터라인 커패시터(C_{data11})는 해당 데이터라인(D11)을 기준으로 데이터라인(D11)에 연결된 각각의 화소들(P111, P211, ..., Pn11)이 위치하는 영역에 형성된 데이터라인 커패시터들(C_{data111}, C_{data211}, ..., C_{datan11})이 병렬로 연결되어 형성된다. 즉, C_{data11} = C_{data111} + C_{data211} + ... + C_{datan11} 로서 표현될 수 있다.

예를들어, 데이터기입기간동안, 제 1 화소(P111)를 발광시키기 위해 제 1 데이터라인(D11)으로 데이터신호를 인가하면, 데이터라인(D11)에 형성되는 제 1 데이터라인 커패시터(C_{data11})에 상기 데이터신호가 일시 저장된다. 다음으로 스캔기간 동안, 제 1 스캔신호(S1)에 의해 제 1 화소(P111)가 선택되면 상기 제 1 데이터라인 커패시터(C_{data11})에 저장된 데이터전압이 제 1 화소(P111)로 공급되어 데이터전압에 상응하는 빛을 발광한다. 이와 같이 각 데이터라인(D11-Dmk)에 형성된 데이터라인 커패시터들(C_{data11}-C_{datamk})은 다수의 데이터라인(D11-Dmk)으로 공급되는 데이터신호를 일시 저장하고, 스캔신호에 의해 선택된 화소들(P111-Pnmk)로 저장된 데이터전압을 공급한다. 여기서, 상기 데이터라인 커패시터들(C_{data11}-C_{datamk})은 데이터라인들(D11-Dmk)과 제 3의 전극 및 이들 사이의 절연막에 의해 등가적으로 형성되는 기생 커패시터를 이용한다. 실제로, 데이터라인들(D11-Dmk)에 등가적으로 형성되는 각각의 데이터라인 커패시터들(C_{data11}-C_{datamk})의 커패시턴스는 데이터신호를 안정적으로 저장하기 위하여 각각의 화소들(P111-Pnmk)마다 포함되는 스토리지 커패시터(Cst)의 커패시턴스 보다 크게 설정되는 것이 바람직하다.

스캔 드라이버(120)는 타이밍 제어부(140)로부터 공급되는 스캔제어신호들(Sg)에 응답하여 스캔신호를 생성하고, 생성된 스캔신호를 스캔라인들(S1-Sn)로 순차적으로 공급한다. 여기서, 스캔 드라이버(120)는 도 6과 같이 스캔신호를 1수평기간(1H) 중 일부기간(스캔기간)에만 공급한다. 이를 상세히 설명하면, 본 발명에서 1수평기간(1H)은 스캔기간 및 데이터기입기간으로 분할된다. 스캔 드라이버(120)는 1수평기간(1H) 중 스캔기간 동안 스캔라인(S)으로 스캔신호를 공급하고, 데이터기입기간 동안 스캔신호를 공급하지 않는다. 한편, 스캔 드라이버(120)는 스캔제어신호들(Sg)에 응답하여 발광 제어신호를 생성하고, 생성된 발광 제어신호를 발광 제어라인들(E1-En)로 순차적으로 공급하여 발광을 제어한다.

데이터 드라이버(130)는 타이밍 제어부(150)로부터 공급되는 R, G, B 데이터를 인가받고, 데이터 제어신호들(Sd)에 응답하여 R, G, B 데이터신호를 순차적으로 출력라인들(D1-Dm/k)로 공급한다. 여기서, 데이터 드라이버(130)는 각각의 출력단마다 접속된 출력라인들(D1-Dm/k)로 k(k는 2이상의 정수)개의 데이터신호(도 6에서는 3개의 R, G, B 데이터신호)를 순차적으로 공급한다. 이를 상세히 설명하면, 데이터 드라이버(130)는 1수평기간(1H) 중 데이터기입기간 동안 해당 화소들로 공급될 데이터신호들(예를 들며, R, G, B 데이터)을 순차적으로 공급한다. 여기서, 해당 화소들로 공급될 데이터신호(R,G,B)가 데이터기입기간에만 공급되기 때문에 스캔신호의 공급시간인 스캔기간과 중첩되지 않는다.

타이밍 제어부(140)는 외부 그래픽 제어기(미도시)로부터 공급되는 R,G,B 데이터와 수평 및 수직 동기신호들에 상응하는 데이터 제어신호들(Sd) 및 스캔 제어신호들(Sg)을 생성한다. 타이밍 제어부(140)에서 생성된 데이터 제어신호들(Sd)은 데이터 드라이버(130)로 공급되고, 스캔 제어신호들(Sg)은 스캔 드라이버(120)로 공급된다.

디멀티플렉서부(150)는 m개의 디멀티플렉서(151)를 구비한다. 상세히 설명하면, 디멀티플렉서부(150)는 데이터 드라이버(130)에 연결되는 출력라인들(D1-Dm)과 동일한 수의 디멀티플렉서(151)를 구비하고, 각각의 디멀티플렉서(151)의 입력단은 상기 출력라인들(D1-Dm)과 각각 접속된다. 그리고, 디멀티플렉서(151)의 출력단은 k개의 데이터라인들(D11-D1k)과 접속된다. 이와 같은 디멀티플렉서(151)는 데이터기입기간에 순차적으로 공급되는 k개의 데이터신호를 k개의 데이터라인들(D11-D1k)로 인가한다. 이와 같이 한 개의 출력라인(D1)으로 순차 공급되는 k개의 데이터신호를 k개의 데이터라인들(D11-D1k)로 순차적으로 인가하게 되면 데이터 드라이버(130)에 포함된 출력라인 수가 급격히 감소된다. 예를 들어, k를 3으로 가정하게 되면 데이터 드라이버(130)에 포함된 출력선 수는 종래의 1/3 수준으로 감소되고, 이에 따라 데이터 드라이버(130) 내부에 포함된 데이터 집적회로(IC)의 수도 감소되게 된다. 즉, 본 발명에서는 디멀티플렉서(151)를 이용하여 한 개의 출력라인(D1)으로 공급되는 데이터신호를 k개의 데이터라인들(D11-D1k)로 공급함으로써 데이터 집적회로(IC)의 제조비용을 절감할 수 있는 장점이 있다.

디멀티플렉서 제어부(160)는 출력라인(D1)으로 공급되는 k개의 데이터신호가 k개의 데이터라인들(D11-D1k)로 분할되어 공급될 수 있도록 1수평기간(1H) 중 데이터기입기간 동안 k개의 제어신호를 디멀티플렉서(151)의 제어단자 각각에 공급한다. 여기서, 디멀티플렉서 제어부(160)에서 공급되는 k개의 제어신호는 도 6과 같이 데이터기입기간동안 서로 중첩되지 않도록 순차적으로 공급된다. 한편, 디멀티플렉서 제어부(160)가 타이밍 제어부(140)의 외부에 설치된 것으로 도시되었지만, 본 발명의 실시예에서 디멀티플렉서 제어부(160)는 타이밍 제어부(140)의 내부에 설치될 수도 있다.

도 3은 도 2에 도시된 디멀티플렉서의 내부를 나타내는 회로도이다.

도 3에서는 설명의 편의상 k를 3으로 가정하기로 한다. 그리고 도 3에 도시된 디멀티플렉서는 데이터 드라이버(130)의 첫 번째 출력라인(D1)에 접속되었다고 가정하여 설명하기로 한다.

도 3을 참조하면, 디멀티플렉서(151)는 제 1 스위칭소자(T1), 제 2 스위칭소자(T2) 및 제 3 스위칭소자(T3)를 구비한다. 상기 각각의 스위칭소자들(T1, T2, T3)은 박막 트랜지스터로 형성될 수 있으며, 본 발명에서는 스위칭소자(T1, T2, T3)를 P타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor: 이하, 'MOSFET' 이라 함.)으로 구성하였지만, 당업자의 기술수준으로 N타입 MOSFET으로 구성될 수도 있다.

제 1 스위칭소자(T1)는 제 1 출력라인(D1)과 제 1 데이터라인(D11)의 사이에 접속된다. 이와 같은 제 1 스위칭소자(T1)는 디멀티플렉서 제어부(160)로부터 제 1 제어신호(CS1)가 공급될 때 턴-온 되어 제 1 출력라인(D1)으로 공급되는 데이터신호를 제 1 데이터라인(D11)으로 공급한다. 제 1 데이터라인(D11)으로 공급된 데이터신호는 상기 도 2에서 설명한 데이터기입기간 동안 제 1 데이터라인 커패시터(C_{data11})에 저장된다.

제 2 스위칭소자(T2)는 제 1 출력라인(D1)과 제 2 데이터라인(D12)의 사이에 접속된다. 이와 같은 제 2 스위칭소자(T2)는 디멀티플렉서 제어부(160)로부터 제 2 제어신호(CS2)가 공급될 때 턴-온 되어 제 1 출력라인(D1)으로 공급되는 데이터신호를 제 2 데이터라인(D12)으로 공급한다. 제 2 데이터라인(D12)으로 공급된 데이터신호는 상기 도 2에서 설명한 데이터기입기간 동안 제 2 데이터라인 커패시터(C_{data12})에 저장된다.

제 3 스위칭소자(T3)는 제 1 출력라인(D1)과 제 3 데이터라인(D13)의 사이에 접속된다. 이와 같은 제 3 스위칭소자(T3)는 디멀티플렉서 제어부(160)로부터 제 3 제어신호(CS3)가 공급될 때 턴-온 되어 제 1 출력라인(D1)으로 공급되는 데이

터신호를 제 3 데이터라인(D13)으로 공급한다. 제 3 데이터라인(D13)으로 공급된 데이터신호는 상기 도 2 에서 설명한 데이터기입기간 동안 제 3 데이터라인 커패시터(C_{data13})에 저장된다. 이와 같은 디멀티플렉서(151)의 상세한 동작과정은 화소(110)의 구조와 결합하여 후술하기로 한다.

도 4는 도 2에 도시된 $N \times M$ 개의 화소들 중 대표적인 화소를 나타내는 회로도이다. 여기서, 본 발명의 실시 예에 따른 화소는 도 4에 도시된 화소로 한정되지 않는다.

도 4를 참조하면, 본 발명의 실시 예에 따른 대표적인 화소(110)는 유기발광소자(OLED)와, 데이터라인(Dmk), 스캔라인(S_n , S_{n-1}), 발광 제어라인(En), 제1 전압라인(Vdd) 및 초기화전압라인(Vinit)에 접속되어 상기 유기발광소자(OLED)를 발광시키기 위한 구동전류를 생성하는 화소구동회로(111)를 포함한다. 상기 데이터라인(Dmk)에는 상기 화소(110)로 데이터전압을 공급하는 데이터라인 커패시터(C_{datamk})가 형성되어 있다.

유기발광소자(OLED)는 애노드전극이 화소구동회로(111)에 접속되고, 캐소드전극이 제 2 전원라인(Vss)에 접속된다. 제 2 전원(Vss)은 제 1 전원(Vdd)보다 낮은 전압, 예를 들면 그라운드 전압 또는 음(-)의 전압 등이 될 수 있다. 따라서, 유기발광소자(OLED)는 상기 화소구동회로(111)로부터 공급되는 구동전류에 반응하는 빛을 발광한다.

화소구동회로(111)는 1개의 스토리지 커패시터(Cst)와 6개의 트랜지스터(M1 내지 M6)로 구성된다. 여기서 제 1 트랜지스터(M1)는 구동 트랜지스터이며, 제 3 트랜지스터(M3)는 제 1 트랜지스터(M1)를 다이오드 연결(diode-connected)시켜 문턱전압을 보상하기 위한 문턱전압 보상 트랜지스터이고, 제 4 트랜지스터(M4)는 상기 스토리지 커패시터(Cst)를 초기화시키기 위한 초기화 트랜지스터이다. 그리고, 제 6 트랜지스터(M6)는 유기발광소자(OLED)의 발광을 제어하기 위한 발광제어 트랜지스터이고, 제 2 및 제 5 트랜지스터(M2, M5)는 스위칭 트랜지스터이다.

제 1 스위칭 트랜지스터(M2)는 n 번째 스캔라인(S_n)에 게이트전극이 연결되고, 데이터라인(Dmk)에 소스전극이 연결되며, n 번째 스캔라인(S_n)을 통하여 전달되는 스캔신호에 턴-온 되어 데이터라인 커패시터(C_{datamk})에서 전달되는 데이터전압을 전달한다.

구동 트랜지스터(M1)는 상기 제 1 스위칭 트랜지스터(M2)의 드레인전극에 소스전극이 연결되고, 노드(N)에 게이트전극이 연결된다. 상기 노드(N)는 문턱전압 보상 트랜지스터(M3)의 소스 또는 드레인전극과 스토리지 커패시터(Cst)의 제 1 단자가 공통 연결되며, 구동 트랜지스터(M1)의 게이트전압이 결정된다. 따라서, 구동 트랜지스터(M1)는 게이트전극에 인가된 전압에 반응하는 구동전류를 생성한다.

문턱전압 보상 트랜지스터(M3)는 상기 구동 트랜지스터(M1)의 게이트전극과 소스전극사이에 연결되며, n 번째 스캔라인(S_n)을 통하여 전달되는 스캔신호에 응답하여 구동 트랜지스터(M1)를 다이오드 연결시킨다. 따라서, 상기 스캔신호에 따라 구동 트랜지스터(M1)는 다이오드와 같은 상태가 되어 상기 노드(N)에 전압 $V_{data} - V_{th}[V]$ 이 인가되며, 이는 상기 구동 트랜지스터(M1)의 게이트 전압이 된다.

초기화 트랜지스터(M4)는 초기전원라인(Vinit)과 스토리지 커패시터(Cst)의 제 1 단자 사이에 연결되고, 게이트전극에 연결된 n-1 번째 스캔라인(S_{n-1})의 스캔신호에 응답하여 이전 프레임때 상기 스토리지 커패시터(Cst)에 충전된 전하를 상기 초기전원라인(Vinit)을 통하여 방전시킴으로써 상기 스토리지 커패시터(Cst)를 초기화시킨다.

제 2 스위칭 트랜지스터(M5)는 제 1 전원라인(Vdd)과 구동 트랜지스터(M1)의 소스전극 사이에 연결되고, 게이트전극에 연결된 n 번째 발광제어라인(En)을 통하여 전달되는 발광제어신호에 턴-온 되어 제 1 전원(Vdd)을 상기 구동 트랜지스터(M1)의 소스전극에 인가한다.

발광제어 트랜지스터(M6)는 구동 트랜지스터(M1)와 유기발광소자(OLED) 사이에 연결되고, 게이트전극에 연결된 상기 n 번째 발광제어라인(En)을 통하여 전달되는 발광제어신호에 응답하여 상기 구동 트랜지스터(M1)에서 생성되는 상기 구동전류를 상기 유기발광소자(OLED)로 전달한다.

스토리지 커패시터(Cst)는 제 1 전원라인(Vdd)과 구동 트랜지스터(M1)의 게이트전극 사이에 연결되며, 제 1 전원(Vdd)과 상기 구동 트랜지스터(M1)의 게이트전극에 인가되는 전압 $V_{data} - V_{th}[V]$ 의 전압차에 해당하는 전하를 1 프레임당 안 유지한다.

도 4에서는 제 1 내지 제 6 트랜지스터(M1 내지 M6)가 P타입 MOSFET으로 도시되었지만, 본 발명은 이에 한정되는 것은 아니며, 본 발명이 속하는 기술분야의 당업자는 N타입 MOSFET으로 설계할 수 있음은 자명하다.

도 5는 도 2에 도시된 대표적인 디멀티플렉서와 화소들의 연결 구조를 상세히 나타내는 회로도이며, 도 6은 도 5에 도시된 화소회로의 동작을 설명하기 위한 타이밍도이다. 여기서, 제 1 출력라인(D1)에 연결된 하나의 디멀티플렉서(151)에 적색(R), 녹색(G) 및 청색(B)의 화소들이 접속된다고 가정하기로 한다.(즉, k=3)

도 6 및 도 7을 참조하면, 먼저, 1수평기간(1H) 중 n-1 번째 스캔기간 동안 제 n-1 스캔라인(Sn-1)으로 로우 레벨의 스캔신호가 공급된다. 제 n-1 스캔라인(Sn-1)으로 스캔신호가 공급되면 레드(R), 그린(G), 블루(B) 화소들 각각에 포함된 초기화 트랜지스터(M4)가 턴-온(turn-on) 된다. 초기화 트랜지스터(M4)가 턴-온 되면 스토리지 커패시터(Cst)의 일단자 및 구동 트랜지스터(M1)의 게이트단자가 초기화전원라인(Vinit)에 접속된다. 즉, 제 n-1 스캔라인(Sn-1)으로 스캔신호가 공급되면 R, G, B 화소들 각각의 스토리지 커패시터(Cst)에 저장되어 있던 이전 프레임의 데이터전압 즉, 구동 트랜지스터(M1)의 게이트전압은 초기화 된다. 제 n-1 스캔라인(Sn-1)으로 스캔신호가 공급될 때 제 n 스캔라인(Sn)과 접속된 제 1 스위칭 트랜지스터(M2)는 턴-오프 상태를 유지한다.

이후, 데이터기입기간 동안 순차적으로 공급되는 제 1 제어신호 내지 제 3 제어신호(CS1, CS2, CS3)에 의하여 제 1 스위칭 소자(T1), 제 2 스위칭 소자(T2) 및 제 3 스위칭 소자(T3)가 순차적으로 턴-온 된다. 먼저, 제 1 제어신호(CS1)에 의하여 제 1 스위칭 소자(T1)가 턴-온 되면, 제 1 출력라인(D1)으로 공급되는 R 데이터신호가 제 1 데이터라인(D11)으로 공급된다. 이때, 제 1 데이터라인 커패시터(C_{data11})에는 제 1 데이터라인(D11)으로 공급되는 R 데이터신호에 대응되는 전압이 충전된다. 다음으로, 제 2 제어신호(CS2)에 의하여 제 2 스위칭 소자(T2)가 턴-온 되면, 제 1 출력라인(D1)으로 공급되는 G 데이터신호가 제 2 데이터라인(D12)으로 공급된다. 이때, 제 2 데이터라인 커패시터(C_{data12})에는 제 2 데이터라인(D12)으로 공급되는 G 데이터신호에 대응되는 전압이 충전된다. 마지막으로, 제 3 제어신호(CS3)에 의하여 제 3 스위칭 소자(T3)가 턴-온 되면, 제 1 출력라인(D1)으로 공급되는 B 데이터신호가 제 3 데이터라인(D13)으로 공급된다. 이때, 제 3 데이터라인 커패시터(C_{data13})에는 제 3 데이터라인(D13)으로 공급되는 B 데이터신호에 대응되는 전압이 충전된다. 한편, 데이터기입기간 동안 제 n 스캔라인(Sn)으로 스캔신호가 공급되지 않기 때문에 각각의 R, G, B 화소에는 R, G, B 데이터신호가 공급되지 않는다.

다음으로, 데이터기입기간에 이은 n 번째 스캔기간 동안 제 n 스캔라인(Sn)으로 로우 레벨의 스캔신호가 공급된다. 제 n 스캔라인(Sn)으로 스캔신호가 공급되면 R, G, B 화소들 각각에 포함된 제 1 스위칭 트랜지스터(M2) 및 문턱전압 보상 트랜지스터(M3)가 턴-온 된다. R, G, B 화소들 각각의 제 1 스위칭 트랜지스터(M2)는 데이터기입기간에서 제 1 내지 제 3 데이터라인 커패시터(C_{data11} 내지 C_{data13})에 저장된 각 R, G, B 데이터신호에 상응되는 전압(Vdata)을 각 R, G, B 화소들로 전달한다. 문턱전압 보상 트랜지스터(M3)는 구동 트랜지스터(M1)를 다이오드 연결시키는 역할을 한다. 즉, 다이오드 연결된 구동 트랜지스터(M1)를 통하여 제 1 내지 제 3 데이터라인 커패시터(C_{data11} 내지 C_{data13})에 저장된 R, G, B 데이터신호에 상응되는 전압(Vdata)과 구동 트랜지스터(M1)의 문턱전압(Vth)의 차에 해당하는 전압(Vdata-Vth_{M1}[V])이 구동 트랜지스터(M1)의 게이트단자와 스토리지 커패시터(Cst)의 일단에 인가된다.

이후, 발광제어라인(En)으로 로우 레벨의 발광제어신호가 인가되면, 제 2 스위칭 트랜지스터(M5) 및 발광제어 트랜지스터(M6)가 턴-온 되어 구동 트랜지스터(M1)의 소스단자에 인가되는 제 1 전원(Vdd)과 게이트단자에 인가된 상기 전압(Vdata-Vth_{M1})에 상응하는 구동전류가 상기 발광제어 트랜지스터(M6)를 통하여 유기발광소자(OLED)로 공급되어 소정 휘도의 빛이 발생된다.

이때, 유기발광소자(OLED)로 흐르는 구동전류는 하기의 [수학식 1]과 같다.

$$I_{OLED} = K(V_{gs_{M1}} - V_{th_{M1}})^2 = K(V_{dd} - V_{data} + V_{th_{M1}} - V_{th_{M1}})^2 = K(V_{dd} - V_{data})^2$$

여기서, I_{OLED}는 유기발광소자(OLED)에 흐르는 전류, V_{gs_{M1}}는 제 1 트랜지스터(M1)의 소스와 게이트사이의 전압, V_{th_{M1}}은 제 1 트랜지스터(M1)의 문턱전압, V_{data}는 데이터전압, V_{dd}는 제 1 전원, K는 상수값을 각각 나타낸다.

상기의 [수학식 1] 에서 알 수 있는 바와 같이, 구동 트랜지스터(M1)의 문턱전압($V_{th_{M1}}$)에 관계없이 제 1 전원(Vdd)과 각 데이터라인(D11, D12, D13)의 데이터라인 커패시터($C_{data11}, C_{data12}, C_{data13}$)에 저장된 전압레벨의 R, G, B 데이터전압(Vdata)에 상응하는 구동전류가 유기발광소자(OLED)를 통해 흐른다. 즉, 본 발명의 실시 예에 따른 화소는 구동 트랜지스터(M1)의 문턱전압($V_{th_{M1}}$)의 편차를 문턱전압 보상 트랜지스터(M3)를 통해 검출하여 자체적으로 보상하여 주기 때문에 문턱전압 편차에 따른 휘도 불균일을 개선 할 수 있다.

따라서, 본 발명에 따른 유기 전계발광 표시장치에서는 디멀티플렉서(151)를 이용하여 하나의 제 1 출력라인(D1)으로 순차적으로 공급되는 R, G, B 데이터신호를 k개의 데이터라인(D11-D1k)으로 공급할 수 있는 장점이 있다. 또한, 데이터기입기간 동안 데이터라인 커패시터($C_{data11}-C_{data1k}$)에 데이터신호에 대응하는 전압을 저장하고, 스캔기간 동안 데이터라인 커패시터($C_{data11}-C_{data1k}$)에 저장된 전압을 화소로 공급한다. 이와 같이 데이터라인 커패시터($C_{data11}-C_{data1k}$)들에 저장된 전압을 동시에 각각의 화소들에 공급하기 때문에, 즉 동일한 시점에 각각의 데이터신호를 공급할 수 있기 때문에 균일한 휘도의 화상을 표시할 수 있다.

그러나, 상기와 같이 데이터기입기간과 스캔기간을 분리함으로써, 데이터기입기간동안 분리되어 있던 데이터라인 커패시터(C_{data1k})와 화소내의 스토리지 커패시터(Cst)가 스캔기간 동안 연결되면서 데이터라인 커패시터(C_{data1k})에 저장되어 있던 데이터전압(Vdata)에 해당하는 전하가 각 커패시터(C_{data1k} 및 Cst)에 재분배(charge sharing)되어 실질적으로 제 1 트랜지스터(M1)의 게이트전압($V_{g_{M1}}$)은 하기 [수학식 2]와 같이 된다.

$$V_{g_{M1}} = \frac{C_{data}V_{data} + C_{st}(V_{init} - V_{dd})}{(C_{data} + C_{st})}$$

여기서, $V_{g_{M1}}$ 는 구동 트랜지스터(M1)의 게이트전압, Vdata는 데이터전압, Vinit는 초기화전원, Vdd는 제 1 전원, Cdata는 데이터라인 커패시터 및 Cst는 각 화소내의 스토리지 커패시터를 나타낸다.

상기 [수학식 2]와 같이 구동 트랜지스터(M1)의 게이트전압($V_{g_{M1}}$)은 데이터라인 커패시터(Cdata)와 화소 내 스토리지 커패시터(Cst)의 커패시턴스에 따라 인가 데이터전압(Vdata)과 게이트전압($V_{g_{M1}}$)간의 편차가 발생하는 것을 알 수 있다. 이와 같은 인가 데이터전압(Vdata)과 게이트전압($V_{g_{M1}}$)간의 편차는 휘도의 불균일을 초래할 수 있다.

도 7은 본 발명의 실시예에 따른 유기 전계발광 표시장치의 데이터라인 커패시터와 화소 내 스토리지 커패시터의 커패시턴스 변화에 따른 구동 트랜지스터의 게이트전압 변화를 나타낸 시뮬레이션도이다. 도 7에서는 상기 도 5의 화소에 인가 되는 데이터전압(Vdata)을 3[V]로 가정하여 측정한 값이다.

도 7을 참조하면, 상기 시뮬레이션은 화소 내 스토리지 커패시터(Cst)의 커패시턴스를 각각 0.2[PF], 0.4[PF], 0.6[PF], 0.8[PF] 및 1[PF]으로 설정하고, 데이터라인 커패시터(Cdata)의 커패시턴스를 5[PF]부터 50[PF] 까지 변화시키면서 구동 트랜지스터(M1)의 게이트전압($V_{g_{M1}}$)을 측정한 것이다.

데이터전압(Vdata)으로 3[V]를 데이터라인에 인가하였을 때, 데이터라인 커패시터(Cdata)의 커패시턴스가 5[PF]일 때 구동 트랜지스터(M1)의 게이트전압($V_{g_{M1}}$)은 화소 내 스토리지 커패시터(Cst)의 커패시턴스가 1[PF]일때는 2[V], 0.6[PF]일때는 2.35[V], 0.2[PF]일때는 2.75[V]로 나타났다.

그러나, 데이터라인 커패시터(Cdata)의 커패시턴스를 20[PF]로 증가시켰을 때, 구동 트랜지스터(M1)의 게이트전압($V_{g_{M1}}$)은 화소 내 스토리지 커패시터(Cst)의 커패시턴스가 1[PF]일때는 2.7[V], 0.6[PF]일때는 2.85[V], 0.2[PF]일때는 2.94[V]로 증가하는 것을 알 수 있다.

또한, 데이터라인 커패시터(Cdata)의 커패시턴스를 50[PF]로 증가시켰을 때, 구동 트랜지스터(M1)의 게이트전압($V_{g_{M1}}$)은 화소 내 스토리지 커패시터(Cst)의 커패시턴스가 1[PF]일때는 2.89[V], 0.6[PF]일때는 2.93[V], 0.2[PF]일때는 2.98[V]로 증가하는 것을 알 수 있다. 따라서, 상기 도 7의 시뮬레이션 결과를 근거로 하여 데이터라인 커패시터(Cdata)의 커패시턴스가 화소 내 스토리지 커패시터(Cst)보다 매우 클 때 구동 트랜지스터(M1)의 게이트전압($V_{g_{M1}}$)이 인가 데이

터전압(Vdata)과 동일 또는 유사하게 된다. 즉, 상기 도 5와 같은 디멀티플렉스를 이용하여 도 6과 같은 타이밍도에 따라 데이터전압(Vdata)을 인가하는 화소에서는 데이터라인 커패시터(Cdata)의 커패시턴스를 실질적으로 20[PF] 내지 50 [PF] 확보하는 것이 바람직하다. 이때, 인가 데이터전압(Vdata)과 구동 트랜지스터(M1)의 게이트전압(V_{gM1})이 실질적으로 같게 되어 균일한 휘도를 얻을 수 있다.

이하, 상기와 같이 데이터라인 커패시터(Cdata)를 실질적으로 20[PF] 내지 50[PF] 확보하기 위한 공정 실시 예들을 화소공정의 단면도를 참조하여 살펴보기로 한다.

도 8은 본 발명의 실시예에 따른 데이터라인 커패시터의 커패시턴스를 증가시키기 위한 제 1 실시예의 화소 단면도이다. 도 8에서는 화소영역을 3영역으로 나누어 설명한다. 즉, 유기발광소자(OLED)로 구동전류를 공급하는 박막 트랜지스터 영역(a), 데이터기입기간동안 데이터전압을 전달받아 일시 저장하는 데이터라인 커패시터(Cdata) 영역(b) 및 n 번째 스캔기간에 상기 데이터전압을 일정시간동안 저장하는 스토리지 커패시터(Cst) 영역(c)으로 나눈다.

도 8을 참조하면, 제 1 실시 예에 따른 화소영역을 형성하기 위한 기판(200)을 준비한다. 상기 기판(200)은 투명한 기판 또는 불투명한 기판일 수 있다. 또한, 상기 기판(200)은 유리, 플라스틱, 석영, 실리콘 또는 금속 기판일 수 있다.

상기 기판(200) 상에 버퍼층(205)을 형성할 수 있다. 상기 버퍼층(205)은 실리콘 산화막(SiO₂), 실리콘 질화막(SiNx), 실리콘 산질화막(SiO₂Nx) 또는 이들의 다중층일 수 있다.

상기 버퍼층(205) 상에 제 1 내지 제 3 반도체층(207, 208, 209) 패턴을 형성한다. 즉, 스토리지 커패시터 영역(c)에는 제 1 반도체층(207) 패턴을 형성하고, 박막 트랜지스터 영역(a)에는 제 2 반도체층(208) 패턴을 형성하며, 데이터라인 커패시터 영역(b)에는 제 3 반도체층(209) 패턴을 형성한다. 상기 제 1 내지 제 3 반도체층들(207, 208, 209)은 비정질 실리콘막(a-Si) 또는 비정질 실리콘막을 결정화한 다결정 실리콘막(poly-Si)일 수 있다. 바람직하게는 상기 제 1 내지 제 3 반도체층들(207, 208, 209)은 높은 전하 이동도를 갖는 다결정 실리콘막이다.

상기 제 1 내지 제 3 반도체층들(207, 208, 209) 상의 기판 전면에서 게이트 절연막(210)을 형성한다. 상기 게이트 절연막(210)은 실리콘 산화막(SiO₂), 실리콘 질화막(SiNx), 실리콘 산질화막(SiO₂Nx) 또는 이들의 다중층일 수 있다.

상기 게이트 절연막(210) 상의 스토리지 커패시터(Cst) 영역(c) 상에 상기 제 1 반도체층(207)과 중첩하는 스토리지 커패시터(Cst)의 제 1 전극(212)을 형성하고, 박막 트랜지스터 영역(a) 상에 상기 제 2 반도체층(208)과 중첩하는 게이트 전극(214)을 형성한다. 이때, 상기 제 1 전극(212)과 게이트 전극(214)을 형성함과 동시에 스캔라인들(도 4의 Sn-1, Sn, En)을 형성할 수 있다.

이어서, 상기 게이트 전극(214)을 마스크로 하여 박막 트랜지스터 영역(a)의 상기 제 2 반도체층(208)에 도전성 불순물(n+ 이온 또는 p+ 이온)을 주입하여 상기 제 2 반도체층(208) 상의 게이트 전극(214)과 중첩되지 않는 영역에 소오스/드레인 영역(208a/208b)을 형성한다. 이때, 상기 소오스/드레인 영역(208a/208b) 사이에 채널영역(208c)이 정의된다.

상기 제 1 전극(212) 및 게이트 전극(214) 상의 기판 전면에서 층간 절연막(220)을 형성한다. 상기 층간 절연막(220) 및 상기 게이트절연막(210) 내에 제 1 내지 제 3 반도체층(207, 208, 209)을 노출시키는 콘택홀들을 형성한다. 상기 콘택홀들이 형성된 기판 상에 도전막을 적층한 후, 이를 패터닝하여 박막 트랜지스터 영역(a)에 소오스/드레인 전극(221/223)을 형성하고, 데이터라인 커패시터 영역(b)에 데이터라인(225)과 제 3 반도체층(209)에 기준전압을 인가할 금속(227)을 형성한다. 또한, 스토리지 커패시터 영역(c)에는 제 1 반도체층(207)과 콘택되는 제 2 전극(229)을 형성한다.

여기서, 박막 트랜지스터 영역(a)의 상기 반도체층(208), 게이트 절연막(210), 게이트 전극(214), 소오스 전극(221) 및 드레인 전극(223)은 박막 트랜지스터를 형성한다. 상기 박막 트랜지스터는 일반적으로 구동전류를 생성하는 구동 트랜지스터(도 4의 M1) 또는 상기 도 4와 같이 유기발광소자(OLED)로 생성된 구동전류를 공급하기 위한 발광 제어 트랜지스터(도 4의 M6)일 수 있다.

그리고, 상기 스토리지 커패시터 영역(c)의 상기 제 1 반도체층(207), 게이트 절연막(210), 제 1 전극(212), 층간 절연막(220) 및 제 1 반도체층(207)과 콘택되는 제 2 전극(229)의 적층구조는 스토리지 커패시터(Cst)가 형성된다.

또한, 상기 데이터라인 커패시터 영역(b)의 상기 제 3 반도체층(209), 게이트 절연막(210), 층간 절연막(220) 및 데이터라인(227)의 적층구조는 제 1 데이터라인 커패시터(Cdata1)가 형성된다.

상기 도전막으로 패터닝된 전극들(221, 223, 225, 227, 229)을 포함한 기관 전면 상에 패시베이션막(230)을 형성한다. 상기 패시베이션막(230)은 실리콘 산화막(SiO₂), 실리콘 질화막(SiN_x) 또는 이들의 다중층으로 형성할 수 있다. 바람직하게는 상기 패시베이션막(230)은 기체 및 수분을 효과적으로 차단하여 하부의 박막트랜지스터를 보호할 수 있고, 수소를 풍부하게 함유하여 상기 다결정 실리콘막의 결정립 경계(grain boundary)에 존재하는 불완전 결합을 보호할 수 있는 실리콘 질화막(SiN_x)이다.

상기 패시베이션막(230)내에 상기 박막 트랜지스터의 드레인 전극(223)을 노출시키는 제 1 비아홀(232)을 형성한다.

상기 패시베이션막(230) 상에 하부 단차를 완화할 수 있는 유기막으로 이루어진 평탄화막(235)을 형성한다. 상기 평탄화막(235)은 BCB(benzocyclobutene)막, 폴리이미드막 또는 폴리아크릴막일 수 있다.

상기 평탄화막(235)상의 박막 트랜지스터 영역(a) 내에 박막 트랜지스터의 드레인 전극(223)을 노출시키는 제 2 비아홀(237)과, 상기 데이터라인 커패시터 영역(b)의 데이터라인(225)상의 패시베이션막(230)을 노출시키는 제 3 비아홀(239)을 형성한다.

상기 제 2 비아홀(237)이 형성된 상기 평탄화막(235) 상의 스토리지 커패시터 영역(c)과 박막 트랜지스터 영역(a)에 화소 전극(240)을 형성한다. 상기 화소전극(240)은 상기 박막 트랜지스터 영역(a)의 제 2 비아홀(237) 내에 노출된 드레인 전극(223)에 접촉된다. 한편, 도 8에 도시된 화소의 경우 전면발광이기 때문에 상기 화소전극(240)은 광반사 도전막을 사용하여 형성할 수 있다. 상기 광반사 도전막은 일함수가 높은 Ag, Al, Ni, Pt, Pd 또는 이들의 합금막이거나, 일함수가 낮은 Mg, Ca, Al, Ag, Ba 또는 이들의 합금막일 수 있다. 이와는 달리, 상기 화소전극(240)을 형성하기 전에 상기 화소전극(240) 하부에 반사막 패턴(242)을 더 형성하고, 상기 화소전극(240)은 광투과 도전막을 사용하여 형성할 수 있다. 상기 광투과 도전막은 ITO(Indium Tin Oxide)막 또는 IZO(Indium Zinc Oxide)막일 수 있다. 상기 반사막 패턴(242)은 60% 이상의 반사율을 갖는 것이 바람직하며, 나아가, 상기 반사막 패턴(242)은 알루미늄(Al), 알루미늄 합금, 은(Ag), 은 합금 또는 이들의 합금막일 수 있다. 이러한 반사막 패턴(242)은 상기 제 2 비아홀(237)로부터 소정 간격 이격되도록 형성할 수 있다.

상기 화소전극(240)상의 기관 전면에 화소정의막(Pixel Defining Layer: PDL, 245)을 형성한다. 상기 화소정의막(245)은 BCB(benzocyclobutene), 아크릴계 포토레지스트, 페놀계 포토레지스트 또는 이미드계 포토레지스트를 사용하여 형성할 수 있다.

상기 화소정의막(245) 내에 상기 화소전극(240)의 적어도 일부영역(발광영역)을 노출시키는 개구부(247) 및 데이터라인 커패시터 영역(b)의 데이터라인 상의 패시베이션막(230)을 노출시키는 제 4 비어홀(249)을 형성한다.

상기 개구부(247)내에 노출된 화소전극(240) 상에 유기발광층(250)이 형성된다. 상기 유기발광층(250)은 진공증착법, 잉크젯 프린트법 또는 레이저 열전사법을 사용하여 형성될 수 있다. 나아가, 상기 유기발광층(250)의 상부 또는 하부에 정공주입층, 정공수송층, 정공억제층, 전자수송층 또는 전자주입층이 형성될 수 있다. 이어서, 상기 유기발광층(250)과 상기 화소정의막(245) 상의 기관전면에 대향전극(255)이 형성된다. 상기 대향전극(255)은 광투과 도전막 또는 금속반사막으로 형성하는 것이 바람직하다. 상기 광투과 도전막은 ITO막 또는 IZO막이거나, 빛을 투과시킬 수 있을 정도의 얇은 두께를 갖는 Mg, Ca, Al, Ag, Ba 또는 이들의 합금막일 수 있다.

상기 스토리지 커패시터 영역(c)과 상기 박막 트랜지스터 영역(a) 상부에 상기 화소전극(240), 상기 유기발광층(250) 및 상기 대향전극(255)으로 구성되는 유기발광소자(OLED)가 형성된다. 또한, 상기 데이터라인 영역(b)의 데이터라인(225), 상기 패시베이션막(230) 및 상기 대향전극(255)의 적층구조는 제 2 데이터라인 커패시터(Cdata2)를 형성한다.

상기 유기발광소자(OLED)의 구동시에 정공들과 전자들 또는 전자들과 정공들은 상기 화소전극(240) 및 상기 대향전극(255)으로부터 상기 유기발광층(250)으로 각각 주입되고, 상기 유기발광층(250) 내로 주입된 정공과 전자들은 유기발광층(250)에서 결합하여 엑시톤(exciton)을 생성한다. 이러한 엑시톤이 여기상태에서 기저상태로 전이하면서 빛을 방출하게 된다. 상기 유기발광층(250)으로부터 방출된 빛은 상기 화소전극(광반사 도전막으로 형성된 경우: 240) 또는 상기 화소전극(광투과 도전막으로 형성된 경우: 240) 하부의 반사막 패턴(242)에서 반사되어 상기 광투과 도전막인 대향전극(255)을 투과하여 외부로 방출된다.

상기와 같이 본 발명의 제 1 실시예에 따른 화소는 데이터라인(225) 하부에 제 3 반도체층(209)을 형성하여 제 1 데이터라인 커패시터(Cdata1)를 형성한다. 또한, 상기 데이터라인 커패시터 영역(b)에 형성된 평탄화막(235) 및 화소정의막(245)을 제 3 및/또는 제 4 비아홀(239 및/또는 249)로 식각함으로써, 데이터라인(225) 상부에 패시베이션막(230)만을 유전층으로 하여 상기 대향전극과 제 2 데이터라인 커패시터(Cdata2)를 형성한다.

따라서, 데이터라인 커패시터(Cdata)는 데이터라인(225)을 중심으로 제 1 데이터라인 커패시터(Cdata1)와 제 2 데이터라인 커패시터(Cdata2)가 병렬로 연결된 구조이기 때문에 제 1 및 제 2 데이터라인 커패시터의 합이 된다. 즉, $Cdata = Cdata1 + Cdata2$ 가 된다. 상기와 같은 본 발명의 제 1 실시예에 따른 화소구조를 적용하는 경우 종래의 화소구조와 대비하여 데이터라인 커패시터(Cdata)가 약 16배 정도 (20[PF] 내지 50[PF]) 증가함을 알 수 있다. 따라서, 본 발명의 제 1 실시예에 따라 디멀티플렉스를 이용한 화소구동방법을 적용하는 경우 데이터 인가전압(Vdata)과 구동 트랜지스터의 게이트 전압(Vg)이 실질적으로 같아지게 되기 때문에 정확한 계조표현 및 균일한 휘도 구현이 가능하게 된다.

데이터라인 커패시터(Cdata)의 커패시턴스의 크기는 패시베이션막, 평탄화막 또는 화소정의막 등의 절연막을 식각하는 비아홀 및 반도체층과 금속이 콘택되는 콘택홀의 사이즈를 조절함으로써 조절 가능하다.

도 9는 본 발명에 따른 데이터라인 커패시터의 커패시턴스를 증가시키기 위한 제 2 실시예의 화소 단면도이다. 도 9에서는 도 8과 같이 화소영역을 3영역 즉, 박막 트랜지스터 영역(a), 데이터라인 커패시터(Cdata) 영역(b) 및 스토리지 커패시터(Cst) 영역(c)으로 나누어 설명한다. 다만, 도 8과 동일한 공정부분은 간략히 설명하고, 도 8과 다른 공정부분을 자세히 설명한다.

도 9를 참조하면, 제 2 실시예에 따른 화소영역을 형성하기 위한 기판(200)을 준비한다. 상기 기판(200) 상에 버퍼층(205)을 형성할 수 있다.

상기 버퍼층(205) 상에 제 1 내지 제 3 반도체층(207, 208, 209) 패턴을 형성한다. 즉, 스토리지 커패시터 영역(c)에는 제 1 반도체층(207) 패턴을 형성하고, 박막 트랜지스터 영역(a)에는 제 2 반도체층(208) 패턴을 형성하며, 데이터라인 커패시터 영역(b)에는 제 3 반도체층(209) 패턴을 형성한다.

상기 제 1 내지 제 3 반도체층들(207, 208, 209) 상의 기판 전면에서 게이트 절연막(210)을 형성한다. 상기 게이트 절연막(210)은 실리콘 산화막(SiO₂), 실리콘 질화막(SiNx), 실리콘 산질화막(SiO₂Nx) 또는 이들의 다중층일 수 있다.

상기 게이트 절연막(210) 상의 스토리지 커패시터(Cst) 영역(c)에 상기 제 1 반도체층(207)과 중첩하는 스토리지 커패시터(Cst)의 제 1 전극(212)을 형성하고, 박막 트랜지스터 영역(a)에 상기 제 2 반도체층(208)과 중첩하는 게이트 전극(214)을 형성한다. 이때, 상기 제 1 전극(212)과 게이트 전극(214)을 형성함과 동시에 스캔라인들(도 4의 Sn-1, Sn, En)을 형성할 수 있다.

이어서, 상기 게이트 전극(214)을 마스크로 하여 박막 트랜지스터 영역(a)의 상기 제 2 반도체층(208)에 도전성 불순물(n+ 이온 또는 p+ 이온)을 주입하여 상기 제 2 반도체층(208) 상의 게이트 전극(214)과 중첩되지 않는 영역에 소오스/드레인 영역(208a/208b)을 형성한다. 이때, 상기 소오스/드레인 영역(208a/208b) 사이에 채널영역(208c)이 정의된다.

상기 제 1 전극(212) 및 게이트 전극(214) 상의 기판 전면에서 층간 절연막(220)을 형성한다. 상기 층간 절연막(220) 및 상기 게이트절연막(210) 내에 제 1 내지 제 3 반도체층(207, 208, 209)을 노출시키는 콘택홀들을 형성한다. 상기 콘택홀들이 형성된 기판 상에 도전막을 적층한 후, 이를 패터닝하여 박막 트랜지스터 영역(a)에 소오스/드레인 전극(221/223)을 형성하고, 데이터라인 커패시터 영역(b)에 데이터라인(225)과 제 3 반도체층(209)에 기준전압을 인가할 금속(227)을 형성한다. 또한, 스토리지 커패시터 영역(c)에는 제 1 반도체층(207)과 콘택되는 제 2 전극(229)을 형성한다.

여기서, 박막 트랜지스터 영역(a)의 상기 반도체층(208), 게이트 절연막(210), 게이트 전극(214), 소오스 전극(221) 및 드레인 전극(223)은 박막 트랜지스터를 형성한다. 상기 박막 트랜지스터는 일반적으로 구동전류를 생성하는 구동 트랜지스터(도 4의 M1) 또는 상기 도 4와 같이 유기발광소자(OLED)로 생성된 구동전류를 공급하기 위한 발광 제어 트랜지스터(도 4의 M6)일 수 있다.

그리고, 상기 스토리지 커패시터 영역(c)의 제 1 반도체층(207), 게이트 절연막(210), 제 1 전극(212), 층간 절연막(220) 및 제 1 반도체층(207)과 콘택되는 제 2 전극(229)의 적층구조는 스토리지 커패시터(Cst)를 형성한다.

또한, 상기 데이터라인 커패시터 영역(b)의 제 3 반도체층(229), 게이트절연막(210), 층간 절연막(220) 및 데이터라인(227)의 적층구조는 제 1 데이터라인 커패시터(Cdata1)를 형성한다.

상기 도전막으로 패터닝된 전극들(221, 223, 225, 227, 229)을 포함한 기판 전면 상에 패시베이션막(230)을 형성한다. 상기 패시베이션막(230)은 실리콘 산화막(SiO₂), 실리콘 질화막(SiNx) 또는 이들의 다중층으로 형성할 수 있다. 또한, 상기 패시베이션막(230)은 반드시 있어야 하는 것은 아니며, 필요에 따라서 생략할 수도 있다.

상기 패시베이션막(230)내에 상기 박막 트랜지스터의 드레인 전극(223)을 노출시키는 제 1 비아홀(232)과 데이터라인(225)을 노출시키는 제 2 비아홀(234)을 형성한다.

상기 패시베이션막(230) 상에 하부 단차를 완화할 수 있는 유기막으로 이루어진 평탄화막(235)을 형성한다.

상기 평탄화막(235)상의 박막 트랜지스터 영역(a) 내에 제 1 비아홀(232)이 형성된 영역의 드레인 전극(223)을 노출시키는 제 3 비아홀(237)을 형성한다. 또한, 상기 데이터라인(225)상의 평탄화막(235)의 일부를 식각하는 제 4 비아홀(239)을 형성한다.

상기 제 3 비아홀(237)이 형성된 상기 평탄화막(235) 상의 스토리지 커패시터 영역(c)과 박막 트랜지스터 영역(a)에 화소 전극(240)을 형성한다. 상기 화소전극(240)은 상기 박막 트랜지스터 영역(a)의 제 3 비아홀(237) 내에 노출된 드레인 전극(223)에 접촉된다. 한편, 제 2 실시예에 따른 화소의 경우 전면발광이기 때문에 상기 화소전극(240)은 광반사 도전막을 사용하여 형성할 수 있다. 이와는 달리, 상기 화소전극(240)을 형성하기 전에 상기 화소전극(240) 하부에 반사막 패턴(242)을 더 형성하고, 상기 화소전극(240)은 광투과 도전막을 사용하여 형성할 수 있다. 이러한 반사막 패턴(242)은 상기 제 3 비아홀(237)로부터 소정 간격 이격되도록 형성할 수 있다.

상기 화소전극(240)상의 기판 전면에서 화소정의막(Pixel Defining Layer: PDL, 245)을 형성한다.

상기 화소정의막(245) 내에 상기 화소전극(240)의 적어도 일부영역(발광영역)을 노출시키는 개구부(247) 및 데이터라인(225) 상의 일부 식각된 평탄화막(235)을 노출시키는 제 5 비아홀(249)을 형성한다.

상기 개구부(247)내에 노출된 화소전극(240) 상에 유기발광층(250)이 형성된다. 이어서, 상기 유기발광층(250)과 상기 화소정의막(245) 상의 기판전면에 대향전극(255)이 형성된다. 상기 대향전극(255)은 광투과 도전막 또는 금속반사막으로 형성하는 것이 바람직하다.

상기 스토리지 커패시터 영역(c)과 상기 박막 트랜지스터 영역(a) 상부에 상기 화소전극(240), 상기 유기발광층(250) 및 상기 대향전극(255)으로 구성되는 유기발광소자(OLED)가 형성된다. 또한, 상기 데이터라인 영역(b)의 데이터라인(225), 상기 평탄화막(235) 및 상기 대향전극(255)의 적층구조는 제 2 데이터라인 커패시터(Cdata2)를 형성된다.

상기와 같이 본 발명의 제 2 실시예에 따른 화소는 데이터라인(225) 하부에 제 3 반도체층(209)을 형성하여 제 1 데이터라인 커패시터(Cdata1)를 형성한다. 또한, 상기 데이터라인 커패시터 영역(b)에 형성된 패시베이션막(230), 평탄화막(235) 및 화소정의막(245)을 제 2, 제 4, 제 5 비아홀(234, 239, 249)로 식각함으로써, 데이터라인(225) 상부에 평탄화막(235)만을 유전층으로 하여 상기 대향전극과 제 2 데이터라인 커패시터(Cdata2)를 형성한다.

따라서, 데이터라인 커패시터(Cdata)는 데이터라인(225)을 중심으로 제 1 데이터라인 커패시터(Cdata1)와 제 2 데이터라인 커패시터(Cdata2)가 병렬로 연결된 구조이기 때문에 제 1 및 제 2 데이터라인 커패시터의 합이 된다. 즉, $Cdata = Cdata1 + Cdata2$ 가 된다. 상기와 같은 본 발명의 제 1 실시예에 따른 화소구조를 적용하는 경우 종래의 화소구조와 대비하여 데이터라인 커패시터(Cdata)가 약 16배 정도 (20[PF] 내지 50[PF]) 증가함을 알 수 있다. 따라서, 본 발명의 제 1 실시예에 따라 디멀티플렉스를 이용한 화소구동방법을 적용하는 경우 데이터 인가전압(Vdata)과 구동 트랜지스터의 게이트전압(Vg)이 실질적으로 같아지게 되기 때문에 정확한 계조표현 및 균일한 휘도 구현이 가능하게 된다.

데이터라인 커패시터(Cdata)의 커패시턴스의 크기는 패시베이션막, 평탄화막 또는 화소정의막 등의 절연막을 식각하는 비아홀 및 반도체층과 금속이 콘택되는 콘택홀의 사이즈를 조절함으로써 조절 가능하다.

도 10은 본 발명에 따른 데이터라인 커패시터의 커패시턴스를 증가시키기 위한 제 3 실시예의 화소 단면도이다. 도 10에서는 도 8과 같이 화소영역을 3영역 즉, 박막 트랜지스터 영역(a), 데이터라인 커패시터(Cdata) 영역(b) 및 스토리지 커패시터(Cst) 영역(c)으로 나누어 설명한다. 다만, 도 8과 동일한 공정부분은 간략히 설명하고, 도 8과 다른 공정부분을 자세히 설명한다.

도 10을 참조하면, 제 3 실시예에 따른 화소영역을 형성하기 위한 기관(200)을 준비한다. 상기 기관(200) 상에 버퍼층(205)을 형성할 수 있다.

상기 버퍼층(205) 상에 제 1 내지 제 3 반도체층(207, 208, 209) 패턴을 형성한다. 즉, 스토리지 커패시터 영역(c)에는 제 1 반도체층(207) 패턴을 형성하고, 박막 트랜지스터 영역(a)에는 제 2 반도체층(208) 패턴을 형성하며, 데이터라인 커패시터 영역(b)에는 제 3 반도체층(209) 패턴을 형성한다.

상기 제 1 내지 제 3 반도체층들(207, 208, 209) 상의 기관 전면에서 게이트 절연막(210)을 형성한다. 상기 게이트 절연막(210)은 실리콘 산화막(SiO_2), 실리콘 질화막(SiNx), 실리콘 산질화막(SiO_2Nx) 또는 이들의 다중층일 수 있다.

상기 게이트 절연막(210) 상의 스토리지 커패시터(Cst) 영역(c)에 상기 제 1 반도체층(207)과 중첩하는 스토리지 커패시터(Cst)의 제 1 전극(212)을 형성하고, 박막 트랜지스터 영역(a)에 상기 제 2 반도체층(208)과 중첩하는 게이트 전극(214)을 형성한다. 이때, 상기 제 1 전극(212)과 게이트 전극(214)을 형성함과 동시에 스캔라인들(도 4의 Sn-1, Sn, En)을 형성할 수 있다.

이어서, 상기 게이트 전극(214)을 마스크로 하여 박막 트랜지스터 영역(a)의 상기 제 2 반도체층(208)에 도전성 불순물(n+ 이온 또는 p+ 이온)을 주입하여 상기 제 2 반도체층(208) 상의 게이트 전극(214)과 중첩되지 않는 영역에 소오스/드레인 영역(208a/208b)을 형성한다. 이때, 상기 소오스/드레인 영역(208a/208b) 사이에 채널영역(208c)이 정의된다.

상기 제 1 전극(212) 및 게이트 전극(214) 상의 기관 전면에서 층간 절연막(220)을 형성한다. 상기 층간 절연막(220) 및 상기 게이트 절연막(210) 내에 제 1 내지 제 3 반도체층(207, 208, 209)을 노출시키는 콘택홀들을 형성한다. 상기 콘택홀들이 형성된 기관 상에 도전막을 적층한 후, 이를 패터닝하여 박막 트랜지스터 영역(a)에 소오스/드레인 전극(221/223)을 형성하고, 데이터라인 커패시터 영역(b)에 데이터라인(225)과 제 3 반도체층(209)에 기준전압을 인가할 금속(227)을 형성한다. 또한, 스토리지 커패시터 영역(c)에는 제 1 반도체층(207)과 콘택되는 제 2 전극(229)을 형성한다.

여기서, 박막 트랜지스터 영역(a)의 상기 반도체층(208), 게이트 절연막(210), 게이트 전극(214), 소오스 전극(221) 및 드레인 전극(223)은 박막 트랜지스터를 형성한다. 상기 박막 트랜지스터는 일반적으로 구동전류를 생성하는 구동 트랜지스터(도 4의 M1) 또는 상기 도 4와 같이 유기발광소자(OLED)로 생성된 구동전류를 공급하기 위한 발광 제어 트랜지스터(도 4의 M6)일 수 있다.

그리고, 상기 스토리지 커패시터 영역(c)의 제 1 반도체층(207), 게이트 절연막(210), 제 1 전극(212), 층간 절연막(220) 및 제 1 반도체층(207)과 콘택되는 제 2 전극(229)의 적층구조는 스토리지 커패시터(Cst)를 형성한다.

또한, 상기 데이터라인 커패시터 영역(b)의 제 3 반도체층(229), 게이트 절연막(210), 층간 절연막(220) 및 데이터라인(227)의 적층구조는 제 1 데이터라인 커패시터(Cdata1)를 형성한다.

상기 도전막으로 패터닝된 전극들(221, 223, 225, 227, 229)을 포함한 기관 전면 상에 패시베이션막(230)을 형성한다. 상기 패시베이션막(230)은 실리콘 산화막(SiO_2), 실리콘 질화막(SiNx) 또는 이들의 다중층으로 형성할 수 있다. 또한, 상기 패시베이션막(230)은 반드시 있어야 하는 것은 아니며, 필요에 따라서 생략할 수도 있다.

상기 패시베이션막(230) 내에 상기 박막 트랜지스터의 드레인 전극(223)을 노출시키는 제 1 비아홀(232)과 데이터라인(225)을 노출시키는 제 2 비아홀(234)을 형성한다.

상기 패시베이션막(230) 상에 하부 단차를 완화할 수 있는 유기막으로 이루어진 평탄화막(235)을 형성한다. 상기 평탄화막(235)은 BCB(benzocyclobutene)막, 폴리이미드막 또는 폴리아크릴막일 수 있다.

상기 평탄화막(235)상의 박막 트랜지스터 영역(a) 내에 제 1 비아홀(232)이 형성된 영역의 드레인 전극(223)을 노출시키는 제 3 비아홀(237)을 형성한다. 또한, 상기 데이터라인(225)을 노출시키는 제 4 비아홀(239)을 형성한다.

상기 제 3 비아홀(237)이 형성된 상기 평탄화막(235) 상의 스토리지 커패시터 영역(c)과 박막 트랜지스터 영역(a)에 화소 전극(240)을 형성한다. 상기 화소전극(240)은 상기 박막 트랜지스터 영역(a)의 제 3 비아홀(237) 내에 노출된 드레인 전극(223)에 접속된다. 한편, 제 3 실시예에 따른 화소의 경우 전면발광이기 때문에 상기 화소전극(240)은 광반사 도전막을 사용하여 형성할 수 있다. 이와는 달리, 상기 화소전극(240)을 형성하기 전에 상기 화소전극(240) 하부에 반사막 패턴(242)을 더 형성하고, 상기 화소전극(240)은 광투과 도전막을 사용하여 형성할 수 있다. 이러한 반사막 패턴(242)은 상기 제 3 비아홀(237)로부터 소정 간격 이격되도록 형성할 수 있다.

상기 화소전극(240)상의 기판 전면에서 화소정의막(Pixel Defining Layer: PDL, 245)을 형성한다.

상기 화소정의막(245) 내에 상기 화소전극(240)의 적어도 일부영역(발광영역)을 노출시키는 개구부(247) 및 데이터라인(225) 상의 화소정의막(245)을 일부 식각시키는 제 5 비아홀(249)을 형성한다.

상기 개구부(247)내에 노출된 화소전극(240) 상에 유기발광층(250)이 형성된다. 이어서, 상기 유기발광층(250)과 상기 화소정의막(245) 상의 기판전면에 대향전극(255)이 형성된다. 상기 대향전극(255)은 광투과 도전막 또는 금속반사막으로 형성하는 것이 바람직하다.

상기 스토리지 커패시터 영역(c)과 상기 박막 트랜지스터 영역(a) 상부에 상기 화소전극(240), 상기 유기발광층(250) 및 상기 대향전극(255)으로 구성되는 유기발광소자(OLED)가 형성된다. 또한, 상기 데이터라인 영역(b)의 데이터라인(225), 상기 평탄화막(235) 및 상기 대향전극(255)의 적층구조는 제 2 데이터라인 커패시터(Cdata2)를 형성한다.

상기와 같이 본 발명의 제 2 실시예에 따른 화소는 데이터라인(225) 하부에 제 3 반도체층(209)을 형성하여 제 1 데이터라인 커패시터(Cdata1)를 형성한다. 또한, 상기 데이터라인 커패시터 영역(b)에 형성된 패시베이션막(230), 평탄화막(235) 및 화소정의막(245)을 제 2, 제 4, 제 5 비아홀(234, 239, 249)로 식각함으로써, 데이터라인(225) 상부에 화소정의막(245)만을 유전층으로 하여 상기 대향전극과 제 2 데이터라인 커패시터(Cdata2)를 형성한다.

따라서, 데이터라인 커패시터(Cdata)는 데이터라인(225)을 중심으로 제 1 데이터라인 커패시터(Cdata1)와 제 2 데이터라인 커패시터(Cdata2)가 병렬로 연결된 구조이기 때문에 제 1 및 제 2 데이터라인 커패시터의 합이 된다. 즉, $Cdata = Cdata1 + Cdata2$ 가 된다. 상기와 같은 본 발명의 제 1 실시예에 따른 화소구조를 적용하는 경우 종래의 화소구조와 대비하여 데이터라인 커패시터(Cdata)가 약 16배 정도(20[PF] 내지 50[PF]) 증가함을 알 수 있다. 따라서, 본 발명의 제 1 실시예에 따라 디멀티플렉스를 이용한 화소구동방법을 적용하는 경우 데이터 인가전압(Vdata)과 구동 트랜지스터의 게이트전압(Vg)이 실질적으로 같아지게 되기 때문에 정확한 계조표현 및 균일한 휘도 구현이 가능하게 된다.

데이터라인 커패시터(Cdata)의 커패시턴스의 크기는 패시베이션막, 평탄화막 또는 화소정의막 등의 절연막을 식각하는 비아홀 및 반도체층과 금속이 콘택되는 콘택홀의 사이즈를 조절함으로써 조절 가능하다.

도 11은 본 발명에 따른 데이터라인 커패시터의 커패시턴스를 증가시키기 위한 제 4 실시예의 화소 단면도이다. 도 11에서는 도 8과 같이 화소영역을 3영역 즉, 박막 트랜지스터 영역(a), 데이터라인 커패시터(Cdata) 영역(b) 및 스토리지 커패시터(Cst) 영역(c)으로 나누어 설명한다. 다만, 도 8과 동일한 공정부분은 간략히 설명하고, 도 8과 다른 공정부분을 자세히 설명한다.

도 11을 참조하면, 제 3 실시예에 따른 화소영역을 형성하기 위한 기판(200)을 준비한다. 상기 기판(200) 상에 버퍼층(205)을 형성할 수 있다.

상기 버퍼층(205) 상에 제 1 내지 제 3 반도체층(207, 208, 209) 패턴을 형성한다. 즉, 스토리지 커패시터 영역(c)에는 제 1 반도체층(207) 패턴을 형성하고, 박막 트랜지스터 영역(a)에는 제 2 반도체층(208) 패턴을 형성하며, 데이터라인 커패시터 영역(b)에는 제 3 반도체층(209) 패턴을 형성한다.

상기 제 1 내지 제 3 반도체층들(207, 208, 209) 상의 기판 전면에서 게이트 절연막(210)을 형성한다. 상기 게이트 절연막(210)은 실리콘 산화막(SiO₂), 실리콘 질화막(SiNx), 실리콘 산질화막(SiO₂Nx) 또는 이들의 다중층일 수 있다.

상기 게이트 절연막(210) 상의 스토리지 커패시터(Cst) 영역(c)에 상기 제 1 반도체층(207)과 중첩하는 스토리지 커패시터(Cst)의 제 1 전극(212)을 형성하고, 박막 트랜지스터 영역(a)에 상기 제 2 반도체층(208)과 중첩하는 게이트 전극(214)을 형성한다. 이때, 상기 제 1 전극(212)과 게이트 전극(214)을 형성함과 동시에 스캔라인들(도 4의 Sn-1, Sn, En)을 형성할 수 있다.

이어서, 상기 게이트 전극(214)을 마스크로 하여 박막 트랜지스터 영역(a)의 상기 제 2 반도체층(208)에 도전성 불순물(n+ 이온 또는 p+ 이온)을 주입하여 상기 제 2 반도체층(208) 상의 게이트 전극(214)과 중첩되지 않는 영역에 소오스/드레인 영역(208a/208b)을 형성한다. 이때, 상기 소오스/드레인 영역(208a/208b) 사이에 채널영역(208c)이 정의된다.

상기 제 1 전극(212) 및 게이트 전극(214) 상의 기판 전면에 층간 절연막(220)을 형성한다. 상기 층간 절연막(220) 및 상기 게이트절연막(210) 내에 제 1 내지 제 3 반도체층(207, 208, 209)을 노출시키는 콘택홀들을 형성한다. 상기 콘택홀들이 형성된 기판 상에 도전막을 적층한 후, 이를 패터닝하여 박막 트랜지스터 영역(a)에 소오스/드레인 전극(221/223)을 형성하고, 데이터라인 커패시터 영역(b)에 데이터라인(225)과 제 3 반도체층(209)에 기준전압을 인가할 금속(227)을 형성한다. 또한, 스토리지 커패시터 영역(c)에는 제 1 반도체층(207)과 콘택되는 제 2 전극(229)을 형성한다.

여기서, 박막 트랜지스터 영역(a)의 상기 반도체층(208), 게이트 절연막(210), 게이트 전극(214), 소오스 전극(221) 및 드레인 전극(223)은 박막 트랜지스터를 형성한다. 상기 박막 트랜지스터는 일반적으로 구동전류를 생성하는 구동 트랜지스터(도 4의 M1) 또는 상기 도 4와 같이 유기발광소자(OLED)로 생성된 구동전류를 공급하기 위한 발광 제어 트랜지스터(도 4의 M6)일 수 있다.

그리고, 상기 스토리지 커패시터 영역(c)의 제 1 반도체층(207), 게이트 절연막(210), 제 1 전극(212), 층간 절연막(220) 및 제 1 반도체층(207)과 콘택되는 제 2 전극(229)의 적층구조는 스토리지 커패시터(Cst)를 형성한다.

또한, 상기 데이터라인 커패시터 영역(b)의 제 3 반도체층(229), 게이트절연막(210), 층간 절연막(220) 및 데이터라인(227)의 적층구조는 제 1 데이터라인 커패시터(Cdata1)를 형성한다.

상기 도전막으로 패터닝된 전극들(221, 223, 225, 227, 229)을 포함한 기판 전면 상에 패시베이션막(230)을 형성한다. 상기 패시베이션막(230)은 실리콘 산화막(SiO₂), 실리콘 질화막(SiNx) 또는 이들의 다중층으로 형성할 수 있다. 상기 패시베이션막(230)은 반드시 필요한 것은 아니며 필요에 따라 생략될 수 있다.

상기 패시베이션막(230)내에 상기 박막 트랜지스터의 드레인 전극(223)을 노출시키는 제 1 비아홀(232)을 형성한다.

상기 패시베이션막(230) 상에 하부 단차를 완화할 수 있는 유기막으로 이루어진 평탄화막(235)을 형성한다. 상기 평탄화막(235)은 BCB(benzocyclobutene)막, 폴리이미드막 또는 폴리아크릴막일 수 있다.

상기 평탄화막(235)상의 박막 트랜지스터 영역(a) 내에 제 1 비아홀(232)이 형성된 영역의 드레인 전극(223)을 노출시키는 제 2 비아홀(237)을 형성한다. 또한, 상기 패시베이션막(230)을 노출시키는 제 3 비아홀(239)을 형성한다.

상기 제 2 비아홀(237) 및 제 3 비아홀(239)이 형성된 상기 평탄화막(235) 상의 기판(200) 전면에 화소전극(240)을 형성한다. 상기 화소전극(240)은 제 2 비아홀(237) 내에 노출된 드레인 전극(223)에 접속된다. 또한, 상기 화소전극(240)은 제 3 비아홀(239) 내에 노출된 패시베이션막(230)상에 적층된다. 또한, 상기 패시베이션막(230)이 없을 경우에는 평탄화막(235)상에 적층될 수 있다. 한편, 제 4 실시예에 따른 화소의 경우 전면발광이기 때문에 상기 화소전극(240)은 광반사 도전막을 사용하여 형성할 수 있다. 이와는 달리, 상기 화소전극(240)을 형성하기 전에 상기 화소전극(240) 하부에 반사막 패턴(242)을 더 형성하고, 상기 화소전극(240)은 광투과 도전막을 사용하여 형성할 수 있다. 이러한 반사막 패턴(242)은 상기 제 2 비아홀(237)로부터 소정 간격 이격되도록 형성할 수 있다.

상기 화소전극(240)상의 기판 전면에 화소정의막(Pixel Defining Layer: PDL, 245)을 형성한다.

상기 화소정의막(245) 내에 상기 화소전극(240)의 적어도 일부영역(발광영역)을 노출시키는 개구부(247)를 형성한다.

상기 개구부(247)내에 노출된 화소전극(240) 상에 유기발광층(250)이 형성된다. 이어서, 상기 유기발광층(250)과 상기 화소정의막(245) 상의 기판전면에 대향전극(255)이 형성된다. 상기 대향전극(255)은 광투과 도전막 또는 금속반사막으로 형성하는 것이 바람직하다.

상기 스토리지 커패시터 영역(c)과 상기 박막 트랜지스터 영역(a) 상부에 상기 화소전극(240), 상기 유기발광층(250) 및 상기 대향전극(255)으로 구성되는 유기발광소자(OLED)가 형성된다.

또한, 상기 데이터라인 영역(b)의 데이터라인(225), 상기 패시베이션막(230) 및/또는 상기 평탄화막(235) 및 상기 화소전극(255)의 적층구조는 제 2 데이터라인 커패시터(Cdata2)를 형성한다.

상기와 같이 본 발명의 제 2 실시예에 따른 화소는 데이터라인(225) 하부에 제 3 반도체층(209)을 형성하여 제 1 데이터라인 커패시터(Cdata1)를 형성한다. 또한, 상기 데이터라인 커패시터 영역(b)에 형성된 패시베이션막(230) 및/또는 평탄화막(235)을 제 3 비아홀(239)로 식각함으로써, 데이터라인(225) 상부에 패시베이션막(230) 및/또는 평탄화막(235)만을 유전층으로 하여 상기 화소전극과 제 2 데이터라인 커패시터(Cdata2)를 형성한다.

따라서, 데이터라인 커패시터(Cdata)는 데이터라인(225)을 중심으로 제 1 데이터라인 커패시터(Cdata1)와 제 2 데이터라인 커패시터(Cdata2)가 병렬로 연결된 구조이기 때문에 제 1 및 제 2 데이터라인 커패시터의 합이 된다. 즉, Cdata = Cdata1 + Cdata2 가 된다. 상기와 같은 본 발명의 제 1 실시예에 따른 화소구조를 적용하는 경우 종래의 화소구조와 대비하여 데이터라인 커패시터(Cdata)가 약 16배 정도 (20[PF] 내지 50[PF]) 증가함을 알 수 있다. 따라서, 본 발명의 제 1 실시예에 따라 디멀티플렉스를 이용한 화소구동방법을 적용하는 경우 데이터 인가전압(Vdata)과 구동 트랜지스터의 게이트전압(Vg)이 실질적으로 같아지게 되기 때문에 정확한 계조표현 및 균일한 휘도 구현이 가능하게 된다.

데이터라인 커패시터(Cdata)의 커패시턴스의 크기는 패시베이션막, 평탄화막 또는 화소정의막 등의 절연막을 식각하는 비아홀 및 반도체층과 금속이 콘택되는 콘택홀의 사이즈를 조절함으로써 조절 가능하다.

도 12는 본 발명의 실시예에 따른 유기전계발광표시장치의 또 다른 화소에 대한 회로도이다.

도 12를 참조하면, 화소(110)는 구동전류에 따라 소정의 빛을 발광하는 유기발광소자(OLED), 상기 유기발광소자(OLED)에 구동전류를 공급하기 위한 화소구동회로(111)로 이루어진다. 상기 화소구동회로에 인가되는 데이터전압은 데이터기입기간동안 데이터라인 커패시터(C_{datamk})에 저장된 전압이 인가된다.

화소구동회로(111)는 구동 트랜지스터(M1), 스위칭 트랜지스터(M2), 발광제어 트랜지스터(M3) 및 스토리지 커패시터(Cst)를 포함한다. 스위칭 트랜지스터(M2)는 게이트단자에 연결된 스캔라인(Sn)에 인가되는 선택 신호에 응답하여 온/오프 제어되며, 데이터라인(Dmk)에 연결되어 데이터전압을 전달한다. 구동 트랜지스터(M1)는 제 1 전압라인(Vdd)과 발광제어 트랜지스터(M3)사이에 연결되고, 게이트단자가 스위칭 트랜지스터(M2)의 드레인에 연결되어 데이터전압에 상응하는 구동전류를 생성한다. 스토리지 커패시터(Cst)는 제 1 전압라인(Vdd)과 구동 트랜지스터(M1)의 게이트단자 사이에 연결되어 데이터전압을 일정시간동안 유지시키는 역할을 한다. 발광제어 트랜지스터(M3)는 구동 트랜지스터(M1)와 유기발광소자(OLED)사이에 연결되어, 게이트단자에 연결된 발광제어라인(En)의 발광제어신호에 응답하여 상기 구동전류를 유기발광소자(OLED)로 공급한다.

상술한 도 12의 화소 동작을 살펴보면 다음과 같다. 먼저 데이터기입기간동안, 데이터전압(Vdata)이 데이터라인 커패시터(Cdatamk)에 저장된다. 다음으로 스캔라인(Sn)에 선택 신호가 인가되면 스위칭 트랜지스터(M2)가 턴-온 된다. 이 상태에서, 데이터라인 커패시터(Cdatamk)에 저장되어 있는 데이터전압(Vdata)은 스위칭 트랜지스터(M2)를 통해 구동 트랜지스터(M1)의 게이트단자에 인가되고, 스토리지 커패시터(Cst)에는 제 1 전압(Vdd)과 데이터전압(Vdata) 간의 전압차에 상응하는 전하가 저장된다. 구동 트랜지스터(M1)는 소스에 인가되는 제 1 전압(Vdd)과 게이트에 인가되는 전압(Vdata)에 의해 정전류원으로 동작하며, 유기발광소자(OLED)에 구동전류를 공급한다.

이때, 유기발광소자(OLED)에 흐르는 전류는 다음의 [수학식 3]과 같다.

$$I_{OLED} = k(V_{gs} - V_{th})^2 = k(V_{dd} - V_{data} - V_{th})^2$$

여기서, I_{OLED}는 유기 발광 소자(OLED)에 흐르는 전류, V_{gs}는 제 1 박막 트랜지스터(M1)의 소오스와 게이트 사이의 전압, V_{th}는 제 1 박막 트랜지스터(MD)의 문턱 전압, V_{data}는 데이터 전압, 그리고 k는 상수 값을 나타낸다.

도 13은 본 발명의 실시예에 따른 유기전계발광표시장치의 또 다른 화소를 나타낸 회로도이다.

도 13을 참조하면, 화소(110)는 구동전류에 따라 소정의 빛을 발광하는 유기발광소자(OLED), 상기 유기발광소자(OLED)에 구동전류를 공급하기 위한 화소구동회로(111)로 이루어진다. 상기 화소구동회로에 인가되는 데이터전압은 데이터기입기간동안 데이터라인 커패시터(C_{datamk})에 저장된 전압이 인가된다.

화소구동회로(111)는 제 1 내지 제 5 박막 트랜지스터(M1 내지 M5)와 스토리지 커패시터(Cst)로 이루어졌다. 여기서, 제 1 트랜지스터(M1)는 스위칭 트랜지스터이고, 제 4 트랜지스터(M4)는 구동 트랜지스터이다. 또한, 제 2 트랜지스터(M2)는 초기화 트랜지스터이고, 제 3 트랜지스터(M3)는 구동 트랜지스터(M4)의 문턱전압을 보상하는 보상용 트랜지스터이다. 상세하게는, 제 1 트랜지스터(M1)는 게이트단자에 연결된 n번째 스캔라인(Sn)에 인가되는 선택 신호에 응답하여 온/오프 제어되며, 데이터라인(Dmk)에 연결되어 데이터전압을 전달한다. 제 2 트랜지스터(M2)는 게이트단자에 연결된 n-1번째 스캔라인(Sn-1)에 인가되는 선택신호에 턴-온 되어, n-1번째 프레임의 데이터전압을 초기화시킨다. 미러형태(Mirror Type)를 갖는 제 3 및 제 4 트랜지스터(M3, M4)는 게이트단자가 공통으로 연결되어 제 1 트랜지스터(M1)를 통하여 전달되는 데이터전압(Vdata)과 제 3 트랜지스터(M3)의 문턱전압 차에 해당하는 전압이 제 4 트랜지스터(M4)의 게이트단자에 인가된다. 스토리지 커패시터(Cst)는 제 1 전압라인(Vdd)과 제 4 트랜지스터(M4)의 게이트단자 사이에 연결되어 데이터전압(Vdata-Vth)을 일정시간동안 유지시키는 역할을 한다. 제 5 트랜지스터(M5)는 제 4 트랜지스터(M4)와 유기발광소자(OLED) 사이에 연결되고, 게이트단자에 연결된 발광제어라인(En)의 발광제어신호에 응답하여 상기 구동전류를 유기발광소자(OLED)로 공급한다.

상기와 같은 구조를 갖는 화소의 동작을 설명하면 다음과 같다. 먼저, 초기화동작시에는, n-1번째 스캔라인(Sn-1)에 로우(low)레벨의 선택신호가 인가되면, 제 2 트랜지스터(M2)가 턴-온 되어, 스토리지 커패시터(Cst)에 저장된 n-1번째 프레임의 데이터전압은 제 2 트랜지스터(M2)를 통해 초기화된다.

데이터기입기간동안, 데이터전압(Vdata)이 데이터라인 커패시터(C_{datamk})에 저장된다.

다음, 데이터 프로그램시에는, 현재 스캔라인(Sn)에 로우(low)레벨의 선택신호가 인가되면, 제 1 트랜지스터(M1)가 턴-온 되고, 미러타입의 제 3 및 제 4 트랜지스터(M13, M14)가 턴-온 된다. 따라서, 데이터라인 커패시터(C_{datamk})에 저장된 데이터전압(Vdata)이 제 3 트랜지스터(M3)를 통해 문턱전압(Vth_{M3})차에 해당하는 전압이(Vdata-Vth_{M3})제 4 트랜지스터(M4)의 게이트에 인가된다.

마지막으로, 발광시에는 발광제어라인(En)에 로우(low)레벨의 발광제어신호가 인가되면, 발광제어신호에 의해 제 5 트랜지스터(M5)가 턴-온 되므로, 제 4 트랜지스터(M4)의 소오스 단자에 인가되는 제 1 전압(Vdd)과 게이트 단자에 인가되는 전압(Vdata-Vth_{M3})에 상응하는 구동전류가 유기발광소자(OLED)로 공급되어 빛이 발광하게 된다.

유기발광소자(OLED)를 통해 흐르는 구동전류는 하기의 [수학식 4]로 표현된다.

$$I_{OLED} = k(V_{GS_{M4}} - V_{th_{M4}})^2 = k(V_{dd} - V_{data} + V_{th_{M3}} - V_{th_{M4}})^2 = k(V_{dd} - V_{data})^2$$

여기서, I_{OLED}는 유기발광소자(OLED)에 흐르는 전류, V_{GS_{M4}}는 제 4 트랜지스터(M4)의 소오스와 게이트사이의 전압, V_{th_{M3}}은 제 3 트랜지스터(M3)의 문턱전압, V_{th_{M4}}은 제 4 트랜지스터(M4)의 문턱전압, V_{data}는 데이터전압, k는 상수값을 각각 나타낸다. 이때, 전류미러용 제 3 및 제 4 트랜지스터(M13, M14)의 문턱전압이 같으면, 즉 V_{th_{M3}} = V_{th_{M4}}가 같다면, 트랜지스터의 문턱전압을 보상할 수 있어 유기발광소자(OLED)의 구동전류를 균일하게 유지할 수 있다.

도 14는 본 발명의 실시예에 따른 유기전계발광표시장치의 또 다른 화소를 나타낸 회로도이다.

도 14를 참조하면, 화소(110)는 구동전류에 따라 소정의 빛을 발광하는 유기발광소자(OLED), 상기 유기발광소자(OLED)에 구동전류를 공급하기 위한 화소구동회로(111)로 이루어진다. 상기 화소구동회로에 인가되는 데이터전압은 데이터기입기간동안 데이터라인 커패시터(C_{datamk})에 저장된 전압이 인가된다.

화소구동회로(111)는 제 1 내지 제 5 트랜지스터(M1 내지 M5)와 2개의 커패시터(Cst, Cvth)로 이루어진다.

제 1 트랜지스터(M1)는 유기발광소자(OLED)를 구동하기 위한 구동 트랜지스터로서, 제 1 전압라인(Vdd)과 제 4 트랜지스터(M4) 사이에 접속되고, 게이트에 인가되는 전압에 의하여 유기발광소자(OLED)에 흐르는 구동전류를 제어한다. 제 2 트랜지스터(M2)는 n-1번째 스캔라인(Sn-1)으로부터의 선택 신호에 응답하여 제 1 트랜지스터(M1)를 다이오드 연결시킨다.

제 1 박막 트랜지스터(M1)의 게이트에는 문턱전압 보상 커패시터(Cvth)의 일전극(A)이 접속되고, 문턱전압 보상 커패시터(Cvth)의 타전극(B) 및 제 1 전압라인 (Vdd)사이에서 스토리지 커패시터(Cst)와 제 5 트랜지스터(M5)가 병렬 접속된다. 제 5 트랜지스터(M5)는 n-1번째 스캔라인(Sn-1)으로부터의 선택 신호에 응답하여 문턱전압 보상 커패시터(Cvth)의 타전극(B)에 제 1 전압(Vdd)을 공급한다.

제 3 박막 트랜지스터(M3)는 n번째 스캔라인(Sn)으로부터의 선택 신호에 응답하여 데이터라인(Dmk)으로부터의 데이터 전압(Vdata)을 문턱전압 보상 커패시터(Cvth)의 타전극(B)으로 전달한다. 제 4 박막 트랜지스터(M4)는 제 1 박막 트랜지스터(M1)와 유기발광소자(OLED) 사이에 접속되고, 발광제어라인(En)으로부터의 발광제어신호에 응답하여 제 1 박막 트랜지스터(M1)와 유기발광소자(OLED)사이를 온/오프 시킨다.

도 14에 도시된 화소의 동작을 설명하면, 먼저, n-1번째 스캔라인(Sn-1)에 로우 레벨의 선택신호가 인가되면, 제 2 트랜지스터(M2)가 턴-온 되어 제 1 트랜지스터(M1)는 다이오드 연결 상태가 된다. 따라서, 제 1 박막 트랜지스터(M1)의 게이트 및 소오스간 전압이 제 1 트랜지스터(M1)의 문턱전압(Vth)이 될 때까지 변하게 된다. 이때 제 1 박막 트랜지스터(M1)의 소오스가 제 1 전압(Vdd)에 연결되어 있으므로, 제 1 트랜지스터(M1)의 게이트 즉, 문턱전압 보상 커패시터(Cvth)의 노드(A)에 인가되는 전압은 제 1 전압(Vdd)과 문턱전압(Vth)의 차가 된다. 또한, 제 5 박막 트랜지스터(M5)가 턴-온 되어 스토리지 커패시터(Cvth)의 노드(B)에는 제 1 전압(Vdd)이 인가되어, 문턱전압 보상 커패시터(Cvth)에 충전되는 전압 (V_{Cvth})은 [수학식 5]과 같다.

$$V_{Cvth} = V_B - V_A = Vdd - (Vdd - Vth) = Vth$$

여기서, V_{Cvth} 는 커패시터(Cvth)에 충전되는 전압을 의미하고, V_A 는 커패시터(Cvth)의 노드(A)에 인가되는 전압, V_B 는 커패시터(Cvth)의 노드(B)에 인가되는 전압을 의미한다.

다음으로, 데이터기입기간동안, 데이터라인(Dmk)을 통하여 데이터전압(Vdata)이 데이터라인 커패시터(C_{datamk})에 저장된다. 다음으로, n번째 스캔라인(Sn)에 로우 레벨의 선택신호가 인가되면, 제 3 트랜지스터(M3)가 턴-온되어 데이터 전압(Vdata)이 노드(B)에 인가된다. 또한, 문턱전압 보상 커패시터(Cvth)에는 제 1 트랜지스터(M1)의 문턱 전압(Vth)에 해당되는 전압이 충전되어 있으므로, 제 1 트랜지스터(M1)의 게이트에는 데이터 전압(Vdata)과 제 1 트랜지스터(M1)의 문턱 전압(Vth)의 차에 대응되는 전압이 인가된다.

마지막으로, 발광제어라인(En)의 로우 레벨에 응답하여 제 4 트랜지스터(M4)가 턴-온 되어 제 1 트랜지스터(M1)의 게이트-소스 전압(V_{GS})에 대응하는 전류(I_{OLED})가 유기발광소자(OLED)에 공급되어, 유기발광소자(OLED)는 발광하게 된다.

유기발광소자(OLED)에 흐르는 전류(I_{OLED})는 다음 [수학식 6]와 같다.

$$I_{OLED} = k(V_{gs} - Vth)^2 = k(Vdd - Vdata + Vth - Vth)^2 = k(Vdd - Vdata)^2$$

여기서, I_{OLED} 는 유기발광소자(OLED)에 흐르는 전류, V_{gs} 는 제 1 트랜지스터(M1)의 소스와 게이트 사이의 전압, Vth 는 제 1 트랜지스터(M1)의 문턱 전압, $Vdata$ 는 데이터 전압, k 는 상수 값을 나타낸다. 상술한 바와 같이 유기발광소자(OLED)로 흐르는 전류(I_{OLED})는 제 1 전압(Vdd)과 데이터전압(Vdata)에 의하여 결정되기 때문에 구동 트랜지스터의 문턱전압 편차에 따른 휘도 불균일 문제를 해결할 수 있다.

이상에서는, 본 발명의 실시 예들을 들어 설명하였지만, 본 발명의 권리범위는 상기 실시 예들에 한정되지 않고, 본 발명이 속하는 기술분야에서 통상의 지식을 가지는 자가 아래 특허청구범위를 통해 쉽게 변형 또는 치환한 것 또한 본 발명의 권리범위 속한다.

발명의 효과

상술한 바와 같이, 본 발명의 실시 예에 따른 발광 표시장치에 의하면 하나의 출력선으로 공급되는 데이터신호를 디멀티플렉스를 이용하여 다수의 데이터라인으로 분할하여 공급할 수 있기 때문에 출력선 수를 저감할 수 있고, 이에 따라 데이터 드라이버의 제조비용을 감소시킬 수 있다.

또한, 본 발명은 실시 예에 따른 발광 표시장치는 데이터신호에 대응되는 전압을 데이터 커패시터들에 순차적으로 충전하고 충전된 전압을 동시에 화소들로 공급함으로써, 균일한 휘도를 가지는 화상을 표시할 수 있다.

또한, 본 발명에서는 스캔신호가 공급되는 스캔기간과 데이터신호가 공급되는 데이터기입기간이 중첩되지 않도록 함으로써 안정적으로 화상을 표시할 수 있다.

또한, 본 발명에서는 데이터라인에 형성되는 데이터라인 커패시터의 커패시턴스를 스토리지 커패시터의 커패시턴스 보다 훨씬 크게 함으로써, 정확한 계조표현 및 균일한 휘도 구현이 가능하게 된다.

(57) 청구의 범위

청구항 1.

다수의 스캔라인 및 다수의 데이터라인이 교차하는 영역에 형성되는 다수의 화소들을 가지고, 소정의 화상을 디스플레이 하기 위한 표시 패널;

상기 다수의 스캔라인으로 스캔신호를 공급하여 상기 다수의 화소를 선택하기 위한 스캔 드라이버;

상기 다수의 데이터라인으로 데이터신호를 공급하기 위한 다수의 디멀티플렉서;

상기 각각의 디멀티플렉스와 연결된 다수의 출력라인으로 상기 데이터신호를 공급하기 위한 데이터 드라이버; 및

상기 표시 패널 내에 형성된 각각의 데이터라인에 형성되고, 상기 데이터신호에 상응하는 전압을 저장하기 위한 데이터라인 커패시터를 포함하는 유기 전계발광 표시장치.

청구항 2.

제 1 항에 있어서,

상기 각각의 화소는,

제 1 전원라인에 연결되고, 상기 데이터라인 커패시터로부터 데이터전압을 공급받아 한 프레임동안 저장하는 스토리지 커패시터를 포함하고, 상기 제 1 전원과 상기 데이터전압에 상응하는 구동전류를 발생하기 위한 화소구동회로; 및

상기 화소구동회로와 제 2 전원라인 사이에 연결되고, 상기 구동전류를 공급받아 발광 동작을 수행하기 위한 유기발광소자를 포함하는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 3.

제 2 항에 있어서,

상기 데이터라인 커패시터의 커패시턴스는,

상기 스토리지 커패시터의 커패시턴스 보다 큰 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 4.

제 3 항에 있어서,

상기 데이터라인 커패시터의 커패시턴스는 실질적으로 20[PF] 내지 50[PF]인 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 5.

제 2 항에 있어서,

상기 화소구동회로는,

상기 스토리지 커패시터의 일단과 초기화 전원라인 사이에 연결되고, n-1번째 스캔신호에 턴-온 되어 상기 스토리지 커패시터를 초기화시키기 위한 초기화 트랜지스터;

상기 데이터라인에 연결되고, n 번째 스캔신호에 턴-온 되어 상기 데이터전압을 전달하기 위한 제 1 스위칭 트랜지스터;

상기 제 1 스위칭 트랜지스터에 제 1 단자가 연결되고 상기 스토리지 커패시터의 일단에 게이트가 연결되며, 상기 구동전류를 발생하기 위한 구동 트랜지스터;

상기 구동 트랜지스터의 게이트와 제 2 단자 사이에 연결되고, 상기 n 번째 스캔신호에 턴-온 되어 상기 구동 트랜지스터를 다이오드 연결시켜 상기 구동 트랜지스터의 문턱전압을 보상하기 위한 문턱전압 보상 트랜지스터; 및

상기 제 1 전원라인과 상기 구동 트랜지스터의 제 2 단자 사이에 연결되고, n 번째 발광제어신호에 턴-온 되어 상기 제 1 전원을 상기 구동 트랜지스터의 제 2 단자로 공급하기 위한 제 2 스위칭 트랜지스터를 더 포함하는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 6.

제 5 항에 있어서,

상기 화소구동회로는,

상기 구동 트랜지스터와 상기 유기발광소자의 사이에 연결되고, 상기 n 번째 발광제어신호에 턴-온 되어 상기 구동전류를 상기 유기발광소자로 공급하기 위한 발광제어 트랜지스터를 더 포함하는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 7.

제 6 항에 있어서,

상기 제 1 내지 제 6 트랜지스터는 동일한 전도타입(N타입 또는 P타입)의 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)인 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 8.

제 1 항에 있어서,

상기 유기 전계발광 표시장치는 상기 각각의 디멀티플렉스의 온/오프를 제어하는 제어신호들을 출력하기 위한 디멀티플렉스 제어부를 더 포함하는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 9.

제 8 항에 있어서,

상기 데이터 드라이버는,

$n-1$ 번째 스캔기간과 n 번째 스캔기간 사이에 상기 출력라인으로 다수의 데이터신호를 순차적으로 공급하는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 10.

제 9 항에 있어서,

상기 각각의 디멀티플렉서는 상기 출력라인과 상기 다수의 데이터라인 사이에 연결되는 다수의 트랜지스터를 구비하고,

상기 다수의 트랜지스터는 상기 디멀티플렉스 제어부로부터 순차적으로 인가되는 제어신호에 따라 순차적으로 턴-온 되며, 상기 순차적으로 공급되는 데이터신호를 상기 각각의 데이터라인 커패시터에 순차적으로 전달하는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 11.

제 10 항에 있어서,

상기 각각의 데이터라인 커패시터에 저장된 데이터 전압은 상기 n 번째 스캔기간 동안 상기 다수의 화소로 공급되는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 12.

스토리지 커패시터 영역, 박막 트랜지스터 영역 및 데이터라인 커패시터 영역을 가지는 기관;

상기 기관 상의 스토리지 커패시터 영역에 형성되며, 제 1 반도체층, 게이트 절연막, 제 1 전극, 층간 절연막 및 상기 제 1 반도체층과 연결되는 제 2 전극의 적층으로 형성되는 스토리지 커패시터;

상기 기관 상의 박막 트랜지스터 영역에 형성되며, 제 2 반도체층, 게이트 절연막, 게이트 전극 및 소오스/드레인 전극으로 구성되는 박막 트랜지스터;

상기 기관 상의 데이터라인 커패시터 영역에 형성되며, 제 3 반도체층, 게이트 절연막, 층간 절연막 및 데이터라인의 적층으로 형성되는 제 1 데이터라인 커패시터;

상기 스토리지 커패시터와 상기 박막 트랜지스터의 상부에 형성되며, 상기 소오스/드레인 전극 중 어느 하나의 전극과 연결되는 화소전극, 상기 화소전극상에 형성되는 유기발광층 및 상기 유기발광층상의 기관 전면에 형성되는 대향전극으로 구성되는 유기발광소자; 및

상기 데이터라인 커패시터의 상부에 형성되며, 상기 데이터라인, 절연막 및 상기 대향전극의 적층으로 구성되는 제 2 데이터라인 커패시터를 포함하는 유기 전계발광 표시장치.

청구항 13.

제 12 항에 있어서,

상기 제 2 데이터라인 커패시터의 절연막은 실리콘산화막(SiO_2), 실리콘질화막(SiN_x) 또는 이들의 다중막으로 이루어진 패시베이션막인 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 14.

제 12 항에 있어서,

상기 제 2 데이터라인 커패시터의 절연막은 BCB(benzocyclobutene)막, 폴리이미드막 또는 폴리아크릴막으로 이루어진 평탄화막인 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 15.

제 12 항에 있어서,

상기 제 2 데이터라인 커패시터의 절연막은 BCB(benzocyclobutene), 아크릴계 포토레지스트, 페놀계 포토레지스트 또는 이미드계 포토레지스트로 이루어진 화소정의막인 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 16.

제 13 항 내지 제 15 항 중 어느 한 항에 있어서,

상기 데이터라인 커패시터는,

상기 제 1 데이터라인 커패시터와 제 2 데이터라인 커패시터의 합인 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 17.

제 16 항에 있어서,

상기 데이터라인 커패시터의 커패시턴스는,

상기 스토리지 커패시터의 커패시턴스 보다 큰 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 18.

제 17 항에 있어서,

상기 데이터라인 커패시터의 커패시턴스는 실질적으로 20[PF] 내지 50[PF]인 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 19.

제 18 항에 있어서,

상기 데이터라인 커패시터는 상기 패시베이션막, 평탄화막 또는 화소정의막의 두께를 조절하거나 상기 절연막의 두께를 조절하기 위한 콘택홀 또는 비아홀의 사이즈를 조절하여 커패시턴스의 값을 조절하는 것을 특징으로 하는 유기 전계발광 표시 장치.

청구항 20.

스토리지 커패시터 영역, 박막 트랜지스터 영역 및 데이터라인 커패시터 영역을 가지는 기판;

상기 기판 상의 스토리지 커패시터 영역에 형성되며, 제 1 반도체층, 게이트 절연막, 제 1 전극, 층간 절연막 및 제 1 반도체층과 연결되는 제 2 전극의 적층으로 형성되는 스토리지 커패시터;

상기 기판 상의 박막 트랜지스터 영역에 형성되며, 제 2 반도체층, 게이트 절연막, 게이트 전극 및 소오스/드레인 전극으로 구성되는 박막 트랜지스터;

상기 기판 상의 데이터라인 커패시터 영역에 형성되며, 제 3 반도체층, 게이트 절연막, 층간 절연막 및 데이터라인의 적층으로 형성되는 제 1 데이터라인 커패시터;

상기 스토리지 커패시터와 상기 박막 트랜지스터의 상부에 형성되며, 상기 소오스/드레인 전극 중 어느 하나의 전극과 연결되는 화소전극, 상기 화소전극상에 형성되는 유기발광층 및 상기 유기발광층상의 기판 전면에 형성되는 대향전극으로 구성되는 유기발광소자; 및

상기 데이터라인 커패시터의 상부에 형성되고, 상기 데이터라인, 절연막 및 상기 화소전극의 적층으로 구성되는 제 2 데이터라인 커패시터를 포함하는 유기 전계발광 표시장치.

청구항 21.

제 20 항에 있어서,

상기 제 2 데이터라인 커패시터의 절연막은 실리콘산화막(SiO_2), 실리콘질화막(SiNx) 또는 이들의 다중막으로 이루어진 패시베이션막인 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 22.

제 20 항에 있어서,

상기 제 2 데이터라인 커패시터의 절연막은 BCB(benzocyclobutene)막, 폴리이미드막 또는 폴리아크릴막으로 이루어진 평탄화막인 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 23.

제 21 항 또는 제 22 항에 있어서,

상기 데이터라인 커패시터는,

상기 제 1 데이터라인 커패시터와 제 2 데이터라인 커패시터의 합인 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 24.

제 23 항에 있어서,

상기 데이터라인 커패시터의 커패시턴스는,

상기 스토리지 커패시터의 커패시턴스 보다 큰 것을 특징으로 하는 유기 전계발광 표시장치의 화소.

청구항 25.

제 24 항에 있어서,

상기 데이터라인 커패시터의 커패시턴스는 실질적으로 20[PF] 내지 50[PF]인 것을 특징으로 하는 유기 전계발광 표시장치의 화소.

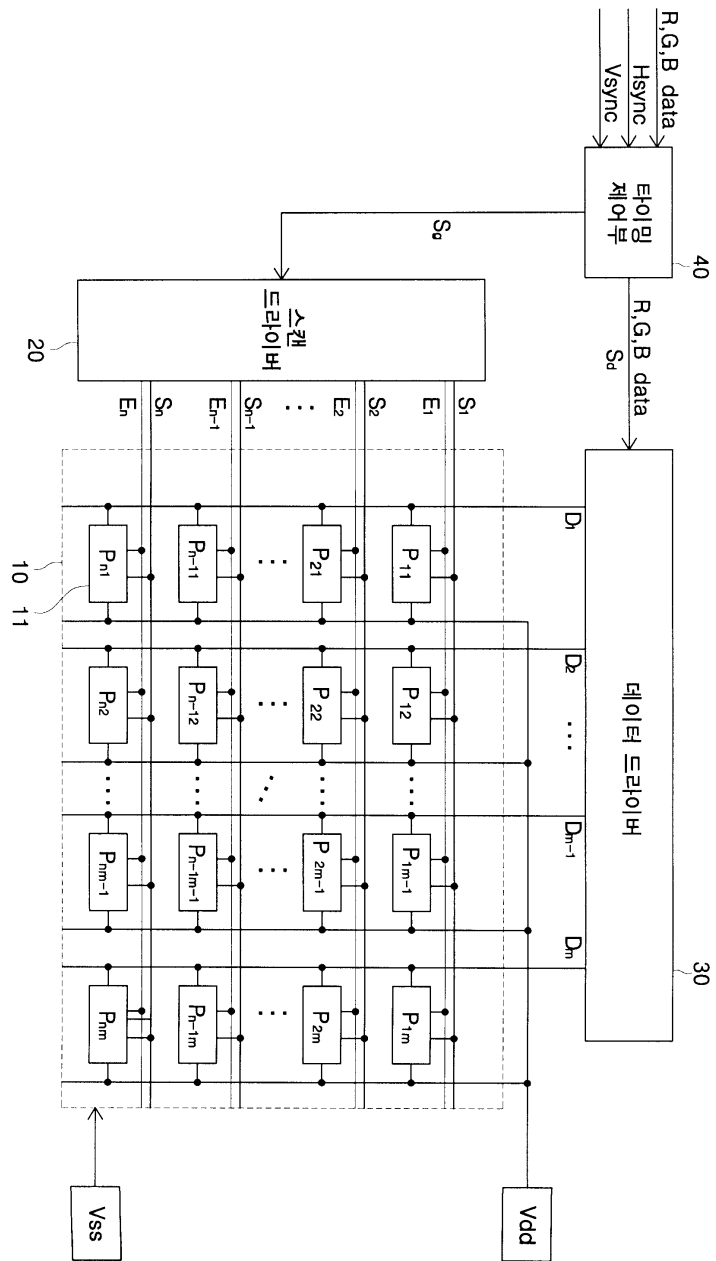
청구항 26.

제 25 항에 있어서,

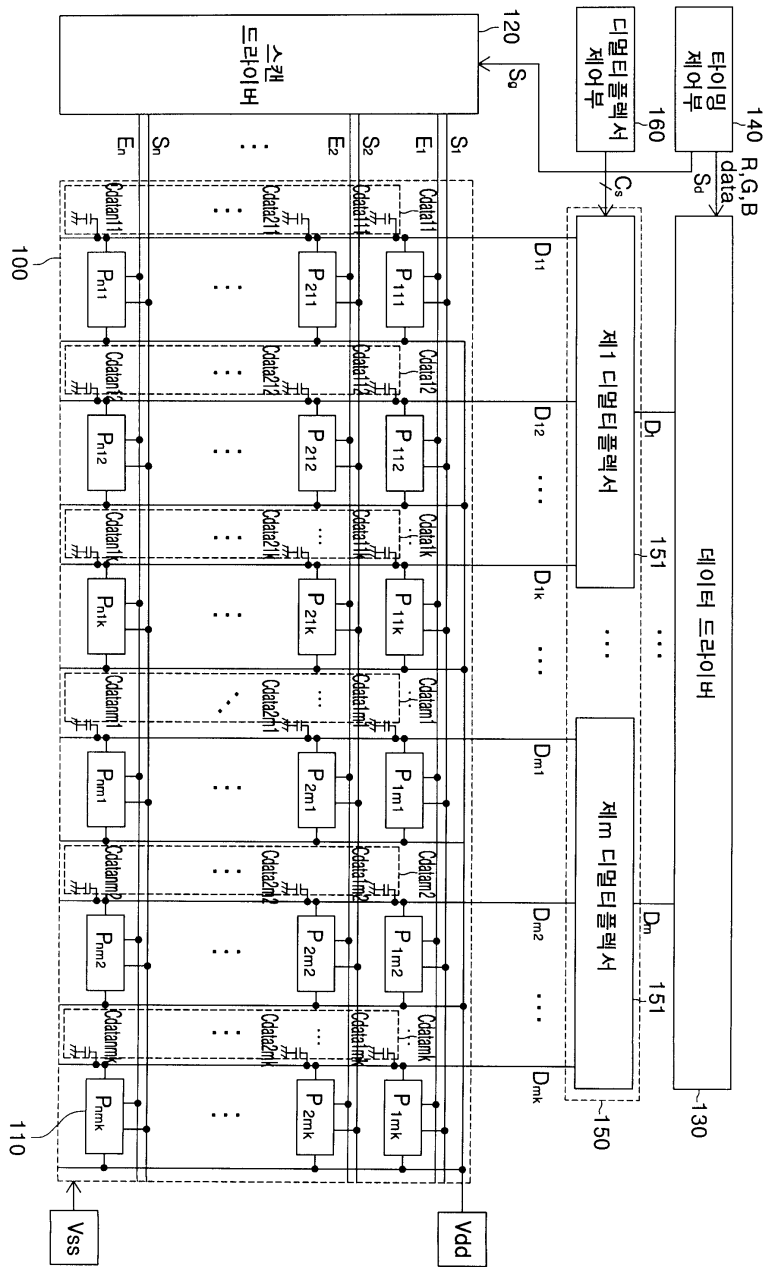
상기 데이터라인 커패시터는 상기 패시베이션막 또는 평탄화막의 두께를 조절하거나 상기 절연막의 두께를 조절하기 위한 콘택홀 또는 비아홀의 사이즈를 조절하여 커패시턴스의 값을 조절하는 것을 특징으로 하는 유기 전계발광 표시 장치.

도면

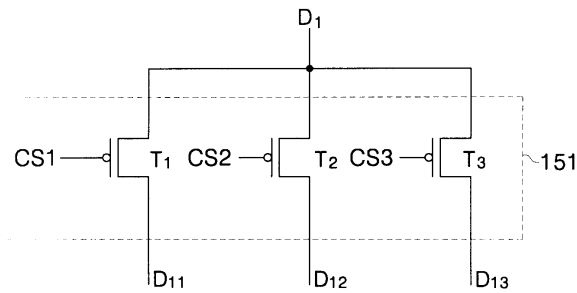
도면1



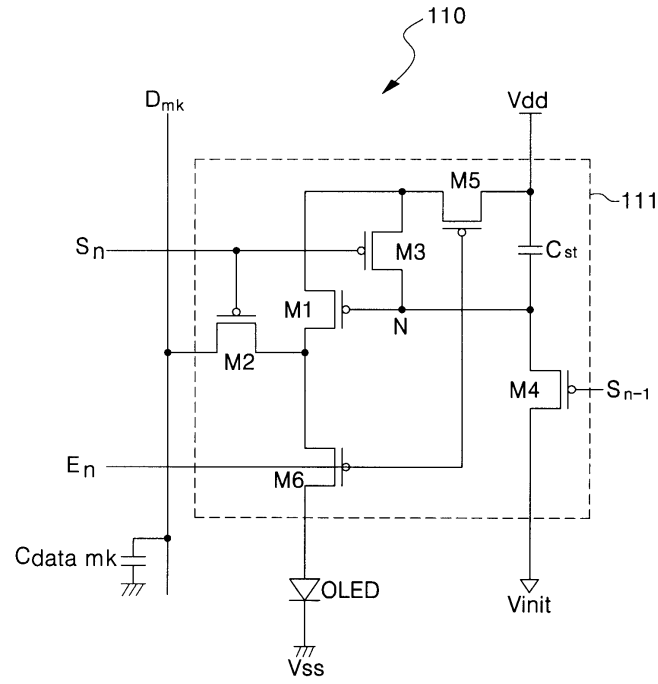
도면2



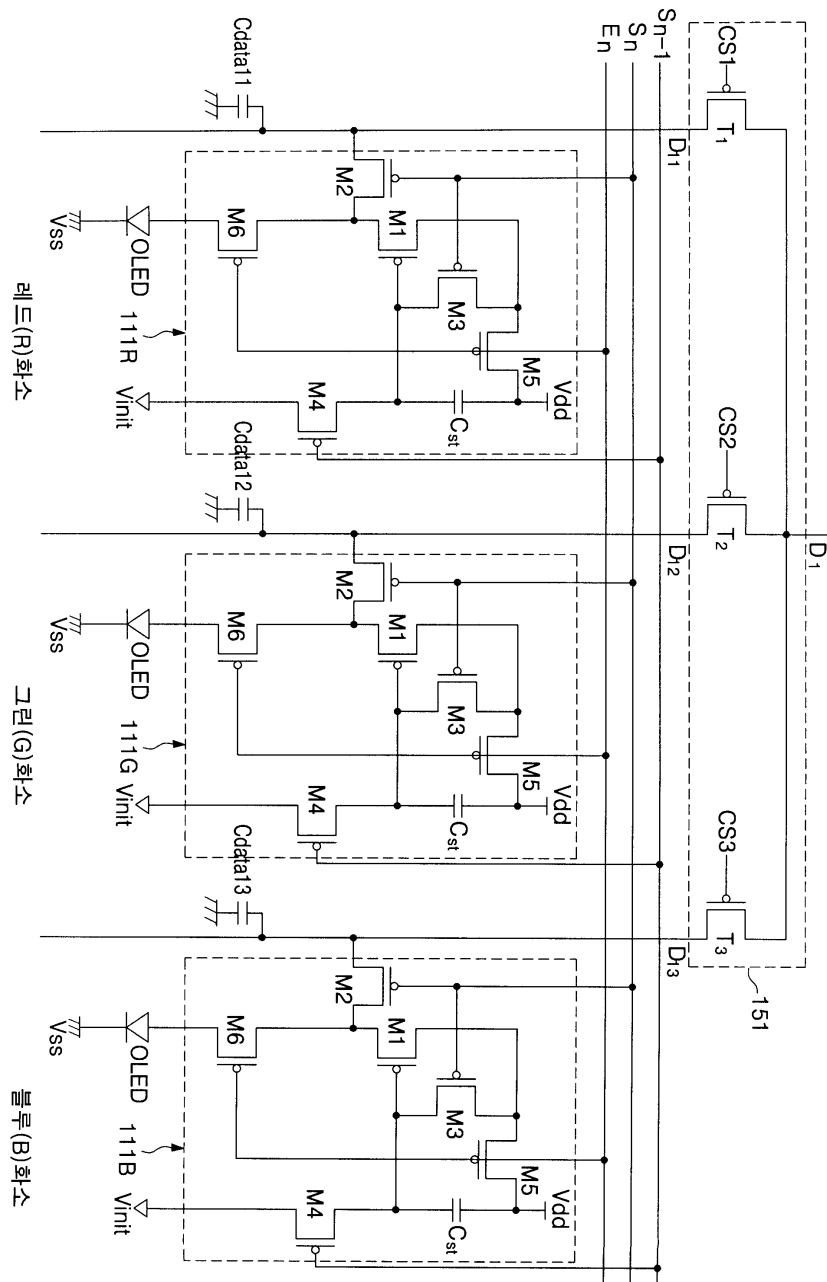
도면3



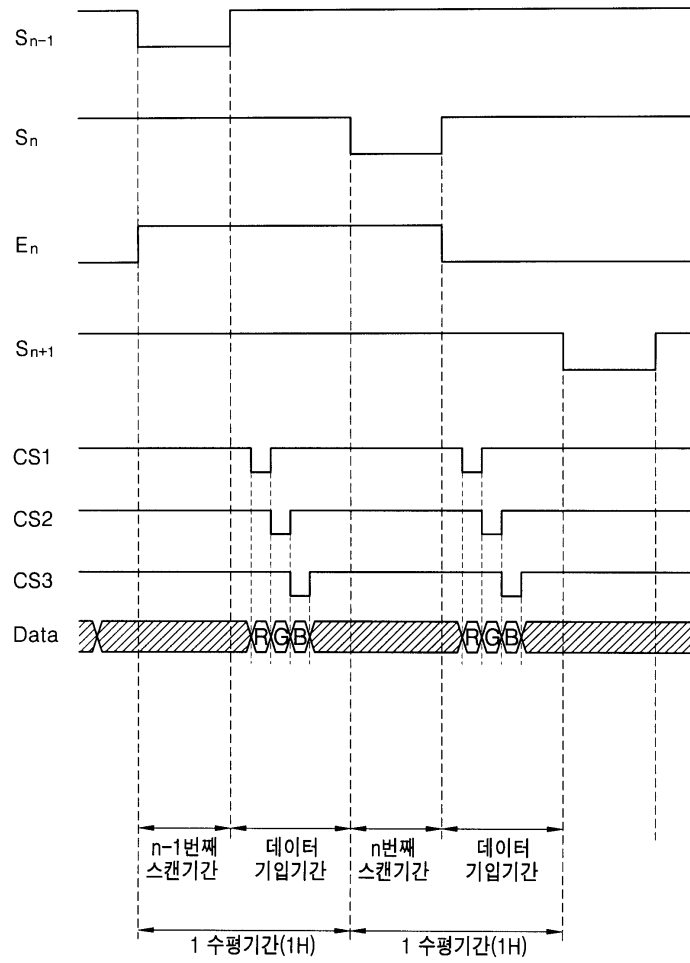
도면4



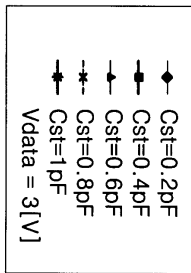
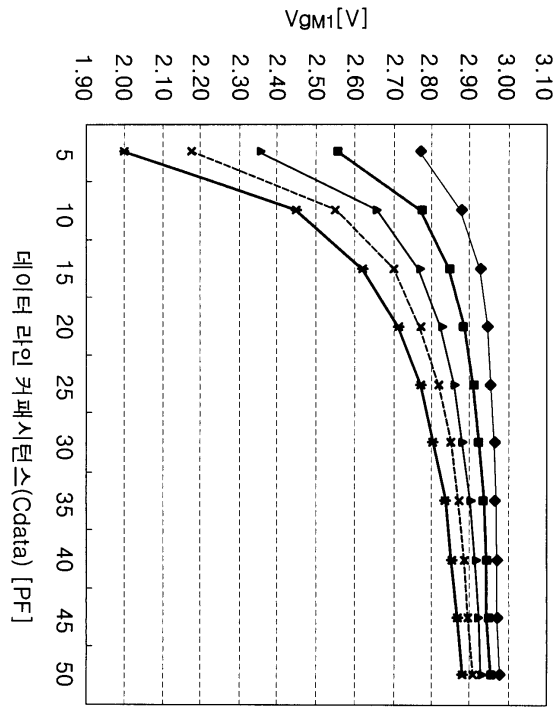
도면5



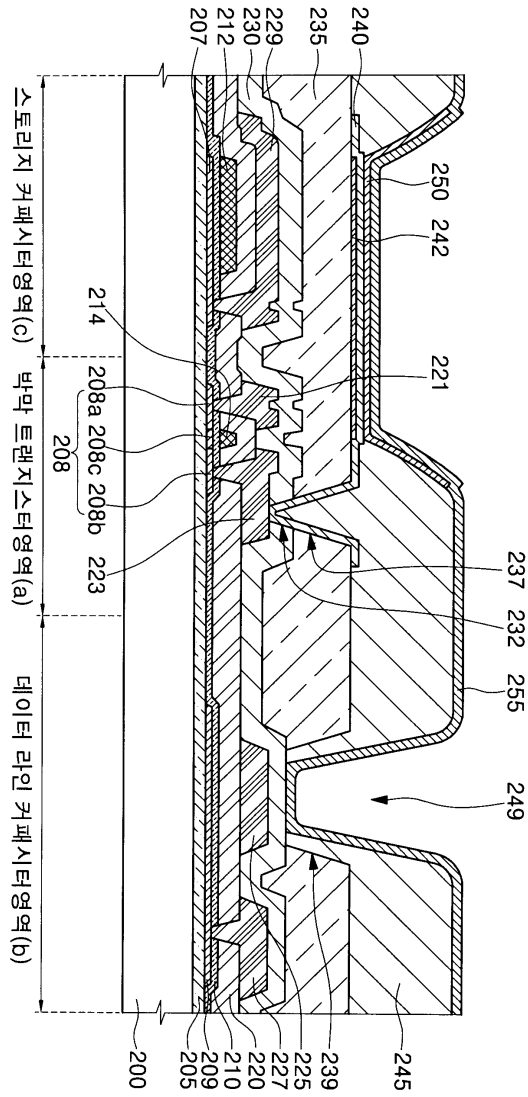
도면6



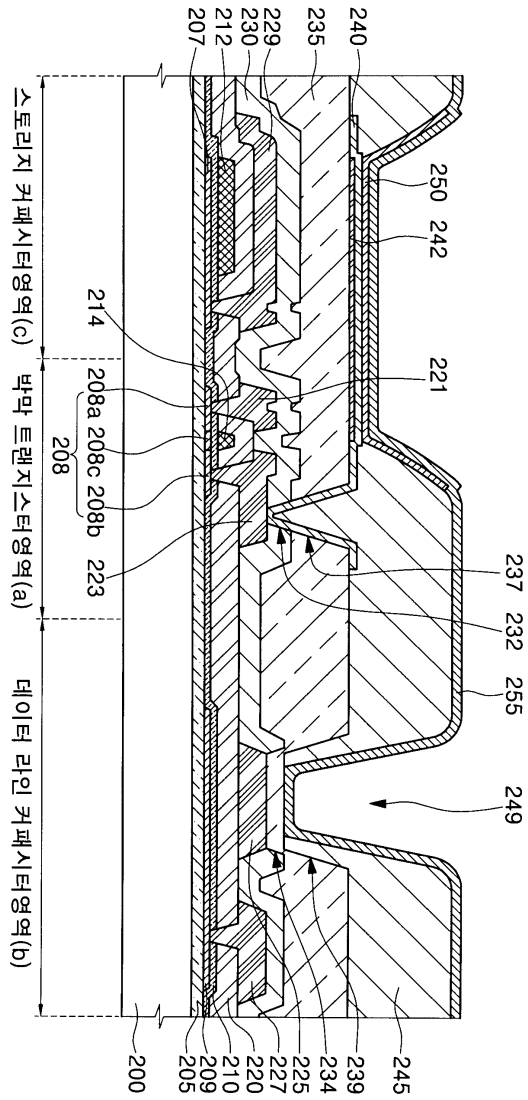
도면7



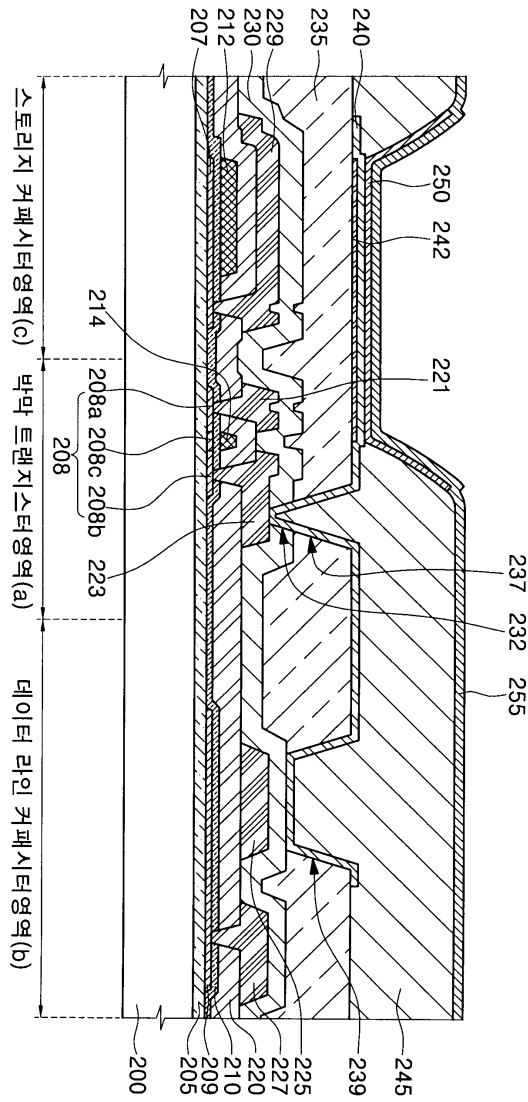
도면8



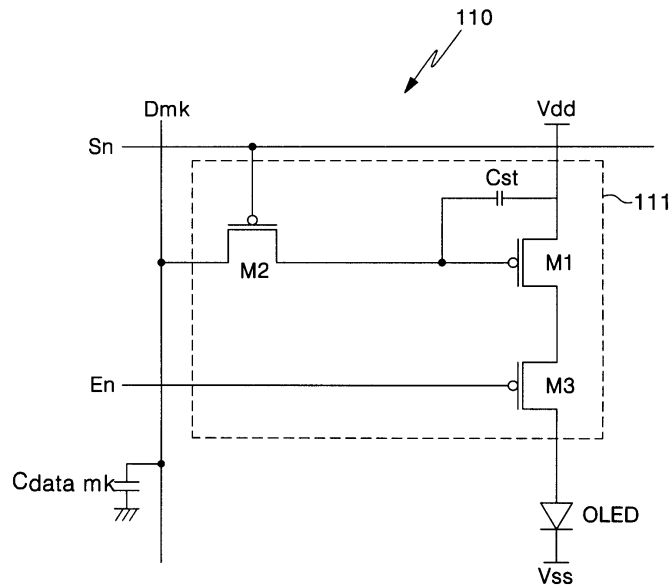
도면9



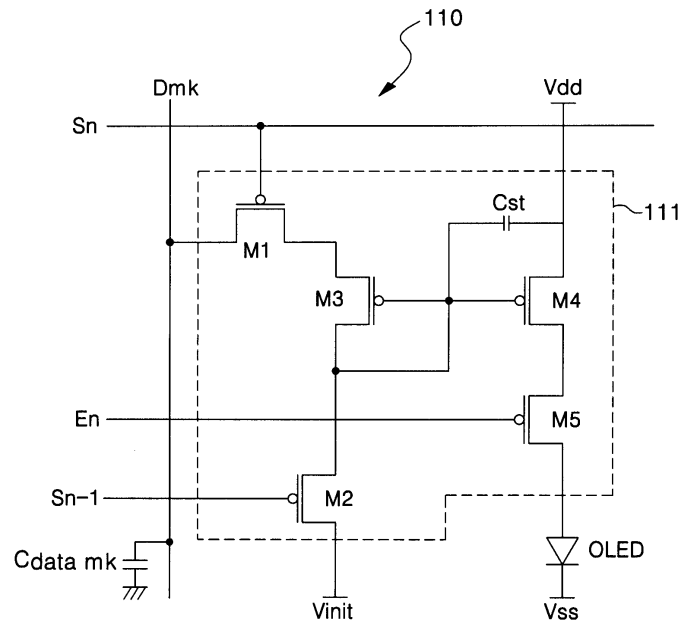
도면11



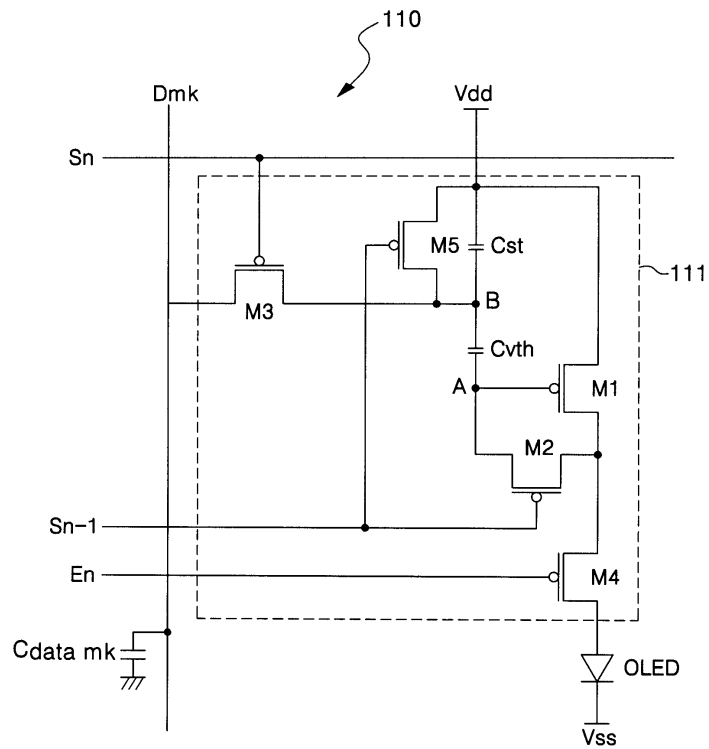
도면12



도면13



도면14



专利名称(译)	有机电致发光显示装置		
公开(公告)号	KR1020060117119A	公开(公告)日	2006-11-16
申请号	KR1020050039895	申请日	2005-05-12
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	KWAK WON KYU 곽원규 KIM YANG WAN 김양완		
发明人	곽원규 김양완		
IPC分类号	G09G3/30		
CPC分类号	G09G2310/0297 G09G3/3233 H01L27/3244 G09G2320/043 G09G2300/0861 G09G2300/0852 G09G2300/0819 G09G2300/0842 H01L27/3265 H01L51/5218		
代理人(译)	PARK, 常树		
其他公开文献	KR100761077B1		
外部链接	Espacenet		

摘要(译)

提供有机电致发光显示器以通过使用多路分解器将提供给一条输出线的
数据信号分成多条数据线来减少输出线的数量，从而降低产生数据驱动器
的成本。有机电致发光显示器包括显示面板（100），该显示面板具有
形成在多个扫描线（S1~Sn，E1~En）和多个数据线（D11~Dmk）彼此
交叉的每个区域中的多个像素（P111~Pnmk），以及显示图像；扫描驱动
器（120）通过向扫描线提供扫描信号来选择像素；多个解复用器（151）
向数据线提供数据信号；数据驱动器（130）将数据信号提供给与各个多
路分解器连接的多条输出线；数据线电容器（Cdata111~Cdatan11）设置
在显示面板中形成的每条数据线上，以存储与数据信号对应的电压。

