

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.

H05B 33/00 (2006.01)

H05B 33/10 (2006.01)

H05B 33/26 (2006.01)

(11) 공개번호 10-2006-0078573

(43) 공개일자 2006년07월05일

(21) 출원번호 10-2004-0118560

(22) 출원일자 2004년12월31일

(71) 출원인 엘지.필립스 엘시디 주식회사  
서울 영등포구 여의도동 20번지

(72) 발명자 박용인  
경기 안양시 동안구 호계동 811 호계2차 현대홈타운 202-201

(74) 대리인 김영호

심사청구 : 없음

(54) 일렉트로-루미네센스 표시 패널의 박막 트랜지스터 기관 및 그 제조 방법

요약

본 발명은 공정을 단순화할 수 있는 EL 표시 패널의 박막 트랜지스터 기관 및 그 제조 방법에 관한 것이다.

이를 위하여, 본 발명의 박막 트랜지스터 기관은 폴리 액티브층, 상기 폴리 액티브층과 게이트 절연막을 사이에 두고 중첩된 복층 도전층 구조의 게이트 전극, 상기 게이트 절연막 및 상기 게이트 전극 위의 층간 절연막을 관통하는 컨택홀을 통해 상기 폴리 액티브층과 접속된 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터와; 상기 복층 도전층에 포함된 투명 도전층으로 상기 게이트 절연막 위에 형성되고, 상기 층간 절연막을 관통하는 투과홀에 의해 노출되어 상기 드레인 전극과 접속된 화소 전극과; 상기 화소 전극 위에 형성된 유기 발광층과; 상기 유기 발광층 위에 형성된 공통 전극을 구비한다.

대표도

도 3

명세서

도면의 간단한 설명

도 1은 통상의 유기 EL 표시 패널을 도시한 블록도.

도 2는 본 발명의 실시 예에 따른 유기 EL 패널의 박막 트랜지스터 기관에 포함된 한 화소의 등가 회로도.

도 3은 본 발명의 실시 예에 따른 유기 EL 패널의 박막 트랜지스터 기관에 포함된 한 화소의 수직 구조를 도시한 단면도.

도 4a 내지 도 4f는 도 3에 도시된 박막 트랜지스터 기관의 제조 방법을 단계적으로 설명하기 위한 단면도들.

<도면의 주요부분에 대한 부호의 간단한 설명>

- 20 : 화소 매트릭스 22 : 게이트 드라이버
- 24 : 데이터 드라이버 28 : 화소
- 27 : 셀 구동부 56, 156 : 전원 라인
- 60, 159, 160 : 투과홀 62, 162 : 유기 발광층
- 64, 164 : 그라운드 전극 70, 170 : 게이트 전극
- 72, 172 : 액티브층 84, 184 : 스토리지 하부 전극
- 74, 76, 82, 85, 174, 176 : 컨택홀 80, 180 : 소스 전극
- 78, 185 : 드레인 전극 86, 186 : 화소 전극
- 88, 188 : बैं크 절연막 90, 190 : 기판
- 92, 192 : 버퍼층 94, 194 : 게이트 절연막
- 95, 96, 196 : 층간 절연막 98 : 보호막

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 일렉트로-루미네센스(Electro-Luminescence : 이하, EL이라 함) 표시 패널에 관한 것으로, 특히 공정을 단순화할 수 있는 EL 표시 패널의 박막 트랜지스터 어레이 및 그 제조 방법에 관한 것이다.

음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시 장치들이 대두되고 있다. 이러한 평판 표시 장치로는 액정 표시 장치(Liquid Crystal Display), 전계 방출 표시 장치(Field Emission Display), 플라즈마 표시 패널(Plasma Display Panel) 및 일렉트로-루미네센스(Electro-Luminescence : 이하, EL이라 함) 표시 패널 등이 있다.

이들 중 EL 표시 패널은 전자와 정공의 재결합으로 형광체를 발광시키는 자발광 소자로, 그 형광체로 무기 화합물을 사용하는 무기 EL과 유기 화합물을 사용하는 유기 EL로 대별된다. 이러한 EL 표시 패널은 저전압 구동, 자기발광, 박막형, 넓은 시야각, 빠른 응답속도, 높은 콘트라스트 등의 많은 장점을 가지고 있어 차세대 표시 장치로 기대되고 있다.

유기 EL 소자는 통상 음극과 양극 사이에 적층된 전자 주입층, 전자 수송층, 발광층, 정공 수송층, 정공 주입층으로 구성된다. 이러한 유기 EL 소자에서는 양극과 음극 사이에 소정의 전압을 인가하는 경우 음극으로부터 발생된 전자가 전자 주입층 및 전자 수송층을 통해 발광층 쪽으로 이동하고, 양극으로부터 발생된 정공이 정공 주입층 및 정공 수송층을 통해 발광층 쪽으로 이동한다. 이에 따라, 발광층에서는 전자 수송층과 정공 수송층으로부터 공급되어진 전자와 정공이 재결합함에 의해 빛을 방출하게 된다.

이러한 유기 EL 소자를 이용하는 액티브 매트릭스 EL 표시 패널은 도 1에 도시된 바와 같이 게이트 라인(GL)과 데이터 라인(DL)의 교차로 정의된 영역에 각각 배열되어진 화소들(28)을 구비하는 화소 매트릭스(20)와, 화소 매트릭스(20)의 게이트 라인들(GL)을 구동하는 게이트 드라이버(22)와, 화소 매트릭스(20)의 데이터 라인들(DL)을 구동하는 데이터 드라이버(24)를 구비한다.

게이트 드라이버(22)는 스캔 펄스를 공급하여 게이트 라인들(GL)을 순차적으로 구동한다. 데이터 드라이버(24)는 스캔 펄스가 공급될 때마다 데이터 신호를 데이터 라인들(DL)에 공급하게 된다.

화소들(28) 각각은 게이트 라인(GL)에 스캔 펄스가 공급될 때 데이터 라인(DL)으로부터 데이터 신호를 공급받아 그 데이터 신호에 반응하는 빛을 발생하게 된다.

이와 같이, 종래의 유기 EL 표시 패널에서 박막 트랜지스터 기판은 반도체 공정을 포함한 다수의 마스크 공정으로 형성되므로 그 제조 공정이 복잡하다는 문제점이 있다.

### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 공정을 단순화할 수 있는 EL 표시 패널의 박막 트랜지스터 기판 및 그 제조 방법을 제공하는 것이다.

### 발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명에 따른 EL 표시 패널의 박막 트랜지스터 기판은 폴리 액티브층, 상기 폴리 액티브층과 게이트 절연막을 사이에 두고 중첩된 복층 도전층 구조의 게이트 전극, 상기 게이트 절연막 및 상기 게이트 전극위의 층간 절연막을 관통하는 컨택홀을 통해 상기 폴리 액티브층과 접속된 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터와; 상기 복층 도전층에 포함된 투명 도전층으로 상기 게이트 절연막 위에 형성되고, 상기 층간 절연막을 관통하는 투과홀에 의해 노출되어 상기 드레인 전극과 접속된 화소 전극과; 상기 화소 전극위에 형성된 유기 발광층과; 상기 유기 발광층 위에 형성된 공통 전극을 구비한다.

그리고, 본 발명에 따른 EL 표시 패널의 박막 트랜지스터 기판의 제조 방법은 기판 상에 폴리 액티브층을 형성하는 단계와; 상기 액티브층을 덮는 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막 위에 상기 액티브층과 중첩된 게이트 전극과, 화소 전극을 포함하는 복층 도전층 패턴을 형성하는 단계와; 상기 액티브층에 불순물이 주입된 소스 영역 및 드레인 영역을 형성하는 단계와; 상기 복층 도전층 패턴을 덮는 층간 절연막을 형성하고, 상기 액티브층의 소스 영역 및 드레인 영역을 각각 노출시키는 컨택홀과 상기 화소 전극에 포함된 투명 도전층을 노출시키는 투과홀을 형성하는 단계와; 상기 층간 절연막 위에 상기 액티브층의 소스 영역 및 드레인 영역 각각과 접속된 소스 전극 및 드레인 전극을 형성하는 단계와; 상기 소스 전극 및 드레인 전극과 화소 전극을 덮는 बैं크 절연막을 형성하고, 상기 투과홀을 통해 노출된 화소 전극을 노출시키는 제2 투과홀을 형성하는 단계와; 상기 제2 투과홀을 통해 노출된 화소 전극 위에 유기 발광층을 형성하는 단계와; 상기 유기 발광층 및 बैं크 절연막 위에 공통 전극을 형성하는 단계를 포함한다.

상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 본 발명의 바람직한 실시예를 도 2 내지 도 4f를 참조하여 상세히 설명하기로 한다.

도 2는 본 발명의 실시예에 따른 유기 EL 패널의 박막 트랜지스터 기판에 포함된 한 화소의 등가 회로도이며, 도 3은 본 발명의 실시예에 따른 유기 EL 패널의 박막 트랜지스터 기판에 포함된 한 화소의 수직 구조를 도시한 단면도이다. 구체적으로, 도 3은 도 2에 도시된 한 화소(28) 중 스토리지 캐패시터(C) 및 구동용 박막 트랜지스터(T2)와, EL 셀(OEL)의 수직 구조를 도시한 단면도이다.

도 2에 도시된 한 화소(28)는 게이트 라인(GL) 및 데이터 라인(DL)과 접속된 셀 구동부(27)와, 셀 구동부(27)와 접속된 EL 셀(OEL)을 구비한다. 셀 구동부(27)는 게이트 라인(GL) 및 데이터 라인(DL)과 접속된 스위칭용 박막 트랜지스터(T1)와, 스위칭용 박막 트랜지스터(T1) 및 공급 전압원(VDD)과 EL 셀(OEL)의 양극 사이에 접속된 구동용 박막 트랜지스터(T2)와, 공급 전압원(VDD)과 스위칭용 박막 트랜지스터(T1)의 드레인 전극 사이에 접속된 스토리지 캐패시터(C)를 구비한다. 스위칭용 박막 트랜지스터(T1)의 게이트 전극은 게이트 라인(GL)과 접속되고, 소스 전극은 데이터 라인(DL)과 접속되며, 드레인 전극은 구동용 박막 트랜지스터(T2)의 게이트 전극과 접속된다. 이러한 스위칭용 박막 트랜지스터(T1)는 도 3에 도시된 구동용 박막 트랜지스터(T2)와 동일한 수직 구조로된다.

구동용 박막 트랜지스터(T2)는 도 3에 도시된 바와 같이 버퍼막(192)을 사이에 두고 기판(190) 상에 형성된 액티브층(172), 액티브층(172)과 게이트 절연막(194)을 사이에 두고 중첩된 게이트 전극(170), 게이트 절연막(194)과 층간 절연막

(196)을 관통하는 제1 및 제2 컨택홀(174, 176)을 통해 액티브층(172)의 소스 및 드레인 영역(172S, 172D) 각각과 접속된 소스 전극(180) 및 드레인 전극(185)을 구비한다. 액티브층(172)은 게이트 절연막(194)을 사이에 두고 게이트 전극(170)과 중첩된 채널 영역(172C)과, 채널 영역(172C)을 사이에 두고 불순물이 주입된 소스 영역(172S) 및 드레인 영역(172D)을 구비한다.

여기서, 게이트 전극(170)은 게이트 절연막(194) 위에 투명 도전층(101) 및 금속층(103)이 적층된 복층 구조로 형성된다. 이러한 게이트 전극(170)은 스위칭용 박막 트랜지스터(T1)의 드레인 전극과 접속된다. 이때, 게이트 전극(170)은 층간 절연막(196) 및 게이트 절연막(194)을 관통하는 컨택홀(미도시)을 통해 스위칭용 박막 트랜지스터(T1)의 드레인 전극과 접속하게 된다.

스토리지 캐패시터(C)는 스토리지 하부 전극(184)이 게이트 절연막(194) 및 층간 절연막(196)을 사이에 두고 전원 라인(156)과 중첩되어 형성된다. 여기서, 전원 라인(156)은 도 2에 도시된 공급 전압원(VDD)과 접속됨과 아울러, 구동용 박막 트랜지스터(T2)의 소스 전극(180)과 일체화되어 접속된다. 스토리지 하부 전극(184)은 도 2에 도시된 스위칭용 박막 트랜지스터(T1)의 액티브층과 일체화된 구조로 형성된다.

EL 셀(OEL)은 게이트 절연막(194) 위에 형성된 양극, 즉 화소 전극(186)과, बैं크 절연막(188) 및 층간 절연막(196)을 관통하여 화소 전극(186)을 노출시키는 제2 투과홀(160)과, 제2 투과홀(160)을 통해 노출된 화소 전극(186) 위에 형성된 유기 발광층(162)과, 유기 발광층(162) 및 बैं크 절연막(188) 위에 공통으로 음극, 즉 공통 전극(164)을 구비한다.

여기서, 화소 전극(186)은 게이트 절연막(194) 위에 형성된 투명 도전층(101)과, 투명 도전층(101) 위의 테두리를 따라 잔존하는 금속층(103)을 구비한다. 다시 말하여, 화소 전극(186)의 투명 도전층(101)은 층간 절연막(196) 및 금속층(103)을 관통하는 제1 투과홀을 통해 노출된다. 이와 달리, 화소 전극(186)은 잔존하는 금속층(103) 없이 투명 도전층(101)만으로 형성되기도 한다. 이러한 화소 전극(186)은 구동용 박막 트랜지스터(T2)로부터 제1 투과홀의 측면을 타고 연장된 드레인 전극(185)과 접속된다. 구체적으로, 드레인 전극(185)은 제1 투과홀을 통해 노출된 화소 전극(186)의 금속층(103) 및 투명 도전층(101)과 접속된다.

이와 같이, 본 발명에 따른 유기 EL 표시 패널의 TFT 기판은 화소 전극(186)이 복층 구조의 게이트 전극(170)과 함께 게이트 절연막(116) 위에 형성됨과 아울러, 전원 라인(156)이 소스 전극(180) 및 드레인 전극(185)과 함께 층간 절연막(196) 위에 형성되므로 공정을 단순화시킬 수 있게 된다.

도 4a 내지 도 4f는 본 발명의 실시 예에 따른 유기 EL 표시 패널의 TFT 기판의 제조 방법을 단계적으로 설명하기 위한 단면도들이다.

도 4a를 참조하면, 하부 기판(190) 상에 버퍼막(192)이 형성되고, 그 위에 제1 마스크 공정으로 구동용 박막 트랜지스터(T2)의 액티브층(172)과, 스토리지 하부 전극(184)이 형성된다. 이때, 도 2에 도시된 스위칭용 박막 트랜지스터(T1)의 액티브층이 스토리지 하부 전극(184)과 일체화된 구조로 형성된다.

버퍼막(192)은 하부 기판(100) 상에 SiO<sub>2</sub> 등과 같은 무기 절연 물질이 전면 증착되어 형성된다.

그 다음, 버퍼막(192) 상에 LPCVD(Low Pressure Chemical Vapor Deposition), PECVD(Plasma Enhanced Chemical Vapor Deposition) 등의 방법으로 아몰퍼스 실리콘 박막을 형성한 다음, 결정화하여 폴리 실리콘 박막을 형성한다. 이때, 아몰퍼스 실리콘 박막을 결정화하기 이전에 아몰퍼스 실리콘 박막 내에 존재하는 수소 원자를 제거하기 위한 탈수소화(Dehydrogenation) 공정을 진행하기도 한다. 아몰퍼스 실리콘 박막을 결정화하는 방법으로는 엑시머 레이저 어닐링 방법 중에 하나로, 라인 빔(Line beam)을 수평 방향으로 스캔하여 그래인을 수평방향으로 성장시킴으로써 그래인 크기를 향상시킨 순차적 수평 결정화(SLS) 방법이 주로 이용된다.

그리고, 폴리 실리콘 박막을 제1 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 패터닝하여 구동용 박막 트랜지스터(T2)의 액티브층(172)과, 스토리지 하부 전극(184)을 형성하게 된다. 이때, 도 2에 도시된 스위칭용 박막 트랜지스터(T1)의 액티브층이 스토리지 하부 전극(184)과 일체화된 구조로 형성된다.

도 4b를 참조하면, 액티브층(172) 및 스토리지 하부 전극(184)이 형성된 버퍼막(192) 상에 게이트 절연막(194)이 형성되고, 그 위에 제2 마스크 공정으로 복층 구조를 갖는 구동용 박막 트랜지스터(T2)의 게이트 전극(170)과, 화소 전극(186)이 형성된다. 이때, 도 2에 도시된 게이트 라인(GL)과, 스위칭용 박막 트랜지스터(T1)의 게이트 전극이 복층 구조로 형성된다.

게이트 절연막(194)은 액티브층(172) 및 스토리지 하부 전극(184)이 형성된 버퍼막(192) 상에 SiO<sub>2</sub> 등과 같은 무기 절연 물질이 전면 증착되어 형성된다.

이어서, 게이트 절연막(194) 위에 투명 도전층(101) 및 금속층(103)이 스퍼터링 방법 등으로 적층된다. 투명 도전층(101)으로는 ITO(Indium Tin Oxide), TO(Tin Oxide), IZO(Indium Zinc Oxide), ITZO 등이, 금속층(103)으로는 Mo, Ti, Cu, AlNd, Al, Cr, Mo 합금, Cu 합금, Al 합금 등과 같이 금속 물질이 단일층 또는 적어도 이중 구조로 이용된다. 그 다음, 제2 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 금속층(103) 및 투명 도전층(101)을 패터닝함으로써 복층 구조를 갖는 구동용 박막 트랜지스터(T2)의 게이트 전극(170)과, 화소 전극(186)이 형성된다. 이때, 도 2에 도시된 게이트 라인(GL)과, 스위칭용 박막 트랜지스터(T1)의 게이트 전극이 복층 구조로 형성된다.

그리고, 게이트 전극(170)을 마스크로 이용하여 액티브층(172)의 소스 영역(172S) 및 드레인 영역(172D)과, 스토리지 하부 전극(184)에 p형 또는 n형 불순물을 주입한다. 이러한 액티브층(172)의 소스 및 드레인 영역(172S, 172D)은 게이트 전극(170)과 중첩되는 채널 영역(172C)을 사이에 두고 마주하게 된다. 이때, 도 2에 도시된 스위칭용 박막 트랜지스터(T1)의 액티브층의 소스 영역 및 드레인 영역에도 불순물이 주입된다.

도 4c를 참조하면, 제3 마스크 공정으로 게이트 전극(170) 및 화소 전극(186)이 형성된 게이트 절연막(194) 위에 층간 절연막(196)이 형성되고, 층간 절연막(196) 및 게이트 절연막(194)을 관통하는 제1 및 제2 콘택홀(174, 176)과, 층간 절연막(196) 및 화소 전극(186)의 금속층(103)을 관통하는 제1 투과홀(159)이 형성된다. 이때, 도 2에 도시된 스위칭용 박막 트랜지스터(T1)에 포함된 액티브층의 소스 및 드레인 영역을 각각 노출시키는 콘택홀들과, 그 스위칭용 박막 트랜지스터(T1)와의 접속을 위하여 구동용 박막 트랜지스터(T2)의 게이트 전극(170)을 노출시키는 콘택홀이 더 형성된다.

층간 절연막(196)은 게이트 전극(170) 및 화소 전극(186)이 형성된 게이트 절연막(194) 위에 SiO<sub>2</sub> 등과 같은 무기 절연 물질이 전면 증착되어 형성된다.

이어서, 제3 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 층간 절연막(196) 및 게이트 절연막(194)을 관통하는 제1 및 제2 콘택홀(174, 176)과, 층간 절연막(196)을 관통하는 제1 투과홀(159)이 형성된다. 제1 및 제2 콘택홀(174, 176)은 액티브층(172)의 소스 영역(172S) 및 드레인 영역(172D) 각각을 노출시킨다. 제1 투과홀(159)은 화소 전극(186)의 상부층인 금속층(103)을 노출시킨다. 이때, 도 2에 도시된 스위칭용 박막 트랜지스터(T1)에 포함된 액티브층의 소스 및 드레인 영역을 각각 노출시키는 콘택홀들과, 그 스위칭용 박막 트랜지스터(T1)와의 접속을 위하여 구동용 박막 트랜지스터(T2)의 게이트 전극(170)을 노출시키는 콘택홀이 더 형성된다.

그 다음, 제1 투과홀(159)을 통해 노출된 화소 전극(186)의 금속층(103)을 식각하여 투명 도전층(101)이 노출되게 한다. 이때, 투명 도전층(101)의 주변부에는 층간 절연막(196)과 중첩된 금속층(103)이 잔존하기도 한다.

도 4d를 참조하면, 제4 마스크 공정으로 층간 절연막(196) 상에 구동용 박막 트랜지스터(T2)의 소스 전극(180) 및 드레인 전극(185)과, 소스 전극(180)과 접속된 전원 라인(156)이 형성된다. 이때, 도 2에 도시된 데이터 라인(DL)과 스위칭용 박막 트랜지스터(T1)의 소스 전극 및 드레인 전극이 더 형성된다.

층간 절연막(196) 상에 소스/드레인 금속층 금속층을 형성한다. 소스/드레인 금속층으로는 Mo, Ti, Cu, AlNd, Al, Cr, Mo 합금, Cu 합금, Al 합금 등과 같이 금속 물질이 단일층 또는 적어도 이중 구조로 이용된다. 이어서, 제4 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 소스/드레인 금속층을 패터닝함으로써 구동용 박막 트랜지스터(T2)의 소스 전극(180) 및 드레인 전극(185)과, 전원 라인(156)이 형성된다. 소스 전극(180) 및 드레인 전극(185)은 제1 및 제2 콘택홀(174, 176)을 통해 액티브층(172)의 소스 영역(172S) 및 드레인 영역(172D) 각각과 접속된다. 여기서, 소스 전극(180)은 층간 절연막(196) 및 제1 투과홀(159)의 측면을 타고 연장되어, 그 제1 투과홀(159)을 통해 노출된 화소 전극(186)의 투명 도전층(101) 및 금속층(103)과 접속된다. 전원 라인(156)은 드레인 전극(185)과 접속되고, 스토리지 하부 전극(184)과 층간 절연막(196) 및 게이트 절연막(194)을 사이에 두고 중첩되어 스토리지 캐패시터(C)를 형성하게 된다. 이때, 도 2에

도시된 데이터 라인(DL)과 스위칭용 박막 트랜지스터(T1)의 소스 전극 및 드레인 전극이 더 형성된다. 여기서, 스위칭용 박막 트랜지스터(T1)의 소스 전극 및 드레인 전극 각각은 해당 컨택홀을 통해 액티브층의 소스 영역 및 드레인 영역과 접속되고, 드레인 전극은 구동용 박막 트랜지스터(T2)의 게이트 전극(170)과 해당 컨택홀을 통해 접속된다.

도 4e를 참조하면, 제5 마스크 공정으로 화소 전극(186)의 투명 도전층(101)을 노출시키는 제2 투과홀(160)을 갖는 बैं크 절연막(188)이 소스 전극(180) 및 드레인 전극(185)과 전원 라인(156)이 형성된 층간 절연막(196) 상에 형성된다.

구체적으로, 소스 전극(180) 및 드레인 전극(185)과 전원 라인(156)이 형성된 층간 절연막(196) 상에 बैं크 절연막(188)을 형성된다. बैं크 절연막(188)으로는 유기 절연 물질이 이용된다. 이어서, 제5 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 बैं크 절연막(188)을 관통하여 화소 전극(186)의 투명 도전층(101)을 노출시키는 제2 투과홀(160)이 형성된다. 이와 달리, बैं크 절연막(188)으로 감광성 유기 절연 물질을 이용하는 경우 포토리소그래피 공정으로만 제2 투과홀(160)을 형성하기도 한다.

도 4f를 참조하면, 제6 마스크를 이용한 증착 공정으로 제2 투과홀(160)을 통해 노출된 화소 전극(186) 위에 R, G, B 중 어느 하나의 유기 발광층(162)이 형성되고, 유기 발광층(162) 및 बैं크 절연막(188) 위에 공통 전극(164)이 공통으로 형성된다. 여기서, 화소 전극(186) 위에 형성된 유기 발광층(162)은 제2 투과홀(160)이 형성된 बैं크 절연막(188)의 측면을 경유하여 बैं크 절연막(188)의 상부에 걸치도록 형성된다. 이에 따라, 화소 전극(186) 및 공통 전극(164) 사이에 유기 발광층(162)이 위치하는 EL 셀(OEL)이 완성된다. 공통 전극(164)은 Mo, Ti, Cu, AlNd, Al, Cr, Mo 합금, Cu 합금, Al 합금 등과 같이 금속 물질이 단일층 또는 적어도 이중 구조로 이용된다.

이와 같이, 본 발명의 실시 예에 따른 유기 EL 표시 패널의 박막 트랜지스터 기관의 제조 방법은 5마스크 공정으로 बैं크 절연막(188)까지 형성함으로써 공정을 단순화할 수 있게 된다.

### 발명의 효과

상술한 바와 같이, 본 발명에 따른 유기 EL 표시 패널의 박막 트랜지스터 기관 및 그 제조 방법은 화소 전극을 복층 구조의 게이트 전극과 함께 게이트 절연막 위에 형성함으로써 공정을 단순화할 수 있게 된다.

또한, 본 발명에 따른 유기 EL 표시 패널의 박막 트랜지스터 기관 및 그 제조 방법은 전원 라인을 소스 전극 및 드레인 전극과 함께 층간 절연막 위에 형성함으로써 공정을 단순화할 수 있게 된다.

이에 따라, 본 발명에 따른 유기 EL 표시 패널의 박막 트랜지스터 기관 및 그 제조 방법은 5마스크 공정으로 화소 전극을 노출시키는 제2 투과홀을 갖는 बैं크 절연막까지 형성할 수 있게 됨으로써 재료비 및 설비 투자비 등을 절감함과 아울러 수율을 향상시킬 수 있게 된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

### (57) 청구의 범위

#### 청구항 1.

폴리 액티브층, 상기 폴리 액티브층과 게이트 절연막을 사이에 두고 중첩된 복층 도전층 구조의 게이트 전극, 상기 게이트 절연막 및 상기 게이트 전극 위의 층간 절연막을 관통하는 컨택홀을 통해 상기 폴리 액티브층과 접속된 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터와;

상기 복층 도전층에 포함된 투명 도전층으로 상기 게이트 절연막 위에 형성되고, 상기 층간 절연막을 관통하는 투과홀에 의해 노출되어 상기 드레인 전극과 접속된 화소 전극과;

상기 화소 전극 위에 형성된 유기 발광층과;

상기 유기 발광층 위에 형성된 공통 전극을 구비하는 것을 특징으로 하는 일렉트로 루미네센스 표시 패널의 박막 트랜지스터 기관.

## 청구항 2.

제 1 항에 있어서,

상기 층간 절연막 위에 형성되어 상기 소스 전극과 접속된 전원 라인과;

상기 전원 라인과의 중첩으로 스토리지 캐패시터를 형성하는 스토리지 하부 전극을 추가로 구비하는 것을 특징으로 하는 일렉트로 루미네센스 표시 패널의 박막 트랜지스터 기관.

## 청구항 3.

제 2 항에 있어서,

상기 스토리지 하부 전극은 상기 게이트 절연막 및 층간 절연막 사이에 두고 상기 전원 라인과 중첩된 것을 특징으로 하는 일렉트로 루미네센스 표시 패널의 박막 트랜지스터 기관.

## 청구항 4.

제 2 항에 있어서,

상기 스토리지 하부 전극은 불순물이 주입된 액티브층으로 형성된 것을 특징으로 하는 일렉트로 루미네센스 표시 패널의 박막 트랜지스터 기관.

## 청구항 5.

제 1 항에 있어서,

상기 투과홀을 통해 노출된 화소 전극 위에 상기 유기 발광층이 형성된 제2 투과홀을 갖는 बैं크 절연막을 추가로 구비하는 것을 특징으로 하는 일렉트로 루미네센스 표시 패널의 박막 트랜지스터 기관.

## 청구항 6.

제 1 항에 있어서,

상기 드레인 전극은

상기 투과홀이 형성된 층간 절연막의 측면을 경유하여 상기 화소 전극과 접속된 것을 특징으로 하는 일렉트로 루미네센스 표시 패널의 박막 트랜지스터 기관.

## 청구항 7.

제 1 항에 있어서,

상기 화소 전극은

상기 투과홀의 외곽을 둘러싸면서 상기 투명 도전층 위에 잔존하는 금속층을 추가로 구비하는 것을 특징으로 하는 일렉트로 루미네센스 표시 패널의 박막 트랜지스터 기판.

### 청구항 8.

제 1 항에 있어서,

상기 금속층은 상기 층간 절연막과 중첩되어 잔존하는 것을 특징으로 하는 일렉트로 루미네센스 표시 패널의 박막 트랜지스터 기판.

### 청구항 9.

제 1 항에 있어서,

상기 복층 도전층은

하부의 투명 도전층과, 상부의 금속층이 적층된 구조로 형성된 것을 특징으로 하는 일렉트로 루미네센스 표시 패널의 박막 트랜지스터 기판.

### 청구항 10.

제 2 항에 있어서,

상기 층간 절연막을 사이에 두고 교차하는 게이트 라인 및 데이터 라인과;

상기 게이트 라인과 접속된 게이트 전극, 상기 데이터 라인과 접속된 소스 전극, 상기 박막 트랜지스터의 게이트 전극과 접속된 드레인 전극, 상기 소스 전극 및 드레인 전극 사이에 채널을 형성하는 폴리 액티브층을 포함하는 제2 박막 트랜지스터를 추가로 구비하는 것을 특징으로 하는 일렉트로 루미네센스 표시 패널의 박막 트랜지스터 기판.

### 청구항 11.

제 10 항에 있어서,

상기 스토리지 하부 전극은 상기 제2 박막 트랜지스터의 폴리 액티브층과 접속된 것을 특징으로 하는 일렉트로 루미네센스 표시 패널의 박막 트랜지스터 기판.

### 청구항 12.

기판 상에 폴리 액티브층을 형성하는 단계와;

상기 액티브층을 덮는 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 위에 상기 액티브층과 중첩된 게이트 전극과, 화소 전극을 포함하는 복층 도전층 패턴을 형성하는 단계와;

상기 액티브층에 불순물이 주입된 소스 영역 및 드레인 영역을 형성하는 단계와;

상기 복층 도전층 패턴을 덮는 층간 절연막을 형성하고, 상기 액티브층의 소스 영역 및 드레인 영역을 각각 노출시키는 컨택홀과 상기 화소 전극에 포함된 투명 도전층을 노출시키는 투과홀을 형성하는 단계와;

상기 층간 절연막 위에 상기 액티브층의 소스 영역 및 드레인 영역 각각과 접속된 소스 전극 및 드레인 전극을 형성하는 단계와;

상기 소스 전극 및 드레인 전극과 화소 전극을 덮는 배크 절연막을 형성하고, 상기 투과홀을 통해 노출된 화소 전극을 노출시키는 제2 투과홀을 형성하는 단계와;

상기 제2 투과홀을 통해 노출된 화소 전극 위에 유기 발광층을 형성하는 단계와;

상기 유기 발광층 및 배크 절연막 위에 공통 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 일렉트로 루미네센스 표시 패널의 박막 트랜지스터 기관의 제조 방법.

### 청구항 13.

제 12 항에 있어서,

상기 층간 절연막 위에 형성되어 상기 소스 전극과 접속된 전원 라인을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 일렉트로 루미네센스 표시 패널의 박막 트랜지스터 기관의 제조 방법.

### 청구항 14.

제 13 항에 있어서,

상기 액티브층과 함께 상기 기관 상에 상기 전원 라인과의 중첩으로 스토리지 캐패시터를 형성하는 스토리지 하부 전극을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 일렉트로 루미네센스 표시 패널의 박막 트랜지스터 기관의 제조 방법.

### 청구항 15.

제 14 항에 있어서,

상기 스토리지 하부 전극은 불순물이 주입된 액티브층으로 형성된 것을 특징으로 하는 일렉트로 루미네센스 표시 패널의 박막 트랜지스터 기관의 제조 방법.

### 청구항 16.

제 12 항에 있어서,

상기 액티브층의 소스 영역 및 드레인 영역은 상기 게이트 전극을 마스크로 이용한 상기 불순물 주입으로 형성된 것을 특징으로 하는 일렉트로 루미네센스 표시 패널의 박막 트랜지스터 기관의 제조 방법.

### 청구항 17.

제 12 항에 있어서,

상기 투과홀을 형성하는 단계는

상기 층간 절연막을 패터닝하여 상기 투과홀을 형성하는 단계와;

상기 투과홀을 통해 노출된 상기 화소 전극의 상부 도전층을 식각하여 상기 화소 전극의 투명 도전층을 노출시키는 단계를 포함하는 것을 특징으로 하는 일렉트로 루미네센스 표시 패널의 박막 트랜지스터 기판의 제조 방법.

### 청구항 18.

제 17 항에 있어서,

상기 투과홀은

상기 화소 전극의 투명 도전층의 테두리를 따라 상기 상부 도전층이 잔존하도록 상기 층간 절연막 및 상기 상부 도전층을 관통하여 형성된 것을 특징으로 하는 일렉트로 루미네센스 표시 패널의 박막 트랜지스터 기판의 제조 방법.

### 청구항 19.

제 12 항에 있어서,

상기 복층 도전층은

하부의 투명 도전층과, 상부의 금속층이 적층된 구조로 형성된 것을 특징으로 하는 일렉트로 루미네센스 표시 패널의 박막 트랜지스터 기판의 제조 방법.

### 청구항 20.

제 12 항에 있어서,

상기 기판과 액티브층 사이에 버퍼막을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 일렉트로 루미네센스 표시 패널의 박막 트랜지스터 기판의 제조 방법.

### 청구항 21.

제 14 항에 있어서,

상기 층간 절연막을 사이에 두고 교차하는 게이트 라인 및 데이터 라인을 형성하는 단계와;

상기 게이트 라인과 접속된 게이트 전극, 상기 데이터 라인과 접속된 소스 전극, 상기 박막 트랜지스터의 게이트 전극과 접속된 드레인 전극, 상기 소스 전극 및 드레인 전극 사이에 채널을 형성하는 액티브층을 포함하는 제2 박막 트랜지스터를 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 일렉트로 루미네센스 표시 패널의 박막 트랜지스터 기판의 제조 방법.

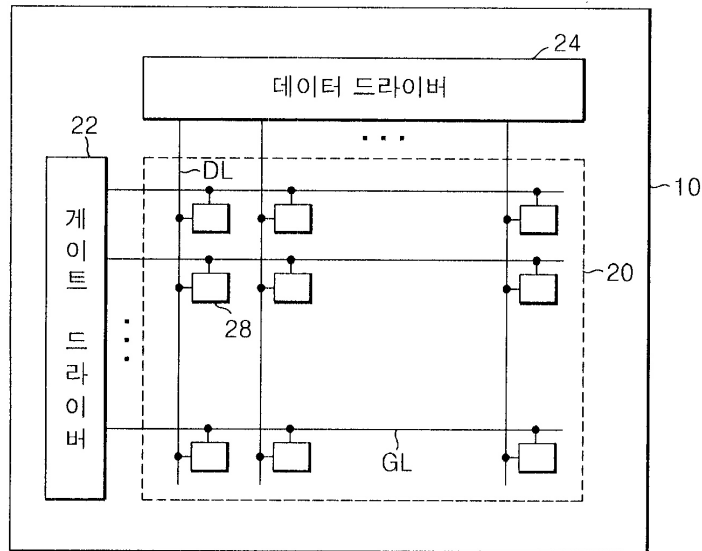
### 청구항 22.

제 21 항에 있어서,

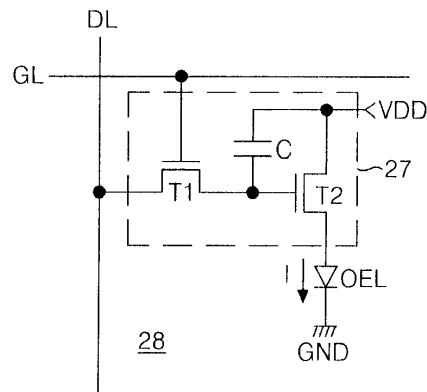
상기 스토리지 하부 전극은 상기 제2 박막 트랜지스터의 액티브층과 접속된 것을 특징으로 하는 일렉트로 루미네센스 표시 패널의 박막 트랜지스터 기판의 제조 방법.

도면

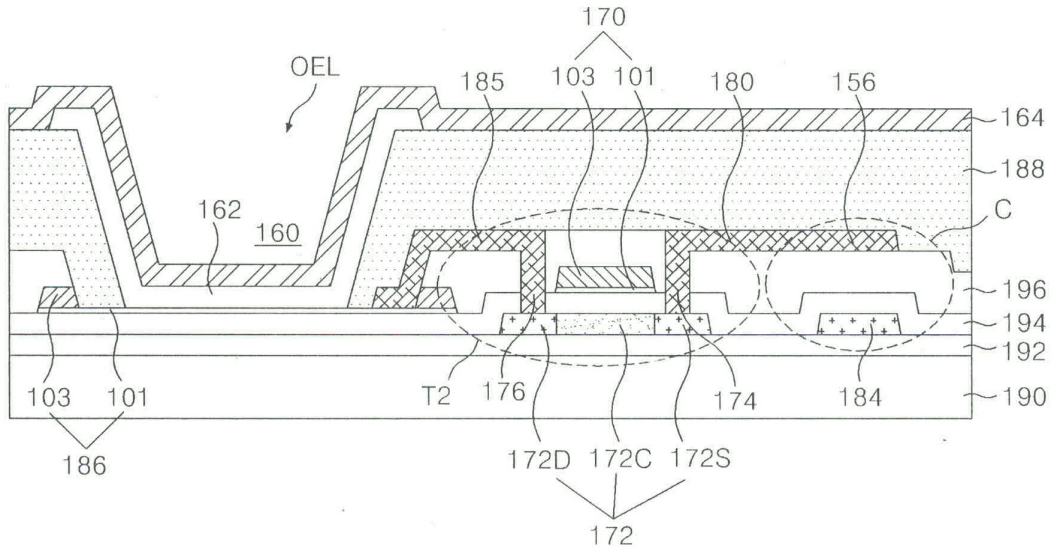
도면1



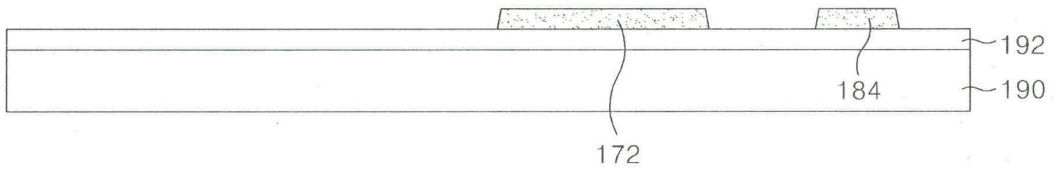
도면2



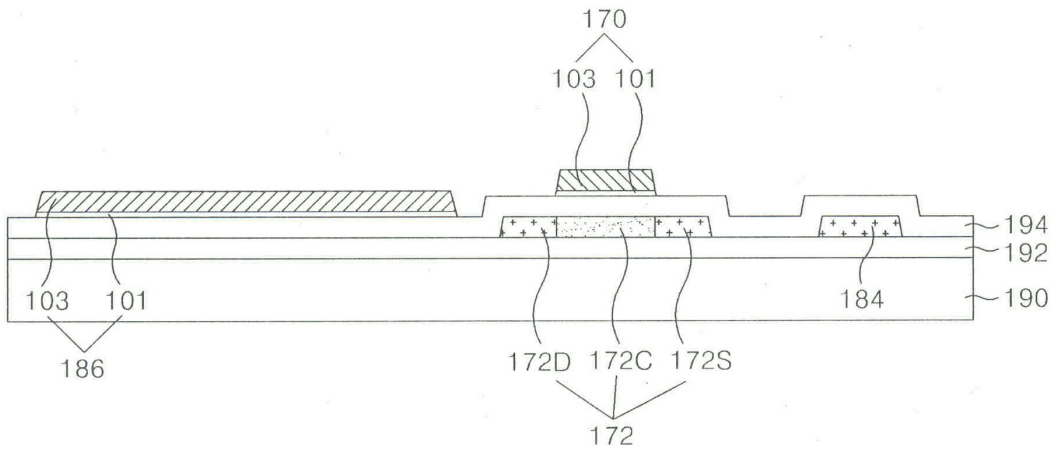
도면3



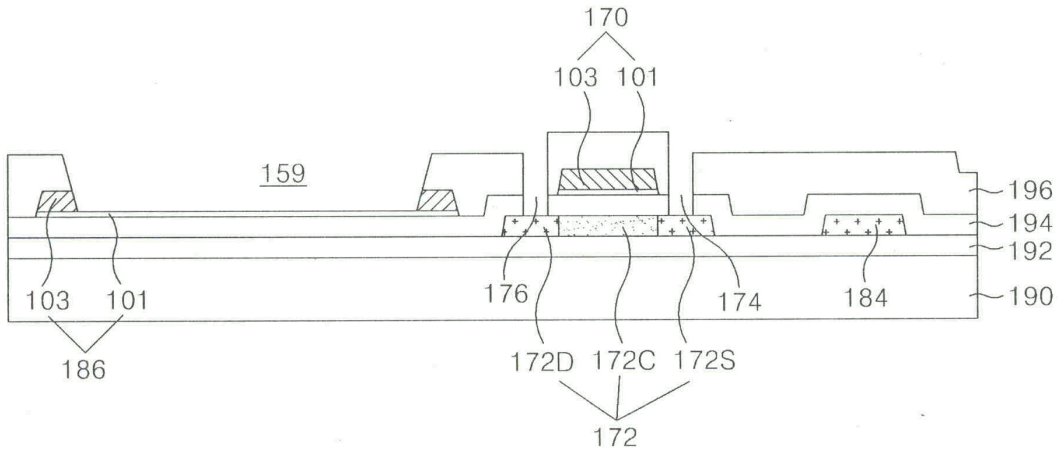
도면4a



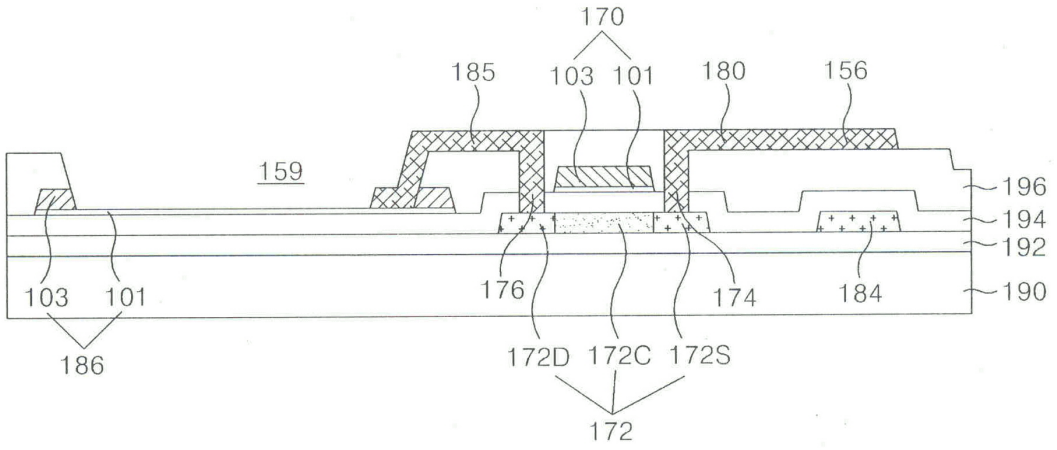
도면4b



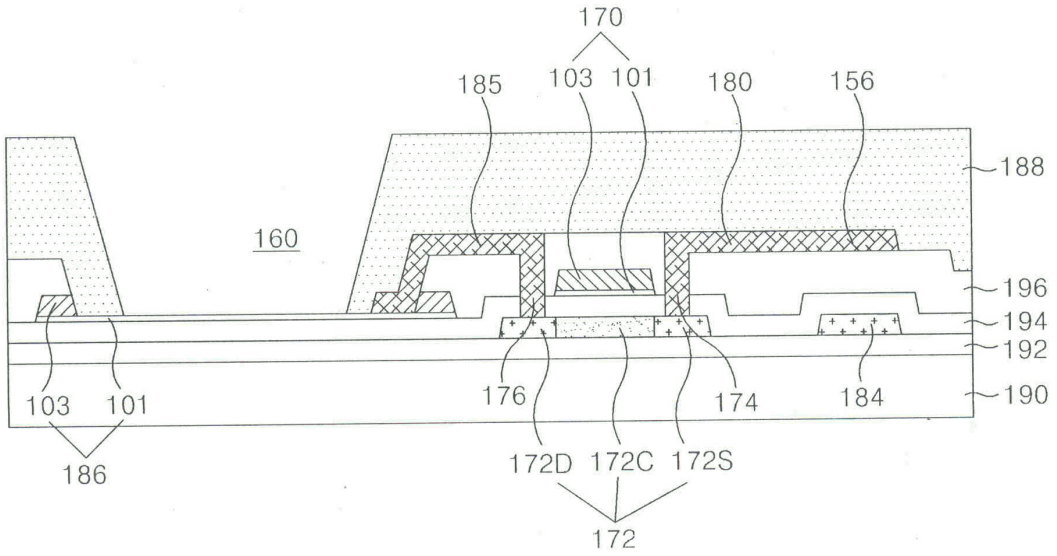
도면4c



도면4d



도면4e





专利名称(译)	电致发光显示面板的薄膜晶体管基板及其制造方法		
公开(公告)号	<a href="#">KR1020060078573A</a>	公开(公告)日	2006-07-05
申请号	KR1020040118560	申请日	2004-12-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK YONGIN		
发明人	PARK,YONGIN		
IPC分类号	H05B33/00 H05B33/10 H05B33/26		
CPC分类号	H01L51/56 H01L27/3248 H01L2227/323 H01L27/1288 H01L27/1214 Y10T428/10		
其他公开文献	KR101107252B1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明涉及EL显示板的薄膜晶体管基板及其制造方法，其可以简化工工艺。为此，本发明的薄膜晶体管基板包括多层，其中多层和栅极绝缘膜夹在其间的多层导电层结构的栅电极，穿透栅极绝缘膜的接触孔，一种薄膜晶体管，包括通过孔连接到多晶硅层的源电极和漏电极；形成在栅极绝缘膜上的像素电极作为包括在多层导电层中的透明导电层，该像素电极通过穿过层间绝缘膜并连接到漏电极的通孔暴露；形成在像素电极上的有机发光层；并且在有机发光层上形成公共电极。 3

