

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.

H05B 33/06 (2006.01)

H05B 33/10 (2006.01)

(11) 공개번호

10-2006-0061880

(43) 공개일자

2006년06월08일

(21) 출원번호 10-2005-0087895

(22) 출원일자 2005년09월21일

(30) 우선권주장 1020040100627 2004년12월02일 대한민국(KR)

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지(72) 발명자 배성준
경기 성남시 분당구 서현동 효자촌현대아파트 106-1101
이재운
서울 용산구 원효로4가 178번지 강변삼성아파트 103동105호
이준석
서울 구로구 구로4동 두산아파트 106-1005

(74) 대리인 허용록

심사청구 : 없음

(54) 유기전계발광표시장치 및 그 제조방법

요약

본 발명은 역 테이퍼 형상의 격벽을 사용하지 않고, 유기전계발광층을 균일하게 형성할 수 있는 유기전계발광표시장치 및 그 제조방법을 개시한다. 개시된 유기전계발광표시장치는, 서로 일정간격 이격되어 배치된 제 1, 2 기판과; 상기 제 1기판에 서브픽셀 단위로 형성된 적어도 하나의 박막트랜지스터를 가지는 어레이 소자와; 상기 제 2기판 상에 형성된 제 1전극과; 상기 제 1 전극 상부의 각 서브픽셀을 구획하는 외곽 영역에 형성된 제 1버퍼와; 상기 제 1버퍼의 단차부를 포함하는 영역에 형성된 제 2 버퍼와; 상기 제 2버퍼와 중첩되지 않는 제 1버퍼 영역이 제거되어 형성된 언더컷 구조 영역과; 상기 제 2 버퍼에 의해 구획된 각 서브픽셀 영역에 형성되는 유기전계발광층과; 상기 유기전계발광층이 형성된 제 2기판 상에 형성되는 제 2전극과; 상기 각 서브픽셀 별로 대응되는 상기 제 1기판 상의 박막트랜지스터와 제 2기판 상의 제 2전극을 전기적으로 연결시키는 전도성 스페이서를 포함한다.

대표도

도 3

명세서

도면의 간단한 설명

도 1은 종래 유기전계발광표시장치의 개략적인 단면도.

도 2는 본 발명의 제 1 실시예에 따른 유기전계발광표시장치의 평면도.

도 3은 도 2의 I ~ I' 선상에 따른 단면도.

도 4는 상기 도 3의 A 영역을 확대한 단면도.

도 5는 실란과 암모니아의 조성 비율에 따른, 버퍼의 언더컷의 깊이를 설명하기 위한 도면.

도 6a 내지 도 6f는 본 발명의 제 1 실시예에 따른 유기전계발광표시장치의 제조방법을 설명하기 위한 공정단면도.

도 7은 본 발명의 제 1 실시예에 따른 유기전계발광표시장치의 제조공정에 대한 순서도.

도 8은 본 발명의 제 2 실시예에 따른 유기전계발광표시장치의 단면도.

도 9a 내지 도 9g는 본 발명의 제 2 실시예에 따른 유기전계발광표시장치의 제조방법을 설명하기 위한 공정단면도.

도 10은 본 발명의 제 3 실시예에 의한 유기전계발광표시장치의 평면도.

도면의 주요부에 대한 부호설명

132: 제 1 전극 136: 유기전계발광층

533: 제 1 버퍼 535: 제 2 버퍼

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기전계발광표시장치 및 그 제조방법에 관한 것이다.

최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판표시장치들이 개발되고 있다. 이러한 평판표시장치는 액정표시장치(Liquid Crystal Display), 전계 방출 표시장치(Field Emission Display), 플라즈마 디스플레이 패널(Plasma Display Panel) 및 전계발광(Electro-Luminescence)표시장치 등이 있다.

최근에 이와 같은 평판표시장치의 표시품질을 높이고 대화면화를 시도하는

연구들이 활발히 진행되고 있다. 이들 중 전계발광표시장치는 스스로 발광하는 자발광 소자이다. 전계발광표시장치는 전자 및 정공 등의 캐리어를 이용하여 형광물질을 여기시킴으로써 비디오 영상을 표시하게 된다. 이 전계발광표시장치는 사용하는 재료에 따라 무기 전계발광표시장치와 유기 전계발광표시장치로 크게 나뉘어진다. 상기 유기 전계발광표시장치는 100~200V의 높은 전압을 필요로 하는 무기 전계발광표시장치에 비해 5~20V 정도의 낮은 전압으로 구동됨으로써 직류 저전압 구동이 가능하다. 또한, 유기 전계발광표시장치는 넓은 시야각, 고속 응답성, 고 콘트라스트비(contrast ratio) 등의 뛰어난 특징을 갖고 있으므로, 그래픽 디스플레이의 픽셀(pixel), 텔레비전 영상 디스플레이나 표면 광원(Surface Light Source)의 픽셀로서 사용될 수 있으며, 얇고 가벼우며 색감이 좋기 때문에 차세대 평면 디스플레이로서 적합하다.

한편, 이러한 유기 전계발광표시장치의 구동방식으로는 별도의 박막트랜지스터를 구비하지 않는 패시브 매트릭스 방식(Passive matrix type)이 주로 이용되고 있다.

그러나, 상기 패시브 매트릭스 방식은 해상도나 소비전력, 수명 등에 많은 제한적인 요소를 가지고 있기 때문에, 고해상도나 대화면을 요구하는 차세대 디스플레이 제조를 위한 액티브 매트릭스형 전계발광표시장치가 연구/개발되고 있다.

이하, 첨부된 도면을 참조하여 종래의 유기전계발광표시장치를 상세히 설명하면 다음과 같다.

도 1은 종래 유기전계발광표시장치의 개략적인 단면도로서, 이는 하부 발광방식으로 동작하는 AMOLED의 단면 구조를 나타내고 있다.

설명의 편의상 적(R), 녹(G), 청(B)의 서브 픽셀(sub pixel)들로 이루어진 하나의 픽셀(pixel) 영역을 중심으로 도시하였다.

도시된 바와 같이, 제 1 기관(10)의 투명 기관(1) 상부에는 서브 픽셀별로 박막트랜지스터(T)와 제 1 전극(12)이 형성되어 있고, 상기 박막트랜지스터(T) 및 제 1 전극(12) 상부에는 적(Red), 녹(Green), 청(Blue) 컬러를 띠는 유기전계발광층(14)이 형성되어 있고, 유기전계발광층(14) 상부에는 제 2 전극(16)이 형성되어 있다. 상기 제 1, 2 전극(12, 16)은 유기전계발광층(14)에 전계를 인가해주는 역할을 한다.

이와 같이 상기 유기전계발광층(14)이 형성된 제 1 기관(10)은 제 2 기관(30)과 합착된다.

한 예로, 하부발광방식 구조에서 상기 제 1 전극(12)을 양극(anode)으로, 제 2 전극(16)을 음극(cathode)으로 구성할 경우 제 1 전극(12)은 투명도전성 물질에서 선택되고, 제 2 전극(16)은 일함수가 낮은 금속물질에서 선택되며, 이런 조건 하에서 상기 유기전계발광층(14)은 제 1 전극(12)과 접하는 층에서부터 정공주입층(14a; hole injection layer), 정공수송층(14b; hole transporting layer), 발광층(14c; emission layer), 전자수송층(14d; electron transporting layer) 순서대로 적층된 구조를 이룬다.

이때, 상기 발광층(14c)은 서브픽셀별로 적, 녹, 청 컬러를 구현하는 발광물질이 차례대로 배치된 구조를 가진다.

이와 같이, 기존의 유기전계발광표시장치는 박막트랜지스터(T)와 전극을 포함하는 어레이 소자와 유기전계발광 다이오드가 동일 기관 상에 적층된 구조로 이루어지는 것을 특징으로 하였다.

그러나, 앞서 설명한 종래의 하부 발광방식의 유기전계발광표시장치는, 상기 어레이 소자 및 유기전계발광 다이오드가 형성된 기관과 별도의 인캡슐레이션용 기관의 합착을 통해 소자를 제작하는데, 이 경우 어레이 소자의 수율과 유기전계발광 다이오드의 수율의 곱이 유기전계발광 소자의 수율을 결정하기 때문에, 후반 공정에 해당되는 유기전계발광 다이오드 공정에 의해 전체 공정 수율이 크게 제한되는 문제점이 있다. 예를 들어, 어레이 소자가 양호하게 형성되었다 하더라도, 1000Å 정도의 박막을 사용하는 유기전계발광층의 형성 시 이물이나 기타 다른 요소에 의해 불량 발생하게 되면, 유기전계발광 소자는 불량 등급으로 판정된다.

이로 인하여, 양품의 어레이 소자를 제조하는데 소요되었던 제반 경비 및 재료비 손실이 초래되고, 생산수율이 저하되는 문제점이 있다.

그리고, 하부발광방식은 인캡슐레이션에 의한 안정성 및 공정이 자유도가 높은 반면 개구율의 제한이 있어 고해상도 제품에 적용하기 어려운 문제점이 있고, 상부발광방식은 박막트랜지스터 설계가 용이하고 개구율 향상이 가능하기 때문에 제품수명 측면에서 유리하지만, 기존의 상부발광방식 구조에서는 유기전계발광층 상부에 통상적으로 음극이 위치함에 따라 재료 선택폭이 좁기 때문에 투과도가 제한되어 광효율이 저하되는 등의 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 각 서브픽셀을 구획하도록 외곽 영역에 형성된 버퍼를 언더 컷 구조로 형성함으로써, 역 테이퍼 형상의 격벽을 사용하지 않고 각 서브픽셀 별로 전극을 분리할 수 있고, 유기전계발광층을 균일하게 형성할 수 있는 유기전계발광표시장치 및 그 제조방법을 제공함에 그 목적이 있다.

또한, 본 발명은 서브픽셀을 구획하는 버퍼를 언더 컷 구조로 형성하기 위하여 건식각 공정을 사용하기 때문에 폐수 처리의 문제를 발생시키지 않으면서, 표면처리 과정 동시에 진행하여 공정을 단순화할 수 있는 유기전계발광표시장치 및 그 제조방법을 제공하는데 또 다른 목적이 있다.

발명의 구성 및 작용

본 발명에 따른 유기전계발광표시장치는, 서로 일정간격 이격되어 배치된 제 1, 2 기판과; 상기 제 1기판에 서브픽셀 단위로 형성된 적어도 하나의 박막트랜지스터를 가지는 어레이 소자와; 상기 제 2기판 상에 형성된 제 1전극과; 상기 제 1 전극 상부의 각 서브픽셀을 구획하는 외곽 영역에 형성된 제 1버퍼와; 상기 제 1버퍼의 단차부를 포함하는 영역에 형성된 제 2 버퍼와; 상기 제 2버퍼와 중첩되지 않는 제 1버퍼 영역이 제거되어 형성된 언더컷 구조 영역과; 상기 제 2버퍼에 의해 구획된 각 서브픽셀 영역에 형성되는 유기전계발광층과; 상기 유기전계발광층이 형성된 제 2기판 상에 형성되는 제 2전극과; 상기 각 서브픽셀 별로 대응되는 상기 제 1기판 상의 박막트랜지스터와 제 2기판 상의 제 2전극을 전기적으로 연결시키는 전도성 스페이서를 포함한다.

본 발명의 다른 실시예에 따른 유기전계발광표시장치는, 전면에 제 1 전극이 형성된 기판; 상기 기판의 제 1 전극 상에 다수개의 화소영역 단위로 형성된 유기전계발광층; 상기 유기발광층상에 형성된 제 2 전극; 상기 유기발광층과 제 2 전극이 형성된 화소영역의 둘레를 둘러싸면서 상기 제 1 전극 상에 형성된 제 1 버퍼; 상기 제 1 버퍼의 단차 영역에 라운드 형태로 형성된 제 2 버퍼를 포함한다.

본 발명의 또 다른 실시예에 따른 유기전계발광표시장치 제조방법은, 제 1기판 내부면에 서브픽셀 단위로 형성된 적어도 하나의 박막트랜지스터를 갖는 어레이 소자를 형성하는 단계와; 제 2기판의 투명기판 상에 제 1전극이 형성하는 단계와; 상기 제 1전극의 상부 영역 중 각 서브픽셀을 구획하는 서브픽셀의 외곽 영역에 제 1버퍼를 형성하는 단계와; 상기 제 1버퍼의 단차부를 포함하는 영역에 제 2버퍼를 형성하는 단계와; 상기 제 2버퍼와 중첩되지 않는 제 1버퍼 영역이 제거되어 언더컷 구조를 형성하는 단계와; 상기 각 서브 픽셀에 있어 상기 제 2버퍼에 의해 구획된 영역 내에 유기전계발광층을 형성하는 단계와; 상기 유기전계 발광층이 형성된 제 2기판 상에 제 2전극을 형성하는 단계와; 상기 제 1, 2기판이 합착되는 단계를 포함한다.

본 발명의 또 다른 실시예에 따른 유기전계발광표시장치 제조방법은, 다수개의 화소영역들을 갖는 기판을 준비하는 단계; 상기 화소영역들을 포함한 상기 기판의 전면에 제 1 전극을 형성하는 단계; 상기 화소영역을 제외한 상기 제 1 전극의 상부에 제 1 버퍼를 형성하는 단계; 상기 화소영역의 둘레를 둘러싸도록 상기 제 1 버퍼의 단차 영역에 제 2 버퍼를 형성하는 단계; 상기 제 2 버퍼와 중첩되지 않는 제 1 버퍼를 식각하여 언더 컷 구조를 갖는 격벽을 형성하는 단계; 상기 제 1 버퍼와 제 2 버퍼로된 격벽을 형성한 후, 상기 화소영역에 유기전계발광층을 형성하는 단계; 및 상기 유기전계발광층이 형성된 기판 상에 도전성 금속막을 형성하여, 제 2 전극을 형성하는 단계를 포함한다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예에 따른 유기전계발광표시장치를 상세히 설명하면 다음과 같다.

도 2는 본 발명의 제 1 실시예에 따른 유기전계발광표시장치의 평면도이고, 도 3은 도 2의 I-I' 선상에 따른 단면도이다.

도 2 및 도 3에 도시된 바와 같이, 본 발명의 실시예에 따른 유기전계발광표시장치(200)는 적(R), 녹(G), 청(B)의 서브 픽셀들(sub pixel)이 매트릭스 형태로 형성되어 있고, 상기 서브 픽셀들은 제 1버퍼(533)와 제 2 버퍼(535)로 구성된 버퍼층(second electrode separator)에 의해 분리되어 있다. 그리고 상기 각각의 서브 픽셀들 주위에는 보조전극(139)이 격자 형태로 배치되어 있고, 상기 보조전극(139)은 각 서브 픽셀에 공통으로 전압을 인가하는 제 1 전극(132)과 전기적으로 콘택되어 있다. 여기서, 3개의 적, 녹, 청의 서브 픽셀은 하나의 픽셀(pixel)로 정의한다.

도면에 도시하였지만, 설명하지 않은 810은 스페이서 접촉부이고, 구체적인 평면 구조에 대한 상세한 설명은 도 10에서 한다.

상기 제 1 버퍼(533)와 제 2 버퍼(535)로 구성된 버퍼층은 언더 컷 구조로 형성되어 있는데, 상기 제 1 버퍼(533) 상에는 제 2 전극(138)으로된 보조전극(139)이 형성되어 있다.

상기 유기전계발광표시장치(200)는 서로 대향하는 제 1, 2 기판(110, 130)이 일정한 간격으로 이격 배치되어 있고, 제 1 기판(110)의 투명기판(100) 상에는 어레이 소자(120)가 형성되어 있으며, 제 2 기판(130)의 투명 기판(101) 내부면에는 유기전계발광 다이오드(E)가 형성되어 있다.

상기 제 2 기판(130)의 투명기판(101) 상에 형성된 유기전계발광 다이오드(E)의 구조는 상기 투명기판(101) 상에 공통전극으로 이용되는 제 1 전극(132)이 형성되어 있고, 상기 제 1 전극(132) 상에는 각 서브픽셀을 구획하는 외곽 영역에 형성된 제 1버퍼(533)와, 상기 제 1버퍼(533)의 단차부를 포함하는 영역에 라운드 테이퍼 형상으로 형성된 제 2버퍼(535)가 구비되어 있다.

상기 노출된 제 1버퍼(533)가 언더 컷(under cut) 구조로 제거되어 공간(534)이 형성되기 때문에 역 테이퍼 형상의 격벽을 사용하지 않고 각 서브픽셀 별로 제 2전극(138)을 분리할 수 있으며, 고분자 물질로 이루어지는 유기전계발광층(136)을 균일하게 형성할 수 있도록 함에 그 특징이 있다.

상기 서브픽셀에는 유기전계발광층(136)과, 제 2 전극(138)이 차례대로 형성되어 있다. 즉, 상기 서브픽셀 단위로 유기전계발광층(136)과 제 2 전극(138)이 상기 제 1 버퍼(533)와 제 2 버퍼(535)에 의해 분리된 패턴으로 형성되어 있다.

상기 유기전계발광층(136)은 제 1 캐리어 전달층(136a), 발광층(136b), 제 2 캐리어 전달층(136c)이 차례대로 적층된 구조로 이루어지며, 상기 제 1, 2 캐리어 전달층(136a, 136c)은 발광층(136b)에 전자(electron) 또는 정공(hole)을 주입(injection) 및 수송(transporting)하는 역할을 한다.

상기 제 1, 2 캐리어 전달층(136a, 136c)은 양극 및 음극의 배치구조에 따라 정해지는 것으로, 한 예로 상기 발광층(136b)이 고분자 물질에서 선택되고, 제 1 전극(132)을 양극, 제 2 전극(138)을 음극으로 구성하는 경우에는 제 1 전극(132)과 연결하는 제 1 캐리어 전달층(136a)은 정공주입층, 정공수송층이 차례대로 적층된 구조를 이루고, 제 2 전극(138)과 연결하는 제 2 캐리어 전달층(136c)은 전자주입층, 전자수송층이 차례대로 적층된 구조로 이루어진다.

또한, 상기 유기전계발광층(136)은 고분자 물질 또는 저분자 물질로 형성할 수 있는데, 형성방법에는 진공 증착 방법, 잉크젯 방법, 프린팅 방법, 노즐 분사방법, 롤코팅 방법 등을 사용한다.

상기 저분자 물질의 경우에는 일반적으로 진공증착법을 사용하였으나, 솔루션 캐스팅(solution casting)이 가능한 경우에는 상기에서 제시한 형성방법들을 사용하여 유기전계발광층(136)을 형성할 수 있다.

본 발명에서는 잉크젯 방법에 의해 유기전계발광층(136)이 형성되는 것을 중심으로 설명하지만, 진공 증착방법, 프린팅 방법, 노즐 분사방법, 롤코팅 방법도 본 발명의 듀얼 패널 유기전계발광장치에 적용할 수 있다.

상기 제 1 기관(110)의 어레이 소자(120)는 박막트랜지스터(T)를 포함하는 소자로서, 상기 유기전계발광 다이오드(E)에 전류를 공급하기 위하여, 서브픽셀 단위로 제 2 전극(138)과 박막트랜지스터(T)를 연결하는 위치에 기둥형상의 전도성 스페이서(114)가 위치한다.

상기 전도성 스페이서(114)는 일반적인 액정표시장치용 스페이서와 달리, 셀갭 유지 기능 뿐 아니라 기관을 전기적으로 연결시키는 것을 그 목적으로 하는 것으로, 두 기관 간의 사이 구간에서 기둥형상으로 일정 높이를 가지는 특성을 갖는다.

즉, 상기 전도성 스페이서(114)는 제 1기관(110)에 서브픽셀 단위로 구비된 박막트랜지스터(T)의 드레인 전극(112)과 제 2기관(130)에 구비된 제 2전극(138)을 전기적으로 연결하는 역할을 수행하며, 이는 유기절연막 등으로 형성된 기둥형상의 스페이서에 금속이 입혀져 구성된다. 이와 같은 상기 전도성 스페이서(114)는 상기 제 1, 2기관(110, 130)의 픽셀을 일대일로 합착하여 전류를 통하게 한다.

상기 전도성 스페이서(114)와 박막트랜지스터(T)의 연결부위를 좀 더 상세히 설명하면, 박막트랜지스터(T)를 덮는 영역에 드레인 전극(112)을 일부 노출시키는 드레인 콘택홀(122)을 가지는 보호층(124)이 형성되어 있고, 보호층(124) 상부에는 드레인 콘택홀(122)을 통해 드레인 전극(112)과 연결되어 전도성 스페이서(114)가 위치한다.

여기서, 상기 박막트랜지스터(T)는, 상기 유기전계발광 다이오드(E)와 연결되는 구동용 박막트랜지스터에 해당된다.

상기 전도성 스페이서(114)의 외부를 이루는 금속은 전도성 물질에서 선택되며, 바람직하게는 연성을 띠고, 비저항값이 낮은 금속물질에서 선택되는 것이 바람직하다.

따라서 본 발명의 유기전계발광표시장치는 박막트랜지스터(T)를 포함하는 어레이 소자(120)를 제 1 기관(110)의 투명기관(100)상에 형성한 다음, 도 6a 내지 도 6f에 따라 형성된 제 2 기관(130)을 합착하여 완성한다.

이때, 상기 스페이서(114)는 상기 제 1 기관(110) 상에 형성할 수도 있고, 상기 제 2 기관(130)의 제 2 전극(138) 상에 형성할 수도 있을 것이다.

본 발명의 유기전계발광층(136)은 발광된 빛을 제 2 기관(130) 쪽으로 발광시키는 상부발광방식인 것을 특징으로 한다.

이에 따라, 상기 제 1 전극(132)은 투광성을 가지는 도전성 물질에서 선택되는 것을 특징으로 하고, 상기 제 2 전극(138)은 불투명 금속물질에서 선택되는 것이 바람직하다.

도면으로 제시하지 않았지만, 상기 어레이 소자(120)는 주사선과, 주사선과 교차하며, 서로 일정간격 이격되는 신호선 및 전력 공급선과, 주사선과 신호선이 교차하는 지점에 위치하는 스위칭 박막트랜지스터 그리고, 스토리지 캐패시터를 더욱 포함한다.

이와 같은 유기전계발광 다이오드(E)가 형성된 제 2 기관(130)과 어레이 소자(120)가 형성된 제 1 기관(110)이 합착된 듀얼 패널 타입 유기전계발광표시장치는, 어레이 소자(120)와 유기전계발광 다이오드(E)를 서로 다른 기관 상에 구성하기 때문에, 기존의 어레이 소자와 유기전계발광 다이오드를 동일 기관 상에 형성하는 경우와 비교할 때, 어레이 소자(120)의 수율에 유기전계발광 다이오드(E)가 영향을 받지 않아 각 소자의 생산관리 측면에서도 양호한 특성을 나타낼 수 있다.

또한, 전술한 조건 하에서 상부발광방식으로 화면을 구현하게 되면, 개구율을 염두에 두지 않고 박막트랜지스터를 설계할 수 있어 어레이 공정효율을 높일 수 있고, 고개구율/고해상도 제품을 제공할 수 있으며, 듀얼 패널(dual panel) 타입으로 유기전계발광 다이오드 소자를 형성하기 때문에, 기존의 상부발광방식보다 외기를 효과적으로 차단할 수 있어 제품의 안정성을 높일 수 있다.

또한, 종래의 하부발광방식 제품에서 발생되었던 박막트랜지스터 설계에 대해서도 유기전계발광 다이오드 소자와 별도의 기관에 구성함에 따라, 박막트랜지스터 배치에 대한 자유도를 충분히 얻을 수 있고, 유기전계발광 다이오드(E)의 제 1 전극(132)을 투명 기관(101) 상에 형성하기 때문에, 기존의 어레이 소자 상부에 제 1 전극을 형성하는 구조와 비교해볼 때, 제 1 전극에 대한 자유도를 높일 수 있는 장점을 가지게 된다.

상기 듀얼 패널 타입의 유기전계발광표시장치에서, 상기 유기전계발광층(136)을 고분자 물질로 형성하는 경우, 앞서 설명한 바와 같이 잉크젯 방식을 통해 형성한다.

본 발명에서는 잉크젯 고분자 물질로 유기전계발광층(136)을 형성할 경우 잉크가 버퍼 외부로의 넘침(overflow) 현상을 방지하고, 버퍼 내의 발광영역 안에 상기 고분자 물질을 한정시켜 필름의 프로파일(profile) 및 두께를 조절 하기 위하여 플라즈마에 의한 소수처리를 진행한다.

아울러, 이와 같이 소수처리를 할 때, 동시에 상기 제 2 버퍼(535)에 의해 둘러싸인 제 1 버퍼(533)가 언더 컷(under cut) 구조 식각되기 때문에 상기 유기전계발광층(136)이 균일하게 형성될 수 있는 구조가 된다.

상기 제 1 버퍼(533)와 제 2 버퍼(535)의 구조를 도 4에 의해 보다 상세히 설명한다.

도 4는 상기 도 3의 A 영역을 확대한 단면도이다.

도 4에 도시된 바와 같이, 본 발명의 유기전계발광표시장치의 상부기관인 제 2기관(530)은 투명 기관(101) 상에 유기전계발광 다이오드(E)의 제 1전극(132)이 전면에 형성되어 있으며, 상기 제 1전극(132)의 상부의 소정 영역 즉, 각 서브픽셀을 구획하는 서브픽셀의 외곽 영역에 제 1버퍼(533)가 형성되고, 상기 제 1버퍼(533)의 단차부를 포함하는 영역에 제 2버퍼(535)가 형성되어 있다.

상기 제 2버퍼(535)는 제 1버퍼(533)의 단차부를 포함하는 영역에 형성되는 것으로, 즉, 유기전계발광층(136)이 형성되는 영역을 둘러싸는 타입(well type)으로 형성되고, 라운드 테이퍼 형상으로 이루어져 있다.

또한, 상기 제 2버퍼(535)와 중첩되지 않는 제 1버퍼(533) 영역은 소수화 공정 및 에칭 공정을 위한 플라즈마 처리 공정에 의해서 언더 컷 구조로 제거되어 공간(534)이 형성되며, 상기 제거된 언더 컷 구조에 의해 인접한 각 서브픽셀이 분리된다.

즉, 상기 언더 컷 구조에 의해 형성된 공간(534)에 의해 각 서브픽셀의 유기전계발광층(136) 상에 형성되는 제 2전극(138)이 서브픽셀 간에 연결되지 않고 각 서브픽셀 별로 분리되어 형성됨으로써, 기존의 역 테이퍼 형상의 격벽이 구비되지 않더라도 상기 격벽의 역할을 수행할 수 있는 것이다.

이에 의해 상기 격벽 형성 공정이 제거되어 공정 단순화 효과를 얻을 수 있으며, 또한, 상기 격벽이 제거됨으로써, 상기 격벽이 형성되어야 할 영역이 필요 없어 결과적으로 서브픽셀의 폭이 커지므로 개구율이 향상될 수 있게 된다.

또한, 언더 컷 처리되어 형성된 공간(534)의 제 1전극(132) 상에는 제 2전극(138) 형성과정에서 분리된 보조전극(139)이 형성되는데, 이 보조전극(139)은 상기 제 1 전극(132)의 저항 값을 줄이는 역할을 한다.

그리고 상기 언더 컷 처리된 구조를 보다 구체적으로 설명하면, 상기 제 1버퍼(533)의 적어도 한 쪽면이 상기 제 2버퍼(535)의 안쪽으로 0.1 ~ 3um 정도 갭(gap) 형태로 들어와 있는 구조로 식각처리 되어 있다.

이에 본 발명은 라운드 테이퍼 형상의 제 2버퍼(535)가 상기 제 1버퍼(533)의 단차부를 포함하는 영역에 형성됨으로써, 측면의 소수 처리가 가능하게 하였으며, 이를 통해 상기 유기전계발광층(136)을 이루는 고분자 물질 잉크가 제 1버퍼(535)의 단차부로 편향되어 흘러 들어가는 문제를 극복할 수 있도록 하였다.

즉, 상기 제 2버퍼(535)는 상기 제 1버퍼(533)의 단차부에 의한 잉크 편향(stttraction)의 차폐효과를 얻을 수 있게 되는 것이다.

결과적으로 상기 제 2버퍼(535)를 상기 제 1버퍼의 단차부를 포함하는 영역에 형성함으로써, 각 서브픽셀 간 overflow 및 제 2전극(138) 연결로 인한 흑화 현상, 유기전계발광층 필름의 두께 조절 통제 어려움에 따른 발광 불균일 문제를 극복할 수 있으며, 이를 통해 유기전계발광 소자의 화질 향상을 이룰 수 있게 된다.

또한, 상기 각 서브픽셀 별 제 2버퍼(535)에 의해 구획되는 영역에 유기전계 발광층(136)이 형성되고, 상기 유기전계발광층(136)을 포함한 제 2기관 상에 제 2전극(138)이 형성된다.

도 5는 실란과 암모니아의 조성 비율에 따른, 버퍼의 언더컷의 깊이를 설명하기 위한 도면이다.

도시된 바와 같이, 상기 제 1 버퍼(533)의 재료로 사용된 질화 실리콘은, 상술한 바와 같이, 실란(SiH₄)과 암모니아(NH₃) 간의 화학반응에 의해 생성되는데, 이때, 상기 실란과 암모니아의 조성비에 따라, 상기 제 1 버퍼(533)에 형성되는 언더컷의 깊이(d)가 달라진다. 즉, 상기 질화 실리콘은 플라즈마에 의해 식각되는데, 이때, 식각되는 언더 컷의 깊이는 상기 실란과 암모니아의 조성비에 따라 달라진다.

구체적으로, 도 5의 (a)에 도시된 바와 같이, 상기 실란과 암모니아의 조성

비율이 1:3일 때, 상기 제 1 버퍼(533)의 언더컷의 깊이가 약 0.265um이고, 도 5의(b)에 도시된 바와 같이, 상기 실란과 암모니아의 조성 비율이 1:4일 때, 상기 제 1 버퍼(533)의 언더컷의 깊이가 약 0.929um이며, 도 5의 (c)에 도시된 바와 같이, 상기 실란과 암모니아의 조성 비율이 1:6일 때, 상기 제 1 버퍼(533)의 언더컷의 깊이가 약 1.641um이다.

즉, 상기 암모니아의 조성비율이 상기 실란보다 적어도 2배 이상일 때, 플라즈마를 사용하여 상기 제 1 버퍼(533)을 식각하게 되면, 상기 제 1 버퍼(533)에 언더컷이 발생한다는 것을 알 수 있다.

이하, 이와 같이 구성된 본 발명의 실시예에 따른 유기전계발광표시장치의 제조방법은 다음과 같다.

도 6a 내지 도 6f는 본 발명의 제 1 실시예에 따른 유기전계발광표시장치의 제조방법을 설명하기 위한 공정단면도이고, 도 7은 본 발명의 제 1 실시예에 따른 유기전계발광표시장치의 제조공정에 대한 순서도이다.

먼저, 도 6a에 도시한 바와 같이, 매트릭스 형태로 배열된 다수개의 서브픽셀들을 갖는 투명기관(101)을 준비하고, 상기 서브픽셀을 포함한 상기 투명기관(101)의 전면에 투명 도전성 금속(ITO; Indium Tin Oxide)을 증착하여, 제 1 전극(132)을 형성한다(S1).

도 6b에 도시한 바와 같이, 상기 제 1 전극(132)이 형성된 투명기관(101) 상에 산화 실리콘(SiO₂) 또는 실리콘 질화막(SiN_x)을 증착하고, 이를 포토 및 식각 공정을 통해 패터닝하여, 제 1 버퍼(533)를 형성한다(S2). 이때, 상기 제 1 버퍼(533)는 서브 픽셀들을 분리하는 영역에 형성된다.

도 6c에 도시한 바와 같이, 상기 제 1 버퍼(533)를 포함한 상기 투명기관(101)의 전면에 상기 제 1 버퍼(533)와 다른 물질 예를 들어 폴리이미드 계열의 물질을 증착하고, 이를 포토 및 식각 공정을 통해 패터닝하여, 상기 제 1 버퍼(533)의 단차부를 포함하는 영역에 제 2 버퍼(535)를 형성한다.

결과적으로 상기 제 2 버퍼(535)는 유기전계발광층이 형성되는 서브 픽셀 영역을 둘러싸는 타입(well type)으로 형성된다.(S3). 그래서 상기 제 1 버퍼(533) 상의 중심 영역은 상기 제 2 버퍼(535)로 둘러싸이지 않고 외부로 노출된 구조가 된다.

또한, 상기 제 2 버퍼(535)는 라운드 테이퍼 형상으로 이루어지며, 이와 같이 상기 라운드 테이퍼 형상의 제 2 버퍼(535)는 상기 제 1 버퍼(533)의 단차부를 포함하는 영역에 추가로 형성됨으로써, 측면의 소수 처리가 가능하며, 이를 통해 상기 유기전계발광층을 이루는 고분자 물질 잉크가 상기 제 1 버퍼(533)의 단차부로 편향되어 흘러 들어가는 문제를 극복할 수 있게 된다.

다음으로, 도 6d에 도시한 바와 같이, 상기 제 2 버퍼(535)를 마스크로 하여 노출되는 상기 제 1 버퍼(533)의 중심부를 식각한다. 이때, 상기 식각을 과도하게 진행하여 상기 제 1 버퍼(533)에 언더 컷 구조가 형성되도록 한다. 상기 식각 작업이 완료된 후에는, 상기 제 1 버퍼(533) 중심 영역에 공간(534)이 형성되어 상기 제 1 전극(132)이 외부로 노출된다.

상기 식각과정에서는 결과적으로 건식각 공정에 의해 언더 컷 구조가 형성되는 것이지만, 보다 정확하게는 제 2 버퍼(535)와 유기전계발광층이 형성될 영역(제 1 전극이 노출된 영역)을 구분하여 소수화처리를 함으로써, 자연스럽게 형성된다.

즉, 소수화 처리를 위해 사용하는 CF_4 가스는 건식각 공정에서 사용되는 플라즈마 가스의 일종이지만, 여기서는 친수화 영역과 소수화 영역을 구분하여 형성하는 공정을 진행하기 위해서 사용되는 공정이고 이로부터 자연스럽게 버퍼 영역에서 언더컷 구조가 형성된다.

이때, 상기 제 1 버퍼(533)가 도 5에서 상술한 바와 같이 질화실리콘 계열의 물질인 경우에는 그 조성비를 도 5에서 제시된 바와 같이 조절한다.

상기 제 1 버퍼(533)는 식각 공정에서 사용되는 플라즈마에 의해서 제 2 버퍼(535) 내측으로 언더 컷 형태로 시작된다. 즉, 상기 제 1 버퍼(533)의 적어도 한 측면이 상기 제 2 버퍼(535)의 안쪽으로 0.1 ~ 3 μm 정도 갭(gap) 형태로 들어와 있는 구조가 형성된다.

여기서, 상기 플라즈마는 상기 제 1 버퍼(533)를 식각함과 동시에, 상기 제 1 전극(132) 및 제 2 버퍼(535)의 표면에 가해져, 상기 제 1 전극(132)의 표면을 친수화시키고, 상기 제 1 버퍼(535)의 표면을 소수화시킨다.

도 5에서 설명한 바와 같이, 상기 제 1 버퍼(533)가 질화실리콘일 경우 실란과 암모니아의 비율은 도 5에서 제시한 비율에 따라 언더 컷의 깊이를 조절할 수 있다.

이와 같이, 본 발명에서는 상기 제 1 버퍼(533)를 상기와 같은 조성비를 갖는 질화 실리콘으로 형성함으로써, 플라즈마에 의한 건식각(dry etch) 공정시 상기 제 1 버퍼(533)에 언더 컷이 발생하는 식각공정과 소수화 표면처리 공정을 동시에 진행할 수 있다(S4).

달리 표현하면, 플라즈마 가스에 의한 소수화 표면처리 공정시 제 1 버퍼(533)에 언더 컷이 발생된다.

또한, 언더 컷 형성과 표면처리 공정을 진행하는 다른 방법은 상기 제 1 버퍼(533)가 실리콘 질화막(SiN_x) 또는 실리콘 산화막(SiO_2)을 재료인 경우를 그 예로 설명하도록 한다. 단, 이 경우 상기 제 2 버퍼(535)는 유기질 재료 또는 상기 제 1 버퍼(533)와 다른 물질로 구성된 무기물로 형성됨이 바람직하다.

먼저 상기 제 1 버퍼(533)가 실리콘 질화막(SiN_x)으로 이루어진 경우에는 상기 제 2 버퍼(535)에 대한 소수화 공정을 거침에 의해, 자동적으로 노출된 제 1 버퍼(533) 영역에 대해 상기 언더 컷 구조 영역(534)이 형성된다.

즉, O_2 표면처리 후에 진행되는 CF_4 소수처리가 진행됨에 따라 상기 실리콘 질화막(SiN_x)으로 형성된 제 1 버퍼는 그 노출된 면이 상기 CF_4 에 의해 제거되어 도시된 바와 같은 언더 컷 구조가 형성되는 것이다.

또한, 상기 제 1 버퍼(533)가 실리콘 산화막(SiO_2)으로 이루어진 경우에는 별도의 습식 에칭(wet etching) 공정을 통해 상기 노출된 제 1 버퍼(533) 영역에 대해 상기 언더 컷 구조 영역(534)을 형성한다.

즉, 제 2버퍼(535)와 중첩되지 않아 노출된 제 1버퍼(533)의 면을 습식 에칭함으로써, 도시된 바와 같은 언더 컷 구조를 형성할 수 있게 되는 것이다.

이것은 소수화 표면 처리시 버퍼 영역에 언더 컷이 함께 형성되는 공정과 달리, 소수화 표면 처리 공정과, 버퍼 영역에 언더 컷을 습식각 공정으로 형성하는 두개의 공정이 분리되어 진행된다.

이와 같이 언더 컷 구조가 형성되면, 이에 의해 각 서브픽셀의 유기전계발광층 상에 형성되는 제 2전극이 서브픽셀 간에 연결되지 않고 각 서브픽셀 별로 분리되어 형성됨으로써, 기존의 역 테이퍼 형상의 격벽이 구비되지 않더라도 상기 격벽의 역할을 수행할 수 있는 것이다.(S4)

그런 다음, 도 6e에 도시한 바와 같이, 잉크젯 방식의 도포장치(도시되지 않음)를 사용하여, 상기 각 서브픽셀에 형성된 제 1 전극(132)상에 유기전계발광층(136)을 형성한다(S5). 상기 유기전계발광층(136)은 적, 녹, 청색중 어느 하나의 색을 나타내며, 고분자 물질 또는 저분자 물질로 형성된다.

여기서, 상기 유기전계발광층(136)이 고분자 물질로 형성되면, 상기 제 1전극(132)이 양극(anode), 제 2전극이 음극(cathode)으로 가정할 경우, 정공 전달층, 발광층, 전자 전달층이 차례대로 적층된 구조로 이루어지며, 상기 정공/전자 전달층은 발광층에 정공(hole) 또는 전자(electron)를 주입(injection) 및 수송(transporting)하는 역할을 한다.

이 때, 상기 제 1 전극(132)과 연결하는 정공 전달층(136a)은 정공주입층, 정공수송층이 차례대로 적층된 구조를 이루고, 추후 제 2 전극과 연결하는 전자 전달층(136c)은 전자주입층, 전자수송층이 차례대로 적층된 구조로 이루어 질 수 있다.

도 6d에서 설명한 바와 같이, 언더 컷 형성 공정에서 상기 제 1 전극(132)의 표면은 친수화되었고, 제 2 버퍼(535) 표면은 소수화되었기 때문에 잉크젯 방식에 의해 형성되는 상기 유기전계발광층(136)은 상기 제 1 전극(132)의 표면과 밀착력이 좋고 상기 제 2 버퍼(535)와는 밀착력이 약화된다.

이와 같은 표면 특성으로 인하여 상기 제 1 전극(132) 상에만 균일한 두께의 유기전계발광층(136)을 형성할 수 있다.

이와 같이 유기전계발광층(136)이 형성되면, 도 6f에 도시한 바와 같이, 상기 유기전계발광층(136)이 형성된 투명기판(101)의 전면에 칼륨, 마그네슘, 또는 알루미늄과 같은 금속층을 증착하여, 음극전극인 제 2 전극(138)을 형성한다(S6).

이때, 상기 제 2 전극(138)은 상기 각 서브픽셀간에서 분리된다. 즉, 상기 제 2 전극(138)은 상기 제 1 버퍼(533)와 제 2 버퍼(535)간의 단차에 의해 상기 제 2 버퍼(535) 사이에 위치한 공간(534)에서 분리된다. 따라서, 각 서브픽셀은 독립적인 제 2 전극(138)을 갖는다.

상기와 같이 제 2 전극(138)이 형성될 때, 상기 제 2 버퍼(535)의 언더 컷 영역의 공간(534)에는 상기 제 2 전극(138) 물질로된 보조전극(139)이 분리되어 상기 제 1 전극(132) 상에 형성된다.

상기 보조전극(139)은 상기 제 1 전극(132)과 전기적으로 콘택되어 저항이 높은 상기 제 1 전극(132)을 낮추어주는 역할을 한다.

도 8은 본 발명의 제 2 실시예에 따른 유기전계발광표시장치의 단면도이고, 도 9a 내지 도 9g는 본 발명의 제 2 실시예에 따른 유기전계발광표시장치의 제조방법을 설명하기 위한 공정단면도이다.

상기 도 3과 도 6a 내지 도 6f 도면과 설명과 유사하므로 이하, 구별되는 부분을 중심으로 설명한다.

도 8에 도시된 바와 같이, 본 발명의 제 2 실시예에 따른 유기전계발광표시장치는 적(R), 녹(G), 청(B)의 서브 픽셀들(sub pixel)이 매트릭스 형태로 형성되어 있고, 상기 서브 픽셀들은 제 1버퍼(533)와 제 2 버퍼(535)로 구성된 버퍼층(second electrode separator)에 의해 분리되어 있다. 그리고 상기 각각의 서브 픽셀들 주위에는 제 1 보조전극(139a)과 제 2 보조전극(139b)의 이중층으로된 보조전극(139)이 격자 형태로 배치되어 있고, 상기 보조전극(139)은 각 서브 픽셀에 공통으로 전압을 인가하는 제 1 전극(132)과 전기적으로 콘택되어 있다. 여기서, 3개의 적, 녹, 청의 서브 픽셀은 하나의 픽셀(pixel)로 정의한다.

본 발명의 제 2 실시예에 따른 유기전계발광표시장치에서도 상기 제 2 버퍼(535) 내측에 형성된 제 1 버퍼(533)가 언더 컷 구조로 형성되어 있다. 하지만, 제 2 실시예에서는 언더 컷 구조에 의해서 외부로 노출된 제 1 버퍼(533) 상에 제 1 보조전극(139a)과 제 2 보조전극(139b)으로된 이중층 전극이 형성되어 있다.

상기 보조전극(139)을 이중층 전극으로 형성한 이유는 제 2 전극(138) 형성시 분리되는 금속만을 이용하여 보조전극을 형성할 경우에는 제조공정중 언더 컷 영역에서 노출된 제 1 전극(132) 상에 절연막이 형성될 경우에는 보조전극이 제 1 전극(132)과 전기적으로 접촉되지 않게되어 상기 제 1 전극(132)의 저항을 낮추어주는 역할을 하지 못하기 때문이다.

이하, 도 8의 B 영역을 중심으로 도 9a 내지 도 9g에 도시한 제조공정을 따라 상세히 설명한다.

도 9a 내지 도 9g에 도시한 바와 같이, 도시한 바와 같이, 매트릭스 형태로 배열된 다수개의 서브픽셀들을 갖는 투명기관(101) 상에 제 1 전극(132)을 형성한 다음, 서브픽셀들을 각각 분리하는 영역에 제 1 보조 전극(139a)을 형성한다.

상기 제 1 보조전극(139a)은 도전율이 높은 금속을 사용하여 투명 도전성 금속으로 형성되는 상기 제 1 전극(132)의 저항을 낮춘다.

상기와 같이 제 1 보조전극(139a)이 형성되면, 상기 제 1 보조전극(139a) 상에 산화 실리콘(SiO_2) 또는 실리콘 질화막(SiN_x)로된 제 1 버퍼(533)를 형성한다.

이와 같이, 제 1 버퍼(533)가 형성되면, 상기 투명기관(101)의 전면에 상기 제 1 버퍼(533)와 다른 물질 예를 들어 폴리이미드 계열의 물질을 증착하고, 이를 포토 및 식각 공정을 통해 패터닝하여, 상기 제 1 버퍼(533)의 단차부를 포함하는 영역에 제 2 버퍼(535)를 형성한다.

이하 공정은 도 6b 부터 도 6f의 공정과 유사하므로, 이를 참조하는 것을 기본으로 하고 개략적으로 설명한다.

상기 제 2 버퍼(535)가 형성되면, 상기 제 2 버퍼(535) 상에 소수화 표면처리를 진행하는데, 이때 소수화 처리 가스를 사용하여 소수화 공정을 진행하면, 동시에 노출된 상기 제 1 버퍼(533) 영역이 식각되어 언더 컷 구조가 형성된다.

그래서, 상기 제 1 버퍼(533) 하측에 형성된 제 1 전극(132)과 제 1 보조전극(139a)이 외부로 노출된다.

그런 다음, 서브픽셀 영역의 노출된 제 1 전극(132) 상에 유기전계발광층(136)을 형성한 다음, 계속해서 투명기관(101) 전영역에 금속막을 증착하여 상기 유기전계발광층(136) 상에 제 2 전극(138)을 형성한다.

이때, 제 2 버퍼(535)와 제 1 버퍼(533)의 물질종류, 언더 컷 구조 공정 및 소수화 처리 공정은 상기 도 6a 내지 도 6f에 설명한 내용과 같다.

상기와 같이 제 2 전극(138)이 형성될 때, 언더 컷 구조 영역에서 제 2 전극(138)의 일부가 분리되어 제 2 보조전극(139b)이 된다.

그래서, 언더 컷 구조에 의해 제 1 버퍼(533) 영역에는 제 1 전극(132) 상에 두개의 보조전극(139a, 139b)이 형성된 구조로 되어 있다.

따라서, 제 2 보조전극(139b) 형성시 언더 컷 영역에 절연물질이 형성되어 상기 제 1 전극(132)과 전기적 접촉이 되지 않더라도, 제 1 보조전극(139a)에 의해 제 1 전극(132)이 접촉되어 있으므로 상기 제 1 전극(132)의 저항을 낮출 수 있다.

상기 본 발명의 제 2 실시예에서는 투명기관(101) 상에 제 1 전극(132)을 형성한 다음, 제 1 보조전극(139a)을 형성하는 공정을 설명하였지만, 먼저 제 1 보조전극(139a)을 상기 투명기관(101) 상에 형성한 다음, 상기 제 1 전극(132)을 형성할 수 있다.

도 10은 본 발명의 다른 실시예에 의한 유기전계발광표시장치의 평면도이다. 설명의 편의상 하나의 픽셀 영역(즉, 3개의 서브픽셀)을 중심으로 도시하였다. 단, 이는 본 발명의 실시예에 불과한 것으로, 상기 구조 이외의 다양한 구조가 본 발명에 적용될 수 있는 것이다.

도 10은 상기 도 2의 유기전계발광표시장치와 다른 구조로 되어 있는데, 도 2는 각각의 서브픽셀이 제 1버퍼(533) 및 제 2버퍼(535)에 의해 서로 구획, 분리되어 있다. 특히, 상기 제 2버퍼(535)는 상기 제 1버퍼(533)의 단차부를 포함하는 영역에 형성되는 것으로, 즉, 유기전계발광층이 형성되는 영역을 둘러싸는 타입(well type)으로 형성되어 있다.

도 10에서는 이와 달리, 각각의 서브픽셀은 각 서브픽셀에 대응하여 다각형 구조로 형성되는 제 1버퍼(533)와, 상기 제 1버퍼(533)의 단차부를 포함하는 영역에 형성되는 제 2버퍼(535)과, 상기 제 2버퍼(535)에 의해 구획되는 영역 내에 위치하는 모서리부가 라운드 처리된 서브픽셀 영역과, 상기 다각형 구조 버퍼의 일측으로부터 돌출된 영역 상에 위치하는 전도성 스페이서 접촉부(810)가 포함되어 구성된다.

상기 구조는 각 서브픽셀의 외곽이 다각형 구조로 형성되고, 상기 서브픽셀의 모서리가 라운드 처리되며, 제 1기판의 어레이 소자와 연결토록 하는 전도성 스페이서의 접촉부(810)가 상기 다각형 구조의 서브픽셀 모서리 일측에 형성됨을 특징으로 한다.

이 경우에도 상기 노출된 제 1버퍼 영역 상에 형성된 언더 컷 구조 영역에 의해 각 서브픽셀에 형성되는 제 2전극이 전기적으로 분리되어, 각 서브픽셀 별로 독립 구동될 수 있는 것이다.

단, 도 2와 도 8에 도시된 실시예의 경우 상기 전도성 스페이서 접촉부(810)가 상기 서브픽셀 영역 내에 위치하지 않도록 하기 위해 제 1기판 및 제 2기판이 일정간격 미스얼라인(misalign) 되도록 함작될 수 있다.

이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

본 발명에서는 더미층에 사용되는 질화 실리콘의 조성, 즉 상기 질화 실리콘을 이루는 실란과 암모니아의 조성비를 변경함으로써, 건식각 공정으로 언더 컷 구조를 형성할 수 있는 효과가 있다.

상기 건식각시 플라즈마를 사용함으로써, 언더 컷 구조 형성을 위한 식각공정 및 표면처리공정을 동시에 진행할 수 있어 제조 공정을 줄일수 있을 뿐아니라 공정 수율을 향상시킬 수 있는 이점이 있다.

서브픽셀을 분리하기 위하여 역 테이퍼 형상을 갖는 버퍼(격벽)를 형성할 필요가 없기 때문에 공정 단순화할 수 있는 효과가 있다.

그리고 서브 픽셀을 분리하기 위한 버퍼(격벽)를 제거됨으로써, 상기 버퍼가 형성되어야할 영역이 필요없으므로 결과적으로 서브픽셀의 폭을 크게하여 개구율이 향상시킬 수 있는 이점이 있다.

아울러, 언더 컷 처리되어 노출된 제 1버퍼 영역의 공간 상에 제 2전극으로부터 분리된 도전성 보조전극이 제 1전극과 콘택되기 때문에 제 1 전극의 저항 값을 줄일 수 있다는 장점이 있다.

또한, 버퍼의 단차부를 포함하는 영역에 라운드 테이퍼 형상의 제 2버퍼가 형성됨으로써, 고분자 물질로 이루어지는 유기전계발광층을 균일하게 형성할 수 있다는 장점이 있다.

또한, 고분자 물질의 잉크젯 공정에 있어 버퍼의 단차부를 제거함으로써, 잉크젯 공정시 잉크의 편향효과를 감소시켜 jetting directionality margin을 넓힐 수 있다는 장점이 있다.

(57) 청구의 범위

청구항 1.

서로 일정간격 이격되어 배치된 제 1, 2 기판과;

상기 제 1기판에 서브픽셀 단위로 형성된 적어도 하나의 박막트랜지스터를 가지는 어레이 소자와;

상기 제 2기판 상에 형성된 제 1전극과;

상기 제 1 전극 상부의 각 서브픽셀을 구획하는 외곽 영역에 형성된 제 1버퍼와;

상기 제 1버퍼의 단차부를 포함하는 영역에 형성된 제 2 버퍼와;

상기 제 2버퍼와 중첩되지 않는 제 1버퍼 영역이 제거되어 형성된 언더컷 구조 영역과;

상기 제 2버퍼에 의해 구획된 각 서브픽셀 영역에 형성되는 유기전계발광층과;

상기 유기전계발광층이 형성된 제 2기판 상에 형성되는 제 2전극과;

상기 각 서브픽셀 별로 대응되는 상기 제 1기판 상의 박막트랜지스터와 제 2기판 상의 제 2전극을 전기적으로 연결시키는 전도성 스페이서를 포함하는 유기전계발광표시장치.

청구항 2.

제 1항에 있어서, 상기 언더 컷 구조 영역은 상기 제 1 버퍼의 적어도 한 쪽면이 상기 제 2버퍼의 안쪽으로 0.1 내지 3um의 갭(gap) 형태로 들어간 구조임을 특징으로 하는 유기전계발광표시장치.

청구항 3.

제 1항에 있어서, 상기 제 1버퍼 및 제 2버퍼는 서로 다른 재료로 형성됨을 특징으로 하는 유기전계발광표시장치.

청구항 4.

제 1항에 있어서, 상기 제 2버퍼는 라운드 테이퍼 형상으로 형성됨을 특징으로 하는 유기전계발광표시장치.

청구항 5.

제 1항에 있어서, 상기 제 2버퍼는 상기 유기전계발광층이 형성되는 영역을 둘러싸는 타입(well type)으로 형성됨을 특징으로 하는 유기전계발광표시장치.

청구항 6.

제 1항에 있어서, 상기 유기전계발광층은 고분자 물질 또는 저분자 물질로 형성됨을 특징으로 하는 유기전계발광표시장치.

청구항 7.

제 1기판 내부면에 서브픽셀 단위로 형성된 적어도 하나의 박막트랜지스터를 갖는 어레이 소자를 형성하는 단계와;

제 2기판의 투명기판 상에 제 1전극이 형성하는 단계와;

상기 제 1전극의 상부 영역 중 각 서브픽셀을 구획하는 서브픽셀의 외곽 영역에 제 1버퍼를 형성하는 단계와;

상기 제 1버퍼의 단차부를 포함하는 영역에 제 2버퍼를 형성하는 단계와;

상기 제 2버퍼와 중첩되지 않는 제 1버퍼 영역이 제거되어 언더컷 구조를 형성하는 단계와;

상기 각 서브 픽셀에 있어 상기 제 2버퍼에 의해 구획된 영역 내에 유기전계발광층을 형성하는 단계와;

상기 유기전계 발광층이 형성된 제 2기관 상에 제 2전극을 형성하는 단계와;

상기 제 1, 2기관이 합착되는 단계를 포함하는 유기전계발광표시장치 제조방법.

청구항 8.

제 7항에 있어서, 각 서브픽셀 별로 대응되는 상기 제 1기관 상의 박막트랜지스터와 제 2기관 상의 제 2전극을 전기적으로 연결시키는 전도성 스페이서를 형성하는 단계가 더 포함되는 것을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 9.

제 7항에 있어서, 상기 제 2버퍼는 라운드 테이퍼 형상으로 형성됨을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 10.

제 7항에 있어서, 상기 제 2 버퍼는 상기 유기전계발광층이 형성되는 영역을 둘러싸는 타입(well type)으로 형성됨을 특징으로 하는 유기전계 발광표시장치 제조방법.

청구항 11.

제 7항에 있어서, 상기 유기전계발광층은 고분자 물질 또는 저분자 물질로 형성됨을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 12.

제 11항에 있어서, 상기 고분자 물질은 잉크젯 방식을 통해 형성됨을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 13.

제 7항에 있어서, 상기 언더 컷 구조 영역은 상기 제 1버퍼의 적어도 한 쪽면이 상기 제 2버퍼의 안쪽으로 0.1 내지 3um의 갭(gap) 형태로 들어간 구조임을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 14.

제 7항에 있어서, 상기 제 1버퍼 및 제 2버퍼는 서로 다른 재료로 형성됨을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 15.

제 14항에 있어서, 상기 제 1버퍼는 실리콘 질화막(SiNx) 또는 실리콘 산화막(SiO₂)을 재료로 형성됨을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 16.

제 15항에 있어서, 상기 제 1버퍼가 실리콘 질화막(SiNx)으로 이루어진 경우, 상기 언더 컷 구조는 상기 제 2버퍼에 대한 CF₄ 소수 처리를 통해 자동적으로 형성됨을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 17.

제 15항에 있어서, 상기 제 1버퍼가 실리콘 산화막(SiO₂)으로 이루어진 경우, 상기 언더 컷 구조는 상기 노출된 제 1버퍼 영역에 대한 별도의 습식 에칭(wet etching) 공정을 통해 형성됨을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 18.

제 15항에 있어서, 상기 제 1버퍼가 실리콘 질화막(SiNx)으로 이루어진 경우, 플라즈마에 의한 건식각 공정을 진행하여 상기 언더 컷 구조를 형성함과 동시에 표면처리를 하는 것을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 19.

제 18항에 있어서, 상기 표면처리는 플라즈마에 의해 버퍼영역은 소수처리되고, 서브픽셀 영역은 친수처리되는 것을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 20.

전면에 제 1 전극이 형성된 기판;

상기 기판의 제 1 전극 상에 다수개의 화소영역 단위로 형성된 유기전계발광층;

상기 유기발광층상에 형성된 제 2 전극;

상기 유기발광층과 제 2 전극이 형성된 화소영역의 둘레를 둘러싸면서 상기 제 1 전극 상에 형성된 제 1 버퍼;

상기 제 1 버퍼의 단차 영역에 라운드 형태로 형성된 제 2 버퍼를 포함하는 유기전계발광표시장치.

청구항 21.

제 20 항에 있어서, 상기 제 1 버퍼와 제 2 버퍼는 상기 제 2버퍼와 중첩되지 않는 제 1버퍼 영역이 제거되어 공간이 형성된 언더컷 구조로 형성된 것을 특징으로 하는 유기전계발광표시장치.

청구항 22.

제 20 항에 있어서, 상기 제 1 버퍼는 실리콘질화막 또는 실리콘산화막인 것을 특징으로 하는 유기전계발광표시장치.

청구항 23.

제 22 항에 있어서, 상기 제 1 버퍼가 실리콘질화막인 경우에는 실란(SiH_4)과 암모니아(NH_3)의 비율에 따라 다른 형태로 언더 컷이 형성되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 24.

제 22 항에 있어서, 상기 제 1 버퍼가 실리콘질화막인 경우에는 상기 암모니아의 비율이 상기 실란의 비율보다 적어도 2배 이상인 것을 특징으로 하는 유기전계발광표시장치.

청구항 25.

제 22 항에 있어서, 상기 상기 제 2버퍼와 중첩되지 않는 제 1버퍼 영역이 제거되어 공간은 플라즈마에 의한 건식각 공정으로 형성되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 26.

다수개의 화소영역들을 갖는 기관을 준비하는 단계;

상기 화소영역들을 포함한 상기 기관의 전면에 제 1 전극을 형성하는 단계;

상기 화소영역을 제외한 상기 제 1 전극의 상부에 제 1 버퍼를 형성하는 단계;

상기 화소영역의 둘레를 둘러싸도록 상기 제 1 버퍼의 단차 영역에 제 2 버퍼를 형성하는 단계;

상기 제 2 버퍼와 중첩되지 않는 제 1 버퍼를 식각하여 언더 컷 구조를 갖는 격벽을 형성하는 단계;

상기 제 1 버퍼와 제 2 버퍼로된 격벽을 형성한 후, 상기 화소영역에 유기전계발광층을 형성하는 단계; 및

상기 유기전계발광층이 형성된 기관 상에 도전성 금속막을 형성하여, 제 2 전극을 형성하는 단계를 포함하는 유기전계발광표시장치 제조방법.

청구항 27.

제 26 항에 있어서, 상기 제 1 버퍼는 실리콘 질화막 또는 실리콘 산화막으로 형성된 것을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 28.

제 27 항에 있어서, 상기 제 1 버퍼가 실리콘 질화막인 경우에는 플라즈마에 의하여 식각공정을 진행하는 것을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 29.

제 27 항에 있어서, 상기 제 1 버퍼가 실리콘 질화막인 경우에는 암모니아의 비율이 상기 실란의 비율보다 적어도 2배 이상이 되도록하여 언더 컷 구조를 형성하는 것을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 30.

제 28 항에 있어서, 상기 플라즈마에 의한 식각공정에 따라 동시에 상기 제 1 전극은 친수처리되고, 제 1 버퍼와 제 2 버퍼는 소수처리되는 것을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 31.

제 26항에 있어서, 상기 제 2버퍼는 라운드 테이퍼 형상으로 형성됨을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 32.

제 26항에 있어서, 상기 제 2 버퍼는 상기 유기전계발광층이 형성되는 영역을 둘러싸는 타입(well type)으로 형성됨을 특징으로 하는 유기전계 발광표시장치 제조방법.

청구항 33.

제 26항에 있어서, 상기 유기전계발광층은 고분자 물질 또는 저분자 물질로 형성됨을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 34.

제 33항에 있어서, 상기 고분자 물질은 잉크젯 방식을 통해 형성됨을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 35.

제 26항에 있어서, 상기 언더 컷 구조 영역은 상기 제 1버퍼의 적어도 한 측면이 상기 제 2버퍼의 안쪽으로 0.1 내지 3um의 갭(gap) 형태로 들어간 구조임을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 36.

제 26항에 있어서, 상기 제 1버퍼 및 제 2버퍼는 서로 다른 재료로 형성됨을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 37.

제 27 항에 있어서, 상기 제 1버퍼가 실리콘 질화막(SiNx)으로 이루어진 경우, 상기 언더 컷 구조는 상기 제 2버퍼에 대한 CF₄ 소수 처리를 통해 자동적으로 형성됨을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 38.

제 27항에 있어서, 상기 제 1버퍼가 실리콘 산화막(SiO_2)으로 이루어진 경우, 상기 언더 컷 구조는 상기 노출된 제 1버퍼 영역에 대한 별도의 습식 에칭(wet etching) 공정을 통해 형성됨을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 39.

서로 일정간격 이격되어 배치된 제 1, 2 기판과;

상기 제 1기판에 서브픽셀 단위로 형성된 적어도 하나의 박막트랜지스터를 가지는 어레이 소자와;

상기 제 2기판 상에 형성된 제 1전극과;

상기 제 1 전극 상부의 각 서브픽셀을 구획하는 외곽 영역에 형성된 제 1버퍼와;

상기 제 1버퍼의 단차부를 포함하는 영역에 형성된 제 2 버퍼와;

상기 제 2버퍼와 중첩되지 않는 제 1버퍼 영역이 제거되어 형성된 언더컷 구조 영역과;

상기 언더컷 구조 영역에 상기 제 1 전극과 접촉되는 보조전극;

상기 제 2버퍼에 의해 구획된 각 서브픽셀 영역에 형성되는 유기전계발광층과;

상기 유기전계발광층이 형성된 제 2기판 상에 형성되는 제 2전극과;

상기 각 서브픽셀 별로 대응되는 상기 제 1기판 상의 박막트랜지스터와 제 2기판 상의 제 2전극을 전기적으로 연결시키는 전도성 스페이서를 포함하는 유기전계발광표시장치.

청구항 40.

제 39항에 있어서, 상기 보조전극은 상기 제 1 전극과 직접 접촉되는 제 1 보조전극과, 상기 제 2 전극이 형성과 함께 형성된 제 2 보조전극으로된 이중구조인 것을 특징으로 하는 특징으로 하는 유기전계발광장치.

청구항 41.

기판 상에 제 1 전극을 형성하는 단계;

상기 제 1 전극이 형성된 기판상에 제 1 보조전극을 형성하는 단계;

상기 화소영역을 제외한 상기 제 1 전극의 상부에 제 1 버퍼를 형성하는 단계;

상기 제 1 버퍼가 형성된 기판 상에 제 2 버퍼를 형성하는 단계;

상기 제 2 버퍼 영역에 소수화 처리 공정에 의해 제 1 버퍼를 식각하여 상기 제 1 전극과 제 1 보조전극이 노출된 언더 컷 구조를 갖는 격벽을 형성하는 단계;

상기 제 1 버퍼와 제 2 버퍼로된 격벽을 형성한 후, 상기 화소영역에 유기전계발광층을 형성하는 단계; 및

상기 유기전계발광층이 형성된 기판 상에 도전성 금속막을 형성하여, 제 2 전극과 상기 제 1 보조전극 상에 제 2 보조전극을 형성하는 단계를 포함하는 유기전계발광표시장치 제조방법.

청구항 42.

제 41 항에 있어서, 상기 제 1 버퍼는 실리콘 질화막 또는 실리콘 산화막으로 형성된 것을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 43.

제 41 항에 있어서, 상기 제 1 버퍼가 실리콘 질화막인 경우에는 플라즈마에 의하여 식각공정을 진행하는 것을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 44.

제 41 항에 있어서, 상기 제 1 버퍼가 실리콘 질화막인 경우에는 암모니아의 비율이 상기 실란의 비율보다 적어도 2배 이상인 되도록하여 언더 컷 구조를 형성하는 것을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 45.

제 41 항에 있어서, 상기 플라즈마에 의한 식각공정에 따라 동시에 상기 제 1 전극은 친수처리되고, 제 1 버퍼와 제 2 버퍼는 소수처리되는 것을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 46.

제 41항에 있어서, 상기 제 2버퍼는 라운드 테이퍼 형상으로 형성됨을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 47.

제 41항에 있어서, 상기 제 2 버퍼는 상기 유기전계발광층이 형성되는 영역을 둘러싸는 타입(well type)으로 형성됨을 특징으로 하는 유기전계 발광표시장치 제조방법.

청구항 48.

제 41항에 있어서, 상기 유기전계발광층은 고분자 물질 또는 저분자 물질로 형성됨을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 49.

제 41항에 있어서, 상기 유기전계발광층은 잉크젯 방식, 진공증착법, 롤코팅법, 전사법 및 노즐 분사법중 어느 하나의 방법에 의해 형성됨을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 50.

제 41항에 있어서, 상기 언더 컷 구조 영역은 상기 제 1버퍼의 적어도 한 측면이 상기 제 2버퍼의 안쪽으로 0.1 내지 3 μ m의 갭(gap) 형태로 들어간 구조임을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 51.

제 41항에 있어서, 상기 제 1버퍼 및 제 2버퍼는 서로 다른 재료로 형성됨을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 52.

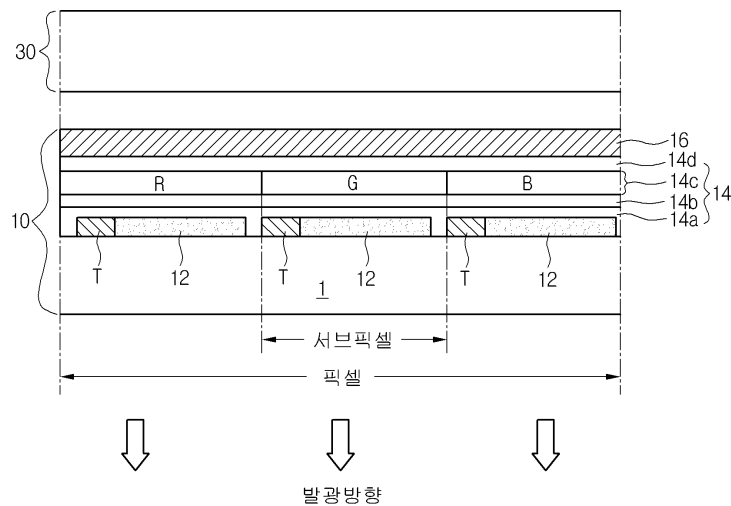
제 41항에 있어서, 상기 제 1버퍼가 실리콘 질화막(SiN_x)으로 이루어진 경우, 상기 언더 컷 구조는 상기 제 2버퍼에 대한 CF_4 소수 처리를 통해 자동적으로 형성됨을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 53.

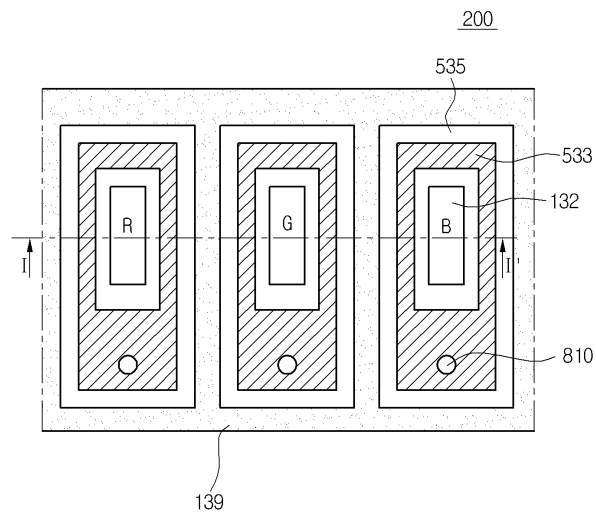
제 41항에 있어서, 상기 제 1버퍼가 실리콘 산화막(SiO_2)으로 이루어진 경우, 상기 언더 컷 구조는 상기 노출된 제 1버퍼 영역에 대한 별도의 습식 에칭(wet etching) 공정을 통해 형성됨을 특징으로 하는 유기전계발광표시장치 제조방법.

도면

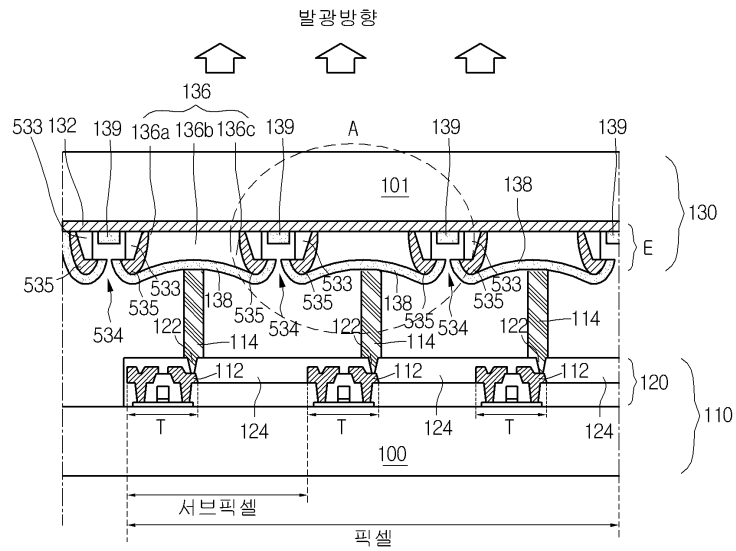
도면1



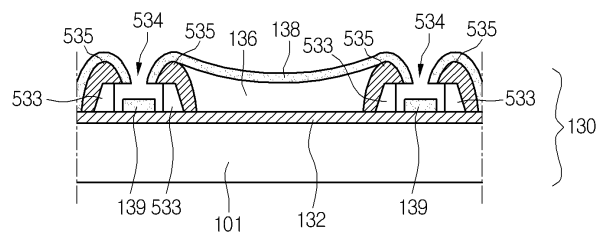
도면2



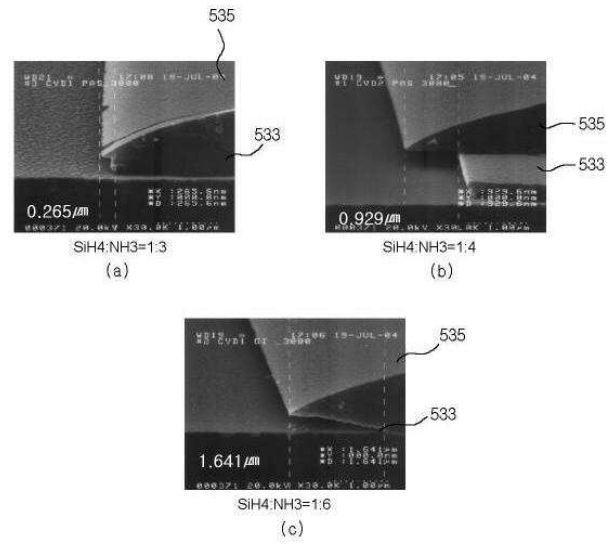
도면3



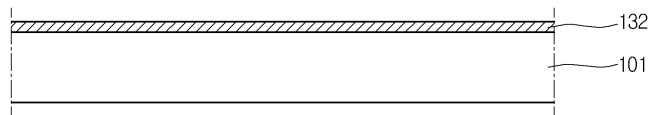
도면4



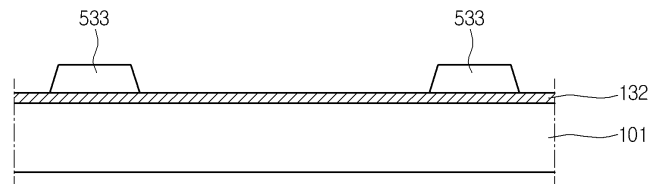
도면5



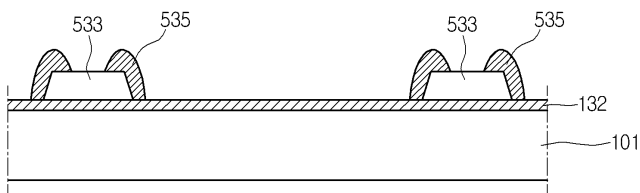
도면6a



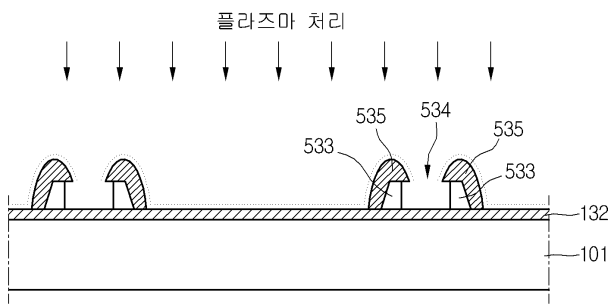
도면6b



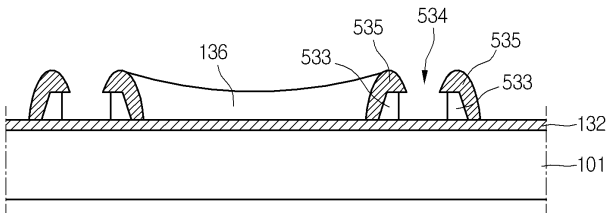
도면6c



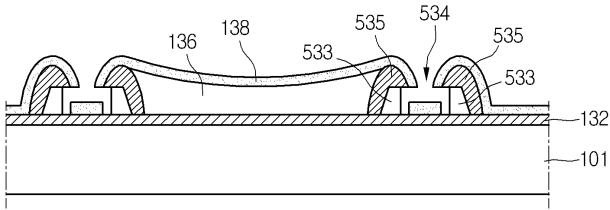
도면6d



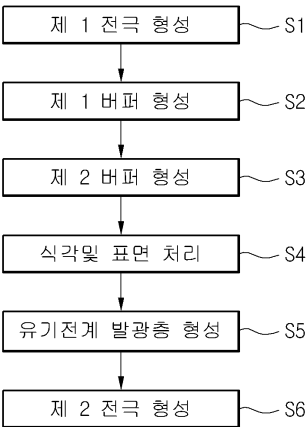
도면6e



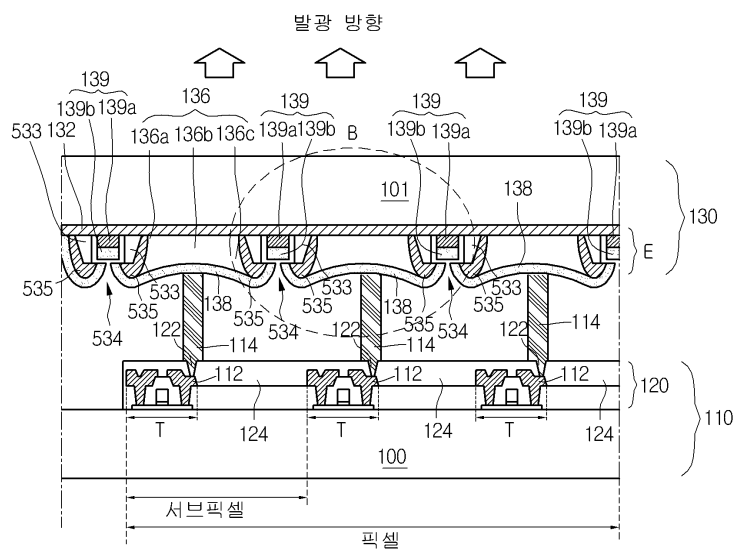
도면6f



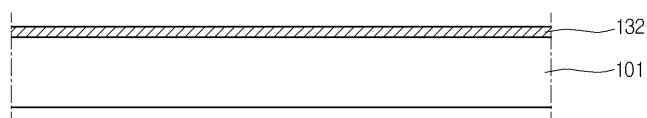
도면7



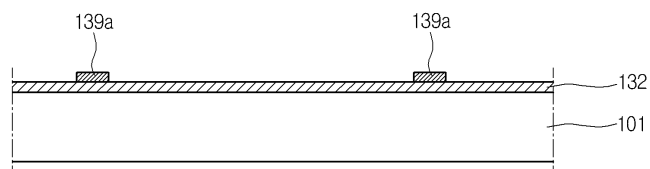
도면8



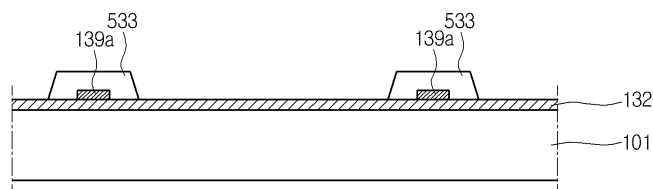
도면9a



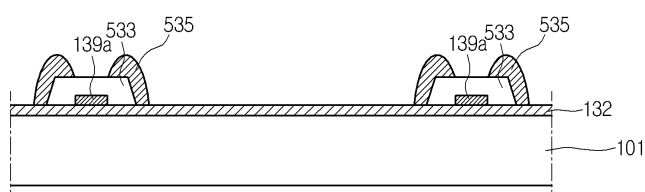
도면9b



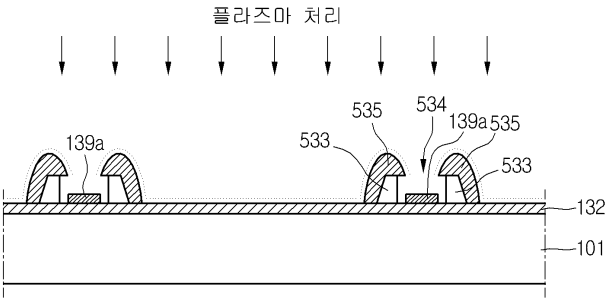
도면9c



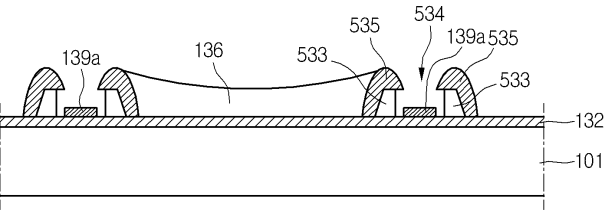
도면9d



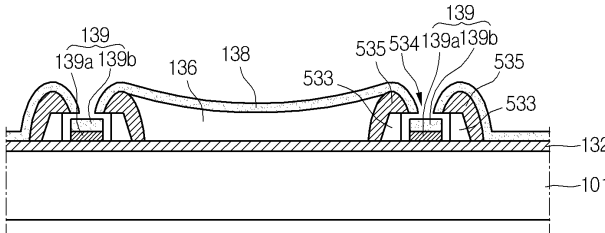
도면9e



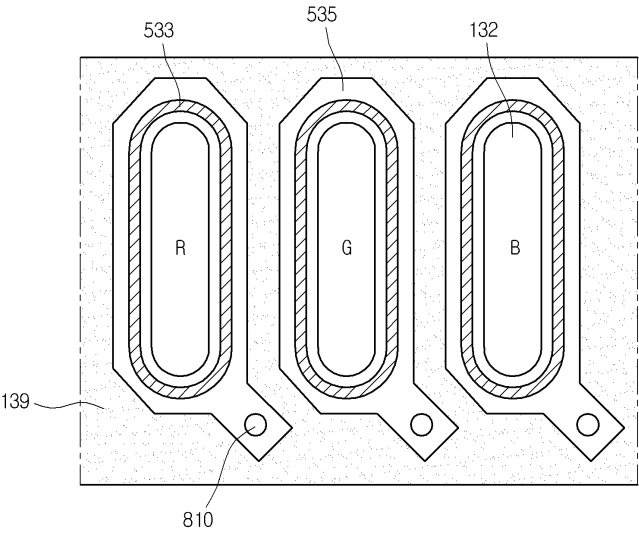
도면9f



도면9g



도면10



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR1020060061880A	公开(公告)日	2006-06-08
申请号	KR1020050087895	申请日	2005-09-21
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	BAE SUNG JOON 배성준 LEE JAE YOON 이재운 LEE JOON SUK 이준석		
发明人	배성준 이재운 이준석		
IPC分类号	H05B33/06 H05B33/10		
CPC分类号	H01L27/3248 H01L27/3262 H01L51/0005 H01L51/5012 H01L51/56 H01L2924/12044		
优先权	1020040100627 2004-12-02 KR		
外部链接	Espacenet		

摘要(译)

本发明公开了一种有机电致发光显示领域，其不能使用倒锥形分隔壁并均匀地形成有机电致发光层及其制造方法。所公开的有机电致发光显示装置包括第一和第二基板，它们以固定的间隔彼此分开并被布置；阵列装置，具有至少一个以子像素为单位形成在第一基板中的薄膜晶体管；形成在第一电极上部和第一电极的每个子像素上的边缘区域上形成的第一缓冲器：形成在第二基板上，第二缓冲器形成在包括第一缓冲器和第二缓冲器的台阶部分的区域上；导电间隔物，其电连接第二电极上的薄膜晶体管上的第二电极：形成于形成于下切割结构区域上的有机电致发光层上：形成第一缓冲区域，其不重叠，并且每个子区域被移除用第二缓冲器和其中形成有机电致发光层的第二基板分割的像素区域和第一基板特别地对应于每个子像素和第二基板。

