

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.

H05B 33/00 (2006.01)

H05B 33/26 (2006.01)

(11) 공개번호

10-2006-0055016

(43) 공개일자

2006년05월23일

(21) 출원번호 10-2004-0094313

(22) 출원일자 2004년11월17일

(71) 출원인 삼성에스디아이 주식회사
경기 수원시 영통구 신동 575(72) 발명자 최웅식
경기 용인시 기흥읍 공세리 삼성SDI중앙연구소

(74) 대리인 박상수

심사청구 : 있음

(54) 유기전계발광표시장치

요약

비정질 실리콘을 폴리실리콘으로 결정화 하는 엑시머 레이저 결정화(ELA)공정에서 발생하는 조사 에너지 빔 밀도의 편차에 따른 구동 트랜지스터의 특성 차이로 발생하는 라인무라(Line Mura)를 방지할 수 있는 유기전계발광표시장치를 개시한다. 본 발명에 의한 유기전계발광표시장치의 구성은 표시패널상에 데이터선들과 주사선들이 교차하는 영역에 행과 열로 배열된 복수의 화소회로를 포함하는 유기전계발광표시장치에 있어서, 상기 복수의 화소회로 중 결정화를 위한 레이저 스캔방향과 수직한 방향으로 배열된 복수의 화소회로 각각은, 소정의 빛을 발광하는 유기발광소자; 및 상기 데이터선을 통하여 인가되는 데이터 신호에 상응하는 전류를 상기 유기발광소자로 공급하는 구동 트랜지스터를 포함하며, 상기 구동 트랜지스터 각각은 적어도 2개의 채널들을 구비하며, 상기 적어도 2개의 채널들의 길이의 합은 동일한 것을 특징으로 한다.

대표도

도 6

색인어

라인무라, 엑시머 레이저 어닐링, 폴리 실리콘

명세서

도면의 간단한 설명

도 1은 종래의 유기전계발광표시장치의 화소회로도이다.

도 2는 도 1에 도시된 화소회로를 나타내는 레이아웃도이다.

도 3은 도 2에 도시된 트랜지스터의 반도체층을 결정화하기 위한 레이저 결정화 방법을 나타내는 평면도이다.

도 4는 종래의 유기전계발광표시장치에서 발생하는 라인무라(line mura)를 나타내는 평면도이다.

도 5는 본 발명의 실시예에 따른 유기전계발광표시장치를 나타낸 레이아웃도이다.

도 6은 도 5의 유기전계발광표시장치의 제 1 열 제 3행까지 배열된 구동 트랜지스터들을 나타낸 평면도이다.

도 7은 도 6에서 도시한 각 구동 트랜지스터의 I-I'를 나타낸 단면도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 발광 표시장치에 관한 것으로, 특히 엑시머 레이저 결정화(Excimer Laser Anneal: 이하, "ELA" 라고 함)의 불균일에 의한 구동 트랜지스터의 특성 차이로 발생하는 라인무라(Line Mura)를 방지할 수 있는 유기전계발광표시장치에 관한 것이다.

최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판표시장치들이 개발되고 있다. 평판표시장치로는 액정표시장치(Liquid Crystal Display), 전계방출 표시소자(Field Emission Display), 플라즈마 표시패널(Plasma Display Panel) 및 유기전계발광표시장치(Organic Electroluminescent Display Device) 등이 있다.

평판표시장치 중 유기전계발광표시장치는 전자와 정공의 재결합으로 형광물질을 발광시키는 자발광소자를 이용한 표시장치이다. 이러한, 표시장치는 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있다.

도 1은 종래의 유기전계발광표시장치의 화소회로도이며, 도 2는 도 1에 도시된 유기전계발광표시장치를 나타내는 레이아웃도이다.

도 1 및 도 2를 참조하면, 종래의 유기전계발광표시장치는 다수의 주사선(S1~Sm)과 다수의 데이터선(D1~Dn) 및 제 1 전원선(VDD)에 둘러싸여 배치되는 다수의 화소회로(11)를 구비한다.

주사선(Sm)은 행방향으로 형성되고, 데이터선(Dn) 및 제 1 전원선(VDD)은 열방향으로 형성된다.

각 화소회로(11)는 유기발광소자(OLED), 구동 트랜지스터(MD), 캐패시터(Cst) 및 스위칭 트랜지스터(MS)를 포함하고 있다. 여기서, 각각의 트랜지스터(MD, MS)는 금속 산화막 반도체 전계 효과 트랜지스터(MOSFET : Metal-Oxide Semiconductor Field Effect Transistor)이다. 이러한, 각 화소회로(11)는 주사선(Sm)에 선택신호가 인가될 때 데이터선(Dn)으로부터 데이터신호를 공급받고, 공급받은 데이터신호에 대응하는 빛을 발광한다.

유기발광소자(OLED)의 제 1 전극 예를들면, 애노드전극은 구동 트랜지스터에 접속되고, 제 2 전극 예를들면, 캐소드전극은 제 2 전원선(VSS)에 접속된다. 이와 같은, 유기발광소자(OLED)는 애노드전극과 캐소드전극 사이에 형성된 발광층(Emitting Layer : EML), 전자 수송층(Electron Transport Layer : ETL) 및 정공 수송층(Hole Transport Layer : HTL)을 구비한다. 여기서, 유기발광소자(OLED)는 전자 주입층(Electron Injection Layer : EIL)과 정공 주입층(Hole Injection Layer : HIL)을 추가적으로 포함할 수 있다. 이러한, 유기발광소자(OLED)의 애노드전극과 캐소드전극 사이에 전압이 인가되면 캐소드전극으로부터 발생된 전자가 전자 주입층(EIL) 및 전자 수송층(ETL)을 경유하여 발광층(EML)으로 이동하고, 애노드전극으로부터 발생된 전자가 정공 주입층(HIL) 및 정공 수송층(HTL)을 경유하여 발광층으로 이동한다. 그러면, 발광층에서 전자 수송층(ETL)으로부터 공급되어진 전자와 정공 수송층(HTL)으로부터 공급되어진 정공이 재결합함에 의해 빛이 발생한다.

스위칭 트랜지스터(MS)는 주사선(Sm)에 선택신호가 공급되면 턴-온되어 데이터선(Dn)에 공급된 데이터 신호를 구동 트랜지스터(MD)의 게이트전극에 공급한다.

이때, 스토리지 커패시터(Cst)는 제 1 전원선(VDD)을 통해 공급된 구동전압과 구동 트랜지스터(MS)의 게이트전극에 공급된 데이터 신호의 차전압을 저장한다.

또한, 구동 트랜지스터(MD)는 게이트전극에 공급된 데이터 신호에 응답하여 제 1 전원선(VDD)으로부터 유기발광소자(OLED)로 공급되는 전류량을 제어함으로써 유기발광소자(OLED)의 발광량을 조절하게 된다. 그리고 스위칭 트랜지스터(MS)가 턴-오프된 경우 스토리지 커패시터(Cst)에 저장된 전압에 의해 구동 트랜지스터(MD)는 다음 프레임의 데이터 신호가 공급될 때까지 일정한 전류를 유기발광소자(OLED)에 공급하여 유기발광소자(OLED)의 발광을 유지시키게 된다.

이와 같이, 종래의 유기전계발광표시장치의 각 화소회로(11)의 구동 트랜지스터(MD)는 자신의 게이트전극에 공급되는 전압에 따라 유기발광소자(OLED)에 공급되는 전류량을 조절하여 유기발광소자(OLED)의 발광량을 조절하는 중요한 역할을 한다. 다시 말하여, 구동 트랜지스터(MD)를 통해 유기발광소자(OLED)에 공급되는 전류(I_{ds})는 아래의 수학적 식 1에 의해 결정된다.

수학적 식 1

$$I_{ds} = \frac{1}{2} \times \frac{W}{L} \times \mu \text{ Cox } (V_{gs} - V_{th})^2$$

여기서, W 및 L은 구동 트랜지스터(MD)의 채널 폭 및 길이, V_{gs} 는 구동 트랜지스터(MD)의 게이트 및 소스 단자에 걸리는 전압(V_{gs}), V_{th} 는 구동 트랜지스터(MD)의 문턱전압, μ 는 이동도 및 Cox는 구동 트랜지스터(MD)의 단위면적 당 게이트 용량을 나타낸다.

상기 수학적 식 1을 참조하면, 구동 트랜지스터(MD)를 통해 공급되는 전류(I_{ds})는 구동 트랜지스터(MD)의 게이트전극으로 공급된 데이터 전압 뿐만 아니라 그의 특성을 결정하는 문턱 전압(V_{th}) 및 이동도(μ)에 의해서도 결정됨을 알 수 있다. 그런데, 구동 트랜지스터(MD)는 비정질-실리콘(Amorphous-Si)을 폴리-실리콘(Poly-Si)으로 결정화하는 레이저 결정화 공정의 영향으로 불균일한 특성(즉, 문턱 전압, 이동도 등)을 갖는 문제점이 있다.

이러한 유기전계발광 표시장치의 제조 공정에서 각 화소(11)의 트랜지스터(MD, MS)의 반도체층을 형성하는 공정은 비정질-실리콘 박막을 폴리-실리콘 박막으로 결정화시키는 레이저 결정화 공정을 포함한다.

도 3은 도 2에 도시된 트랜지스터의 반도체층을 결정화하기 위한 레이저 결정화 방법을 나타내는 도면이며, 도 4는 종래의 유기전계발광 표시장치에서 발생하는 라인무라(line mura)를 나타내는 도면이다.

도 3을 참조하면, 기판(10) 상에 패터닝된 비정질-실리콘 박막은 엑시머 레이저(Excimer Laser)를 사용한 라인 빔(Line beam)(40)을 행방향으로 스캔하는 엑시머 레이저 결정화(ELA) 공정으로 결정화되어 폴리-실리콘 박막이 된다. 이때, 비정질-실리콘 박막은 매우 짧고 높은 에너지로 조사되는 레이저 빔에 의해 용해(Melting) 및 응고(Solidification)를 반복하여 재결정화(Recrystallization) 됨으로써 폴리-실리콘 박막이 된다.

이러한 레이저 결정화 공정은 넓은 기판 상에 폴리-실리콘 박막을 형성할 수 있는 장점이 있으나, 레이저 조사 시점마다 발생하는 빔 에너지 밀도(Beam Energy Density)의 편차에 따라 폴리-실리콘 박막의 결정립의 크기 및 이동도 등과 같은 특성이 가변하는 단점이 있다. 이에 따라, 폴리-실리콘 박막의 특성이 레이저의 스캔 방향에 수직한 열방향을 따라 불균일해지게 된다. 이러한 폴리-실리콘 박막을 구동 트랜지스터(MD)의 반도체층으로 사용하는 경우 그 구동 트랜지스터(MD)가 열방향 단위로 문턱 전압 및 이동도 등이 불균일한 특성을 갖게 되므로 동일 휘도에 대하여 열방향 단위로 휘도 편차가 발생하는 문제점이 있다. 따라서, 종래의 유기전계발광 표시장치에서는 구동 트랜지스터(MD)의 불균일한 특성으로 인하여 도 4에 도시된 바와 같이 레이저의 스캔방향에 수직계 라인무라(line mura :42)가 발생하게 된다. 이러한 라인무라(42)는 시인성이 높아 화질을 직접적으로 떨어뜨리고 유기전계발광 표시장치의 수율을 감소시키는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

상기의 문제점을 해결하기 위한 본 발명의 목적은 결정화를 위한 레이저 스캔방향에 수직방향으로 배열된 복수의 구동 트랜지스터에 랜덤하게 복수의 채널을 형성함으로써, 결함상태밀도가 발생하는 확률을 줄여 엑시머 레이저 결정화(ELA)에 따른 라인무라(line mura)를 방지하고, 화질을 균일하게 할 수 있는 유기전계발광표시장치를 제공하는데 있다.

발명의 구성 및 작용

본 발명에 따른 유기전계발광표시장치는 표시패널상에 데이터선들과 주사선들이 교차하는 영역에 행과 열로 배열된 복수의 화소회로를 포함하는 유기전계발광표시장치에 있어서, 상기 복수의 화소회로 중 결정화를 위한 레이저 스캔방향과 수직인 방향으로 배열된 복수의 화소회로 각각은, 소정의 빛을 발광하는 유기발광소자; 및 상기 데이터선을 통하여 인가되는 데이터 신호에 반응하는 전류를 상기 유기발광소자로 공급하는 구동 트랜지스터를 포함하며, 상기 구동 트랜지스터 각각은 적어도 2개의 채널들을 구비하며, 상기 적어도 2개의 채널들의 길이의 합은 동일한 것을 특징으로 한다.

상기 적어도 2개의 채널들의 폭은 동일한 것을 특징으로 한다.

또한, 본 발명에 따른 유기전계발광표시장치를 구동하기 위한 구동 트랜지스터는 결정화를 위한 레이저 스캔방향과 수직인 방향으로 배열된 복수의 구동 트랜지스터 각각은, 기판상에 형성되고, 소오스/드레인과 적어도 2개의 채널들을 가지는 반도체층; 상기 반도체층상에 형성되는 게이트절연막; 상기 게이트절연막상에 상기 적어도 2개의 채널들과 대응하게 형성되는 적어도 2개의 게이트 전극들; 상기 적어도 2개의 게이트 전극들상에 형성되는 층간절연막; 및 상기 소오스/드레인과 콘택되게 형성한 소오스/드레인전극을 포함하며, 상기 적어도 2개의 채널들의 길이의 합은 동일한 것을 특징으로 한다.

상기 적어도 2개의 채널들의 폭은 동일한 것을 특징으로 한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가지는 자가 본 발명을 용이하게 실시할 수 있는 바람직한 실시예를 첨부된 도면을 참조하여 상세히 설명한다.

도 5는 본 발명의 실시예에 따른 유기전계발광표시장치를 나타낸 레이아웃도이다. 상기 도 5는 다수의 데이터선들(D1-Dn)과 다수의 주사선들(S1-Sm)의 교차영역에 위치하는 다수의 화소(P11-Pmn)로 구성된 유기전계발광표시장치 중 일부를 나타낸 도면이다.

도 5를 참조하면, 본 발명의 실시예에 따른 유기전계발광표시장치는 다수의 데이터선들(D1-D3)과 다수의 주사선들(S1-S3)이 교차하는 영역에 위치한 다수의 화소회로들(P11-P13, P21-P23, P31-P33)을 구비한다.

다수의 화소회로들(P11-P13, P21-P23, P31-P33) 각각은 앞에서 살펴본 종래의 유기발광표시장치와 같이 소정의 빛을 발광하는 유기발광소자(OLED)와 스위칭 트랜지스터(MS) 및 캐패시터(Cst)를 포함한다.

즉, 스위칭 트랜지스터(MS)는 게이트전극에 주사선(Sm)이 연결되고 소스전극에 데이터선(Dn)이 연결되며, 드레인전극에 캐패시터(Cst)의 하부전극인 제 1 전극에 연결된다. 이와 같은 스위칭 트랜지스터(MS)는 주사선(Sm)으로 부터 선택신호가 공급될 때 턴온 되어 데이터선(Dn)으로 부터 공급되는 데이터 신호를 캐패시터(Cst)로 공급한다.

캐패시터(Cst)는 전원전압선(VDD)에 연결되는 상부전극인 제 2 전극과 상기 스위칭 트랜지스터(MS)의 드레인 전극과 연결되는 하부전극인 제 1 전극으로 이루어진다. 이와 같은 캐패시터(Cst)는 스위칭 트랜지스터(MS)가 턴온 상태인 기간 동안 데이터선(Dn)에 인가되는 데이터 신호에 반응하는 전압을 저장하고, 스위칭 트랜지스터(MS)가 턴오프 상태인 기간 동안 저장된 전압을 유지하는 기능을 수행한다.

또한, 본 발명의 바람직한 실시예에 따른 유기전계발광표시장치는 종래의 유기전계발광표시장치와는 다르게 결정화를 위한 ELA 진행방향에 수직하게 배열된 제 1열의 복수의 화소회로들(P11, P21, P31,...)을 구동하기 위한 구동 트랜지스터들(MD11, MD21, MD31,...) 각각은 적어도 2개의 채널들을 가지고 있다. 이와같이 ELA 진행방향을 따라 제 2열, 제 3열,..., 제 m열의 복수의 화소회로들(P1m, P2m, P3m,...)을 구동하기 위한 구동 트랜지스터들(MD1m, MD2m, MD3m,...) 각각 또한 적어도 2개의 채널들을 가지고 있다. 도 5에서는 ELA 진행방향을 행방향으로 하였지만, 이에 한정되지 않으며 열방향으로 진행될 수도 있다. 또한, 적어도 2개의 채널들은 각 구동 트랜지스터마다 랜덤(random)하게 형성된다.

이하, 도 6을 참조하여 제1열 제 3행까지 배열된 복수의 구동트랜지스터들을 예로 들어 상세히 설명하기로 한다.

도 6은 도 5의 유기전계발광표시장치의 제 1 열 제 3행까지 배열된 구동 트랜지스터들을 나타낸 평면도이다.

도 6을 참조하면, 각 구동 트랜지스터들(MD11, MD21, MD31)은 소스/드레인영역과 적어도 2개의 채널들을 가지는 반도체층(150), 적어도 2개의 게이트 전극들 및 소스/드레인 전극(170,180)로 구성되어 있다. 또한, ELA 진행방향은 도시된 바와 같이 행방향을 실시예로 설명한다. 설명의 편의를 위하여 구동 트랜지스터(MD11)에 대하여 설명하기로 한다.

도 6의 (a)를 참조하면, 구동 트랜지스터(MD11)은 상기 반도체층(150)상에 SiO₂와 같은 게이트 절연막(미도시)이 형성되고, 상기 게이트 절연막상에 적어도 2개의 게이트 전극들(160₁, 160₂,...,160_{k-1},160_k)이 일정한 간격을 두고 형성된다. 적어도 2개의 게이트 전극들(160₁, 160₂,...,160_{k-1},160_k)의 일단은 서로 연결되어 캐패시터의 하부전극(160)으로 형성된다. 다음으로 적어도 2개의 게이트 전극들(160₁, 160₂,...,160_{k-1},160_k)이 형성된 반도체층(150)상에 이온(Ion)을 도핑하여 반도체층(150)의 소스/드레인영역(154,156)에 이온을 도핑한다. 이에 따라 반도체층(150)에는 적어도 2개의 게이트전극들(160₁, 160₂,...,160_{k-1},160_k)에 대응되는 적어도 2개의 채널들(152₁, 152₂,...,152_{k-1}, 152_k)이 형성된다. 상기 적어도 2개의 채널들(152₁, 152₂,...,152_{k-1}, 152_k)의 면적과 형성위치는 상기 반도체층(150)상에 랜덤(random)하게 형성되는 것이 바람직하다. 또한, 상기 적어도 2개의 채널영역들(152₁, 152₂,...,152_{k-1}, 152_k) 사이는 이온도핑에 의한 도핑된 영역(158)이 존재한다. 여기서, 상기 k는 2 이상의 정수를 말한다.

위와 같이 구동 트랜지스터(MD21)는 상기 구동 트랜지스터(MD11)와 같이 반도체층(150)에 랜덤(rancom)하게 형성된 적어도 2개의 채널들(152₁, 152₂,...,152_{l-1}, 152_l)을 가진다. 여기서, 상기 l은 2 이상의 정수를 말한다. 또한, 구동 트랜지스터(MD31)는 상기 구동 트랜지스터(MD11)와 같이 반도체층(150)에 랜덤(rancom)하게 형성된 적어도 2개의 채널들(152₁, 152₂,...,152_{m-1}, 152_m)을 가진다. 여기서, 상기 m은 2 이상의 정수를 말한다.

따라서, 비정질 실리콘을 폴리 실리콘으로 결정화하는 엑시머 레이저 결정화공정에서 에너지 빔 밀도 편차에 의한 반도체층의 특정한 부분에 결점(defect)이 발생 되더라도 본 발명의 실시예에 따른 유기전계발광표시장치와 같이 레이저 방향에 수직하게 배열된 구동 트랜지스터들의 반도체층에 형성된 적어도 2개의 채널들이 각 구동 트랜지스터들마다 랜덤(random)하게 형성됨으로써, 레이저 결정화에 따른 결점(defect)이 랜덤하게 발생되어 한 라인전체에 라인무라(line mura)가 발생하는 것을 방지할 수 있다. 위와 같이 결정화를 위한 레이저 스캔방향에 수직하게 배열된 구동 트랜지스터들에 형성된 적어도 2개의 채널들은 일정한 패턴을 가지지 않고 랜덤하게 형성된다는 것이 본 발명의 실시예에 따른 요지이다.

상기 각 구동 트랜지스터들(MD11, MD21, MD31)의 적어도 2개의 채널들(152₁, 152₂,...,152_{k-1}, 152_k와 152₁, 152₂,...,152_{l-1}, 152_l와 152₁, 152₂,...,152_{m-1}, 152_m)은 각각 길이(Length: L)와 폭(Width: W)을 가진다.

즉, 구동 트랜지스터(MD11)의 적어도 2개의 채널들(152₁, 152₂,...,152_{k-1}, 152_k)은 길이들(L11₁, L11₂,...,L11_{k-1},L11_k)과 폭(W11)을 가진다. 그리고, 구동 트랜지스터(MD21)의 적어도 2개의 채널들(152₁, 152₂,...,152_{l-1}, 152_l)은 길이들(L21₁, L21₂,...,L21_{l-1},L21_l)과 폭(W21)을 가진다. 나아가, 구동 트랜지스터(MD31)의 적어도 2개의 채널들(152₁, 152₂,...,152_{k-1}, 152_k)은 길이들(L31₁, L31₂,...,L31_{m-1},L31_m)과 폭(W31)을 가진다.

이때, 구동 트랜지스터(MD11)의 적어도 2개의 채널들의 길이의 합과 구동 트랜지스터(MD21)의 2개의 채널 길이의 합 및 구동 트랜지스터(MD31)의 2개의 채널 길이의 합은 동일하다.

즉, $\Sigma L11_1 + L11_2 + \dots + L11_{k-1} + L11_k = \Sigma L21_1 + L21_2 + \dots + L21_{k-1} + L21_k = \Sigma L31_1 + L31_2 + \dots + L31_{k-1} + L31_k$ 으로 나타낼 수 있다.

또한, 각 구동트랜지스터(MD11, MD21, MD31)의 적어도 2개의 채널들의 폭도 동일하다. 즉 W11=W21=W31으로 나타낼 수 있다.

위와 같이 적어도 2개의 채널들의 길이의 합을 동일하게 하고 폭을 동일하게 하는 것은 상기 수학식 1에서 보는 바와 같이 각 화소마다 동일 데이터 전압에 대한 유기발광소자에 흐르는 전류를 동일하게 하기 위해서는 채널의 길이와 폭이 각 화소마다 동일해야 하기 때문이다.

상기에서의 식들은 레이저 결정화 방향에 수직한 방향인 제 1열의 제 3행까지를 실시예로 들어 설명하였지만, 이에 한정하지 않고 제 1열의 제 4행 이하의 구동 트랜지스터에도 적용될 뿐만아니라, 제 2열, 제 3열,...제 n열까지도 적용된다.

위에서 살펴본 바와같이 본 발명의 실시예에 따른 유기전계발광표시장치는 결정화를 위한 레이저 스캔방향에 수직으로 배열되는 구동 트랜지스터의 적어도 2개의 채널들을 랜덤(random)하게 형성하고 각 구동 트랜지스터의 적어도 2개의 채널들의 길이의 합이 같고, 폭이 같게 구성함으로써, 비정질 실리콘을 폴리 실리콘으로 결정화하는 엑시머 레이저 결정화(ELA)의 진행방향에 수직방향으로 각 구동 트랜지스터의 결점상태밀도(density of defect state : DODS)가 다르게 되므로 ELA에 따른 한 라인 전체에 라인무라(line mura)가 나타나지 않게 되어 화질저하를 개선할 수 있게 된다.

도 7은 도 6에서 도시한 각 구동트랜지스터의 I-I'를 나타낸 단면도이다.

설명의 편의를 위하여 구동 트랜지스터(MD11)의 단면도에 대하여 설명하고 다른 구동 트랜지스터(M21,M31)들은 구동 트랜지스터(MD11)과 차이점에 대하여 설명하기로 한다.

도 7의 (a)를 참조하면, 먼저, 기판(100) 상에 버퍼층(120)이 형성된다. 상기 버퍼층(120)상에 소정 패턴의 반도체층(150)이 형성된다.

반도체층(150)은 비정질 실리콘(amorphous silicon)을 열처리하여 얻어진 폴리실리콘(polycrystalline silicon)등으로 형성된다. 이때, 비정질-실리콘은 엑시머 레이저(Excimer Laser)를 사용한 라인 빔(Line beam)을 스캔하는 레이저 결정화 공정으로 결정화되어 폴리-실리콘이 된다.

반도체층(150)이 형성된 후 버퍼층(120) 및 반도체층(150)의 상부에 게이트 절연막(140)이 형성된다. 게이트 절연막(140)은 절연물질, 예를 들면 SiO_2 등의 물질로 형성될 수 있다. 게이트 절연막(140)이 형성된 후 게이트 절연막(140) 상에 반도체층(150)과 대응되도록 적어도 2개의 게이트 전극들($160_1, 160_2, \dots, 160_{k-1}, 160_k$)이 랜덤(random)하게 형성된다. 적어도 2개의 게이트 전극들($160_1, 160_2, \dots, 160_{k-1}, 160_k$)은 일정한 이격을 가지고 전도체, 예를 들면 Al, MoW, Al/Cu 등으로 형성된다. 적어도 2개의 게이트 전극들($160_1, 160_2, \dots, 160_{k-1}, 160_k$)은 일단이 서로 연결되어 캐패시터의 하부전극(미도시)을 형성한다.

그런 다음, 기판(100) 상에 이온(Ion)을 도핑하여 반도체층(150)의 소스영역(154)과 드레인영역(156) 및 적어도 2개의 게이트 전극들($160_1, 160_2, \dots, 160_{k-1}, 160_k$) 사이에 이온을 도핑하게 된다. 이에 따라, 반도체층(150)에는 소스영역(154)과 드레인영역(156) 사이에 적어도 2개의 채널들($152_1, 152_2, \dots, 152_{k-1}, 152_k$)이 형성된다.

적어도 2개의 게이트 전극들($160_1, 160_2, \dots, 160_{k-1}, 160_k$)상에 층간 절연물(165)이 형성된다. 이후, 소스/드레인영역(154,156)이 노출되도록 층간 절연물(165) 및 게이트 절연막(140)에 콘택홀이 형성된다.

콘택홀이 형성된 후 상기 층간절연물(165) 상에 소정 패턴으로 금속물질의 소스전극(170) 및 드레인전극(180)이 형성된다. 소스전극(170) 및 드레인전극(180) 각각은 콘택홀을 통해 반도체층(150)의 소스영역(154)과 드레인영역(156) 각각에 전기적으로 접속된다.

그리고, 구동 트랜지스터(MD21)와 구동 트랜지스터(MD31)는 상기 구동 트랜지스터(MD11)와 같이 적어도 2개의 게이트 전극과 적어도 2개의 채널들이 랜덤하게 형성된다. 다만, 상기 구동 트랜지스터들 (MD11,MD21,MD31)의 적어도 2개의 채널들의 길이의 합과 폭은 동일하게 형성한다.

이와 같이, 본 발명의 실시 예에 따른 유기전계발광표시장치는 비정질 실리콘을 폴리 실리콘으로 결정화하는 레이저 진행방향에 수직하게 배열된 복수의 구동 트랜지스터들 각각은 랜덤(random)하게 형성된 적어도 2개의 채널들을 가지며, 각 구동 트랜지스터들의 적어도 2개의 채널들의 길이의 합과 폭을 같게함으로써, 비정질-실리콘(Amorphous-Si)을 폴리-실리콘(Poly-Si)으로 결정화하는 레이저 결정화 공정의 영향에 따른 결점(defect)이 각 구동 트랜지스터들마다 다르게 형성된다.

이로 인하여, 엑시머 레이저의 조사방향에 수직한 방향으로 발생하는 라인무라(line mura)는 랜덤하게 형성된 적어도 2개의 채널들을 가지는 구동 트랜지스터의 특성으로 인하여 랜덤(Random)하게 발생된다.

발명의 효과

본 발명의 실시예에 따른 유기전계발광표시장치는 엑시머 레이저의 조사방향에 대하여 수직하게 배열된 화소회로의 각 구동 트랜지스터들의 적어도 2개의 채널들을 랜덤하게 위치시키고 적어도 2개의 채널들의 길이의 합과 폭의 합을 같게 함으로써, 엑시머 레이저의 조사방향에 따라 발생하는 라인무라를 방지하여 화질을 향상시킬 수 있으며, 수율을 증가시킬 수 있다.

(57) 청구의 범위**청구항 1.**

표시패널상에 데이터선들과 주사선들이 교차하는 영역에 행과 열로 배열된 복수의 화소회로를 포함하는 유기전계발광표시장치에 있어서,

상기 복수의 화소회로 중 결정화를 위한 레이저 스캔방향과 수직한 방향으로 배열된 복수의 화소회로 각각은,

소정의 빛을 발광하는 유기발광소자; 및

상기 데이터선을 통하여 인가되는 데이터 신호에 상응하는 전류를 상기 유기발광소자로 공급하는 구동 트랜지스터를 포함하며,

상기 구동 트랜지스터 각각은 적어도 2개의 채널들을 구비하며, 상기 적어도 2개의 채널들의 길이의 합은 동일한 것을 특징으로 하는 유기전계발광표시장치.

청구항 2.

제 1 항에 있어서,

상기 적어도 2개의 채널들의 폭은 동일한 것을 특징으로 하는 유기전계발광표시장치.

청구항 3.

제 1 항에 있어서,

상기 구동 트랜지스터 각각은 상기 적어도 2개의 채널들 사이에 이온으로 도핑된 영역을 가지는 것을 특징으로 하는 유기전계발광표시장치.

청구항 4.

제 1 항에 있어서,

상기 결정화는 비정질 실리콘층을 폴리 실리콘층으로 형성되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 5.

제 4 항에 있어서,

상기 결정화는 엑시머 레이저 어닐링 방법으로 형성되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 6.

제 1 항에 있어서,

상기 복수의 구동 트랜지스터 각각은

소오스/드레인 영역과 콘택되는 소오스/드레인 전극; 및

상기 적어도 2개의 채널들과 절연층을 사이에 두고 대응하게 형성된 적어도 2개의 게이트 전극을 더 포함하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 7.

제 6 항에 있어서,

상기 복수의 화소회로 각각은,

상기 주사선에 공급되는 선택신호에 따라 상기 데이터선에 공급되는 데이터신호를 상기 구동 트랜지스터의 상기 적어도 2개의 게이트 전극에 공급하는 스위칭 트랜지스터; 및

상기 구동 트랜지스터의 상기 적어도 2개의 게이트 전극과 상기 소오스/드레인 전극 사이에 상기 데이터신호에 대응되는 전압을 저장하는 커패시터를 더 포함하는 유기전계발광표시장치.

청구항 8.

제 6 항에 있어서,

상기 적어도 2개의 게이트 전극은 어느 한쪽이 서로 연결되어 있는 것을 특징으로 하는 유기전계발광표시장치.

청구항 9.

결정화를 위한 레이저 스캔방향과 수직한 방향으로 배열된 복수의 구동 트랜지스터 각각은,

기관상에 형성되고, 소오스/드레인과 적어도 2개의 채널들을 가지는 반도체층;

상기 반도체층상에 형성되는 게이트절연막;

상기 게이트절연막상에 상기 적어도 2개의 채널들과 대응하게 형성되는 적어도 2개의 게이트 전극들;

상기 적어도 2개의 게이트 전극들상에 형성되는 층간절연막; 및

상기 소오스/드레인과 콘택되게 형성한 소오스/드레인전극을 포함하며,

상기 적어도 2개의 채널들의 길이의 합은 동일한 것을 특징으로 하는 구동 트랜지스터.

청구항 10.

제 9 항에 있어서,

상기 적어도 2개의 채널들의 폭은 동일한 것을 특징으로 하는 구동 트랜지스터.

청구항 11.

제 9 항에 있어서,

상기 구동 트랜지스터 각각은 상기 적어도 2개의 채널들 사이에 이온으로 도핑된 영역을 가지는 것을 특징으로 하는 구동 트랜지스터.

청구항 12.

제 9 항에 있어서,

상기 결정화는 비정질 실리콘층을 폴리 실리콘층으로 형성되는 것을 특징으로 하는 구동 트랜지스터.

청구항 13.

제 12 항에 있어서,

상기 결정화는 엑시머 레이저 어닐링 방법으로 형성되는 것을 특징으로 하는 구동 트랜지스터.

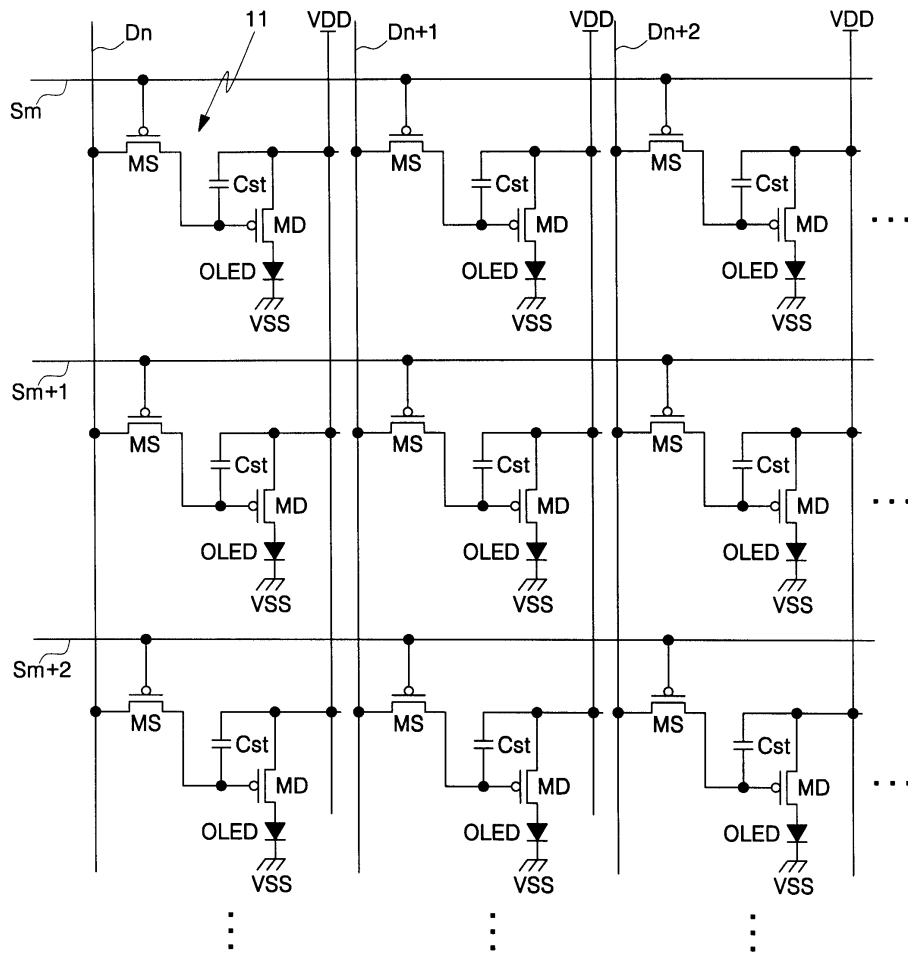
청구항 14.

제 9 항에 있어서,

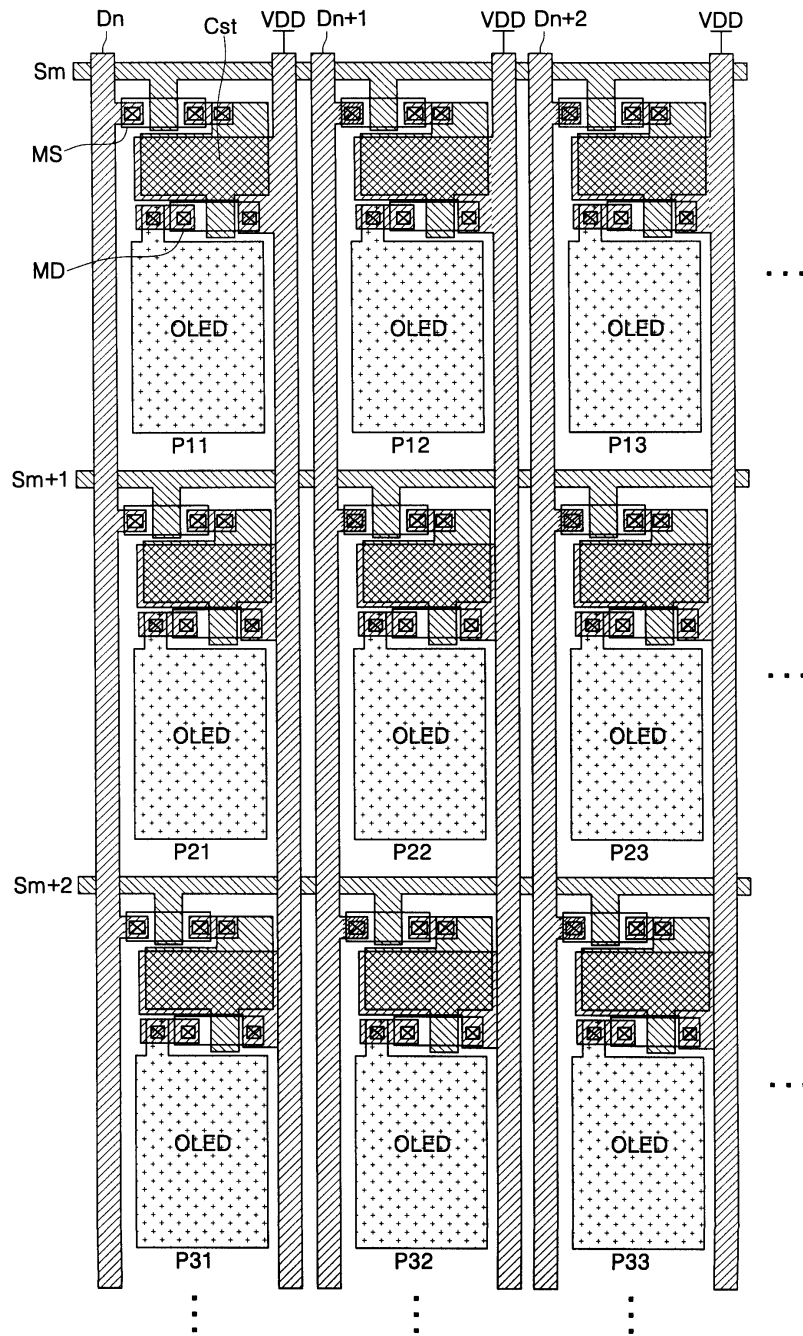
상기 적어도 2개의 게이트 전극은 어느 한쪽이 서로 연결되어 있는 것을 특징으로 하는 구동 트랜지스터.

도면

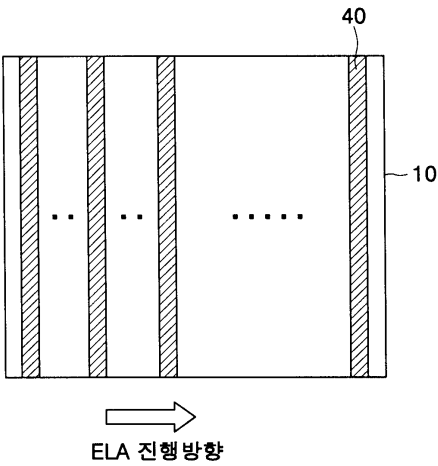
도면1



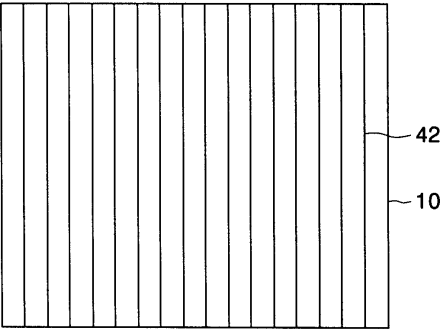
도면2



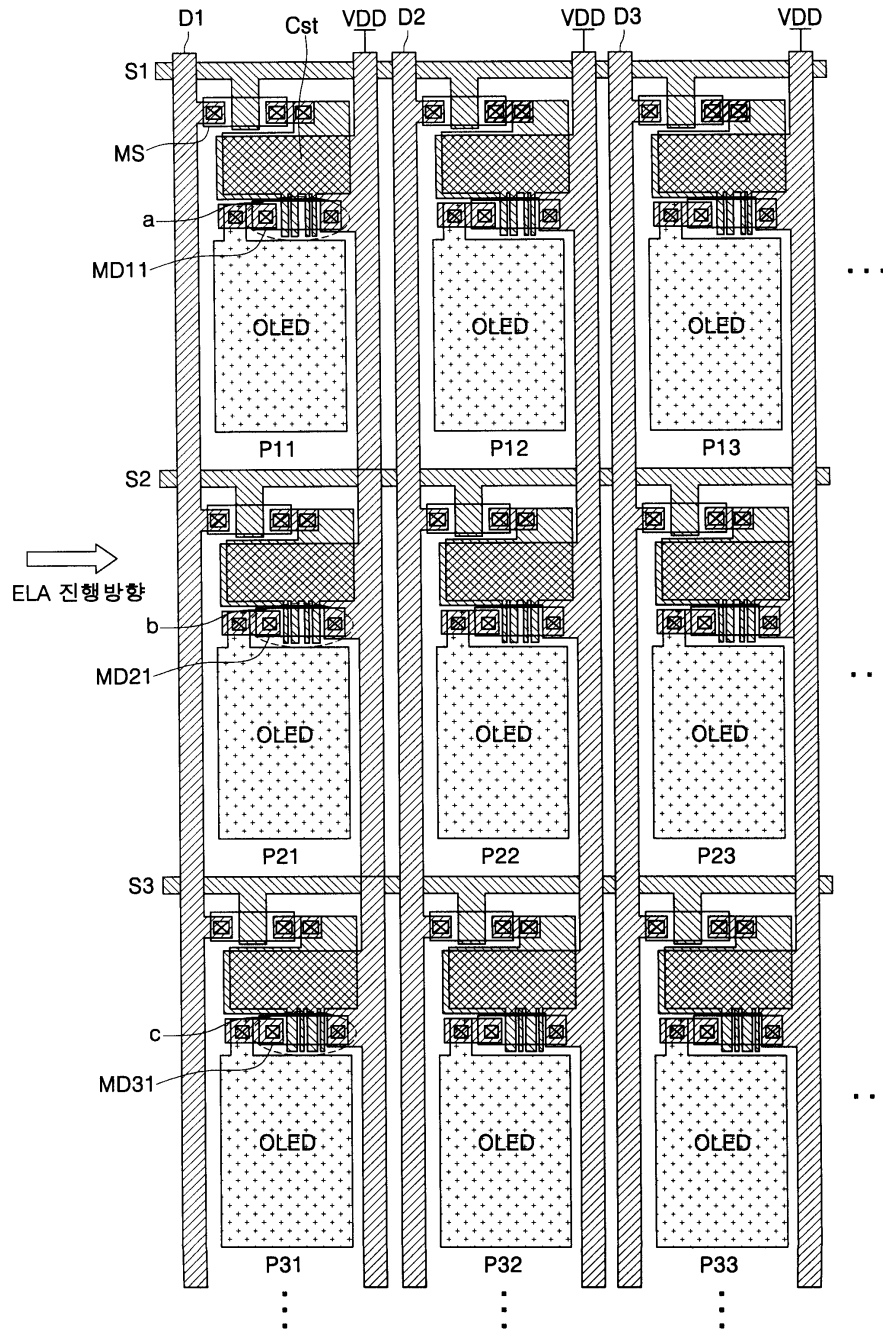
도면3



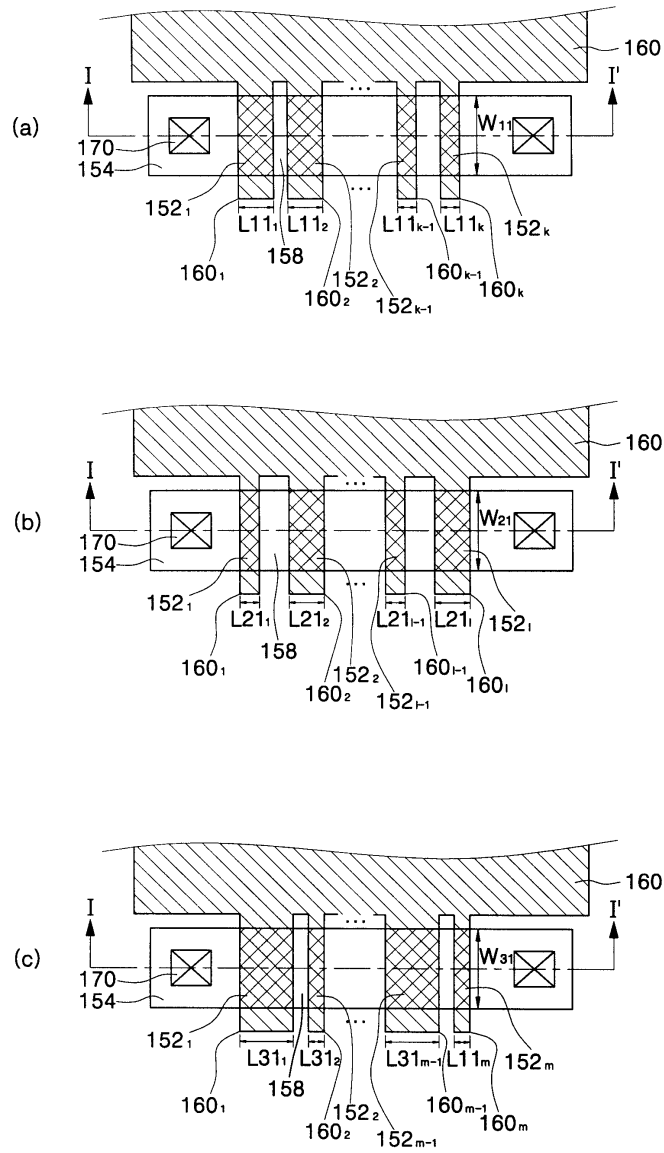
도면4



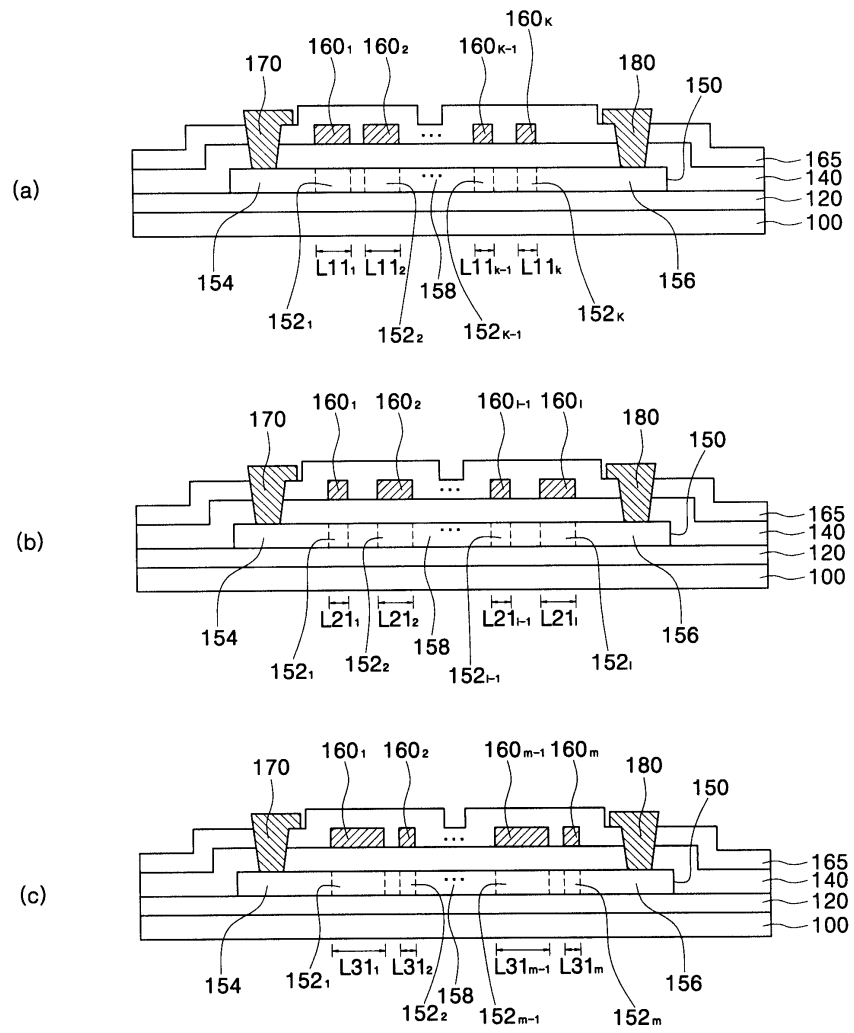
도면5



도면6



도면7



专利名称(译)	有机电致发光显示装置		
公开(公告)号	KR1020060055016A	公开(公告)日	2006-05-23
申请号	KR1020040094313	申请日	2004-11-17
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	CHOI WOONGSIK		
发明人	CHOI,WOONGSIK		
IPC分类号	H05B33/00 H05B33/26		
CPC分类号	H01L27/3262 H01L27/1285 H01L27/3244 H01L51/0027 H01L29/78645 H01L27/1296		
代理人(译)	PARK, 常树		
其他公开文献	KR100635574B1		
外部链接	Espacenet		

摘要(译)

准分子激光器结晶 (ELA) 通过根据在工艺管线中衬 (线衬) 有机发光显示装置能够防止非晶硅结晶成多晶硅的发生的能量束密度的偏差的驱动晶体管的照射特性差而产生它公开了。在本发明的有机发光显示装置, 包括一布置在交叉布置成行和列, 以有机光的显示面板上的数据线和扫描线, 根据所述多个像素电路的发光显示多个像素电路的沿垂直于用于结晶的激光扫描方向的方向布置的多个像素电路中的每一个包括用于发射预定光的有机发光元件;并供给到有机发光器件, 其中与通过数据线施加的数据信号的电流, 每个所述驱动晶体管的是驱动晶体管包括至少两个信道, 其中, 所述至少两个通道的长度的总和是一样的。6 指数方面 Rinmeura, 准分子激光退火, 多晶硅

