

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
H05B 33/08

(11) 공개번호 10-2005-0113694
(43) 공개일자 2005년12월05일

(21) 출원번호 10-2004-0037278
(22) 출원일자 2004년05월25일

(71) 출원인 삼성에스디아이 주식회사
경기 수원시 영통구 신동 575

(72) 발명자 김금남
서울특별시동대문구답십리2동21-1다솜빌라302호

(74) 대리인 유미특허법인

심사청구 : 있음

(54) 유기전계 발광 표시 패널

요약

본 발명은 유기전계 발광 표시 패널에 관한 것으로, 일 방향의 데이터선 및 전원선; 상기 전원선 및 데이터선과 선택적으로 교차하는 주사선; 상기 주사선과 평행한 방출 제어선; 및, 상기 방출 제어선에 평행하는 부스트 제어선;에 의해서 단위 화소가 정의되고, 상기 단위 화소를 구동하는 화소 회로가, 상기 데이터선과 주사선이 교차하는 영역에 배치되는 제1 박막 트랜지스터; 상기 데이터선과 방출 제어선이 교차하는 영역에 배치되는 제2 박막 트랜지스터; 상기 주사선과 전원선이 교차하는 영역에 배치되는 제3 박막 트랜지스터; 및, 상기 발광 제어선을 가로질러 형성되는 제4 박막 트랜지스터;를 포함해서 구성되고, 이중 적어도 어느 하나의 박막 트랜지스터는 소스 및 드레인 전극 각각이 반도체층으로 형성되고, 게이트 전극 위로는 금속층이 배치되어 이루어진다.

대표도

도 8

색인어

유기, 전계, 발광, 부스트, 발광, 패널

명세서

도면의 간단한 설명

도 1은 종래 기술에 따른 능동 매트릭스형 유기전계 발광장치의 등가 회로도이다.

도 2는 종래 기술에 따른 유기전계 발광장치를 구동하기 위한 종래의 전류 기입 방식의 화소 회로도이다.

도 3은 본 발명이 적용되는 유기전계 발광장치의 구성을 개략적으로 보여주는 도면이다.

도 4는 본 발명의 일 실시예에 따른 유기전계 발광 표시 패널에 대해서 개략적으로 도시한 도면이다.

도 5는 도 4 중 하나의 화소에 대응하는 등가 회로도이다.

도 6은 본 발명의 일 실시예에 따른 유기전계 발광 표시 패널의 배치 구조를 설명하는 도면이다.

도 7은 도 6의 I-I'선을 따라 절개한 단면도이다.

도 8은 도 6의 II-II'선을 따라 절개한 단면도이다.

도 9는 도 6의 III-III'선을 따라 절개한 단면도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기전계 발광 표시 패널에 관한 것으로서, 더욱 상세하게는 단위 화소의 배치구조를 개선해서 개구율을 증대한 유기전계 발광 표시 패널에 관한 것이다.

유기전계 발광장치는 캐소드(cathode)에서 공급된 전자와, 애노드(anode)에서 공급된 정공의 결합에 의해 형광성 유기 물질을 전기적으로 여기시켜 발광한다. 이때, 유기 물질은 전자와 정공의 공급을 좋게 하기 위해서 발광층(emitting layer, EML), 전자 수송층(electron transport layer, ETL) 및 정공 수송층(hole transport layer, HTL)을 포함한 다층 구조로 이루어짐이 일반적이다.

그리고, 유기전계 발광장치를 구동하는 방식으로는 크게 수동 매트릭스형(passive matrix)과 능동 매트릭스형(active matrix)으로 구분할 수 있으며, 능동 매트릭스형은 다시 커패시터에 전압을 기입해서 유지시키는 신호의 형태에 따라 전압 기입(voltage programming) 방식과 전류 기입(current programming) 방식으로 나뉘어진다.

도 1은 능동 매트릭스형 유기전계 발광장치의 등가 회로도, 종래의 유기전계 발광장치의 화소 회로는 스위칭용 박막 트랜지스터(ST)와 구동용 박막 트랜지스터(DT) 그리고, 스토리지 커패시터(C_{ST})를 포함한다. 이때, 단위 화소들은 주사선($S1 \sim Sn$)과 데이터선($D1 \sim Dn$) 그리고 전원선($V1 \sim Vn$)의 교차 배열에 의해 정의된 매트릭스 배열 구조를 가진다.

각각의 단위 화소에서, 스위칭 박막 트랜지스터(ST)는 주사선($S1 \sim Sn$)과 데이터선($D1 \sim Dn$)에 각각 소스 전극 및 게이트 전극이 연결되고, 드레인 전극에는 구동 박막 트랜지스터(DT)의 게이트 전극이 연결된다. 그리고, 스위칭 박막 트랜지스터(ST)의 드레인 전극과 전원선($V1 \sim Vn$) 사이에는 스토리지 커패시터(C_{ST})가 병렬 연결된다. 구동 박막 트랜지스터(DT)의 소스 전극은 전원선($V1 \sim Vn$)과 연결되고, 드레인 전극은 유기 물질(EL)에 연결되어 상기 유기 물질(EL)의 양극을 형성한다. 그리고, 유기 물질(EL)의 음극은 공통 전압이 각 화소마다 동일하게 공급된다.

스위칭 박막 트랜지스터(ST)의 게이트에 인가되는 선택 신호에 의해 이 박막 트랜지스터(ST)가 턴-온(turn-on)되면, 데이터선($D1 \sim Dn$)으로부터 데이터 전압이 스위칭 박막 트랜지스터(ST)의 게이트에 인가된다. 그러면, 스토리지 커패시터(C_{ST})에 의해 게이트와 소스 사이에 충전된 전압(V_{GS})에 대응하여 박막 트랜지스터(DT)에 전류(I_{OLED})가 흐르고, 이 전류(I_{OLED})에 따라 유기 물질(EL)이 발광한다.

그러나, 이처럼 구동하는 전압 기입 방식에서, 구동 박막 트랜지스터의 각 화소별 특성 편차, 예를 들어 문턱 전압(threshold voltage)의 편차, 채널의 이동도 등에 의해 패널의 휘도가 균일하지 못한 문제가 발생한다.

이에 따라, 구동용 박막 트랜지스터의 특성 편차를 보정하는 다수의 보상 회로들이 제안되었으나, 박막 트랜지스터의 개수를 증가시켜 단위 화소의 개구율을 떨어뜨리는 문제를 수반하게 되었다.

이에 반해, 전류 기입 방식의 유기전계 발광장치는 화소 회로에 전류를 공급하는 전류원이 패널 전체, 즉 모든 데이터 배선에 대해 균일하다고 하면 각 화소내의 구동 박막 트랜지스터가 불균일한 전압-전류 특성을 갖는다 하더라도 균일한 디스플레이 특성을 얻을 수 있다.

도 2는 유기전계 발광장치를 구동하기 위한 종래의 전류 기입 방식의 화소 회로로서, $N \times M$ 개의 화소 중 하나를 대표적으로 도시한 것이다. 유기 물질(EL)에 구동 박막 트랜지스터(DT)가 연결되어 발광을 위한 전류를 공급하고, 이 박막 트랜지스터(DT)의 전류량은 스위칭 박막 트랜지스터(ST1)를 통해 인가되는 데이터 전류(I_{DATA})에 의해 제어되도록 구성되어 있다.

주사선(S_n)으로부터 선택 신호에 의해 스위칭 박막 트랜지스터(ST1, ST2)가 턴온되면, 박막 트랜지스터(DT)가 다이오드 연결 상태로 되어 스토리지 커패시터(C_{ST})에 전류가 흘러서 전압이 충전된다. 또한, 박막 트랜지스터(DT)의 게이트 전위가 떨어져 소스에서 드레인으로 전류가 흘러 휘도 설정용 데이터 전류(I_{DATA})에 대응하는 전압이 스토리지 커패시터(C_{ST})에 저장된다. 다음으로, 스위칭 박막 트랜지스터(ST1, ST2)를 턴-오프(turn-off)하고, 발광 제어선(E_n)에 연결된 박막 트랜지스터(ET)를 턴온한다. 그러면, 전원 공급선(V_m)으로부터 전원이 공급되고, 스토리지 커패시터(C_{ST})에 저장된 전압에 대응하는 전류가 유기 물질(EL)로 흘러 설정된 휘도로 발광이 이루어진다.

그런데, 유기 물질에 흐르는 전류(I_{OLED})는 미세 전류이면서 데이터선(D_m)의 전압 범위는 넓기 때문에, 미세 전류(I_{DATA})로 화소 회로를 구동하는 경우에는 데이터 배선의 기생 용량 등을 충전하는데 시간이 많이 걸린다는 문제점이 있다.

또한, 단위 화소에 배치되는 박막 트랜지스터의 개수가 증가하여 개구율이 상당히 감소하는 문제점이 발생한다. 이러한 개구율의 감소는 휘도를 떨어뜨리고, 고전류 구동을 요구하므로 수명이 감소되는 문제를 발생시킨다.

발명이 이루고자 하는 기술적 과제

이에, 본 발명은 상기와 같은 문제점을 해결하기 위해 창안된 것으로서, 단위 화소의 배치 구조를 개선해서 개구율을 증대한 본 발명의 유기전계 발광 표시 패널을 제공하는데 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위해서 본 발명의 유기전계 발광 표시 패널은,

일 방향의 데이터선 및 전원선; 상기 전원선 및 데이터선과 선택적으로 교차하는 주사선; 상기 주사선과 평행한 방출 제어선; 및, 상기 방출 제어선에 평행하는 부스트 제어선;에 의해서 단위 화소가 정의되고,

상기 단위 화소를 구동하는 화소 회로가,

상기 데이터선과 주사선이 교차하는 영역에 배치되는 제1 박막 트랜지스터;

상기 데이터선과 방출 제어선이 교차하는 영역에 배치되는 제2 박막 트랜지스터;

상기 주사선과 전원선이 교차하는 영역에 배치되는 제3 박막 트랜지스터; 및,

상기 발광 제어선을 가로질러 형성되는 제4 박막 트랜지스터;를 포함해서 구성되고,

이중 적어도 어느 하나의 박막 트랜지스터는 소스 및 드레인 전극 각각이 반도체층으로 형성되고, 게이트 전극 위로는 금속층이 배치되어 이루어진다.

이때, 상기 제1 박막 트랜지스터는 상기 데이터선에서 입력되는 데이터 전류를 제3 박막 트랜지스터의 게이트 전극으로 입력하고,

상기 제2 박막 트랜지스터는 상기 데이터선에서 입력되는 선택 신호에 따라 상기 제3 박막 트랜지스터를 다이오드 연결하고,

상기 제4 박막 트랜지스터는 상기 방출 제어선에 입력되는 방출 신호에 따라 상기 제3 박막 트랜지스터에서 구동 전류를 유기 물질로 전달하도록 동작한다.

바람직하게, 상기 단위 화소는 상기 제1 박막 트랜지스터로부터의 데이터 전류에 대응하는 제1 전압을 저장하는 제1 커패시터; 및,

상기 제1 커패시터와 상기 부스트 제어선 사이에 전기적으로 연결되며, 상기 제1 커패시터와의 커플링을 통해 상기 제1 커패시터의 제1 전압을 제2 전압으로 변경하는 제2 커패시터;를 더 포함해서 이루어진다.

이때, 상기 금속층은 상기 데이터선 및 전원선과 동일층(layer)의 동일물질로 이루어지고, 상기 제1 박막 트랜지스터의 드레인 전극에서 시작을 해서 상기 제3 박막 트랜지스터의 게이트 전극 위를 지나쳐 상기 발광 제어선을 가로지르는 '??'자 형상을 가진다.

이때, 상기 제1 내지 제4 박막 트랜지스터는 상기 데이터선, 주사선, 전원선 및 발광 제어선에 의해서 정의된 공간 내에 형성됨이 바람직하다.

본 발명의 다른 실시예에 따른 유기전계 발광 표시 패널은,

제1 및 제2 박막 트랜지스터에 각각 연결되는 데이터선;

상기 데이터선과 교차하면서 상기 제1 및 제2 박막 트랜지스터에 각각 연결되는 주사선;

상기 데이터선과 일정 간격을 유지하면서 상호 평행하게 배열되며, 제3 박막 트랜지스터에 연결되는 전원선;

상기 제1 박막 트랜지스터, 상기 제2 박막 트랜지스터, 상기 제3 박막 트랜지스터 및 상기 제3 박막 트랜지스터에 연결되는 제4 박막 트랜지스터를 사이에 두고, 상기 주사선과 서로 평행하게 위치하는 발광 제어선; 및,

상기 제3 박막 트랜지스터의 소스 및 게이트 사이에 연결되는 제1 커패시터와의 커플링을 통해 상기 제1 커패시터의 제1 전압을 제2 전압으로 변경하는 제2 커패시터가 연결되고, 상기 발광 제어선과 일정 간격을 유지하면서 서로 평행하게 배치되는 부스트 제어선;을 포함하고,

상기 제1 박막 트랜지스터가 상기 제3 박막 트랜지스터의 게이트 전극 위로 배치되는 금속층을 통해서 상기 제1 커패시터와 연결되는 구조로 이루어진다.

본 발명의 또 다른 실시예에 따른 유기전계 발광 표시 패널은,

복수의 단위 화소를 포함해서 구성된 유기전계 발광 표시 패널에 있어서, 상기 단위 화소가,

이격된 상태에서 제1 방향으로 상호 평행하게 배열된 주사선과, 발광 제어선;

상기 제1 방향과 직교하는 제2 방향으로 배열되며, 상호 평행하게 배열된 데이터선과, 전원선; 및,

상기 발광 제어선에서 이격되어 상호 평행하게 배열된 부스트 제어선;에 의해서 매트릭스 형태로 배열되고,

상기 주사선 및 상기 발광 제어선의 사이 공간에,

상기 데이터선에 소스 전극이 각각 연결되고, 상기 주사선에 게이트 전극이 각각 연결된 제1 및 제2 박막 트랜지스터;

상기 전원선에 소스 전극이 연결되고, 상기 제1 박막 트랜지스터의 드레인 전극에 게이트 전극이 연결된 제3 박막 트랜지스터; 및,

상기 발광 제어선에 게이트 전극이 연결되고, 상기 제2 및 제3 박막 트랜지스터의 드레인 전극에 소스 전극이 공통 연결된 제4 박막 트랜지스터가 배치되며,

상기 발광 제어선 및 상기 부스트 제어선 사이에,

상기 제4 박막 트랜지스터의 드레인 전극과 연결된 유기 물질; 및,

상기 제3 박막 트랜지스터의 게이트 전극 및 상기 전원선에 각각 연결된 제1 커패시터와, 상기 부스트 제어선과 상기 제1 커패시터에 각각 연결된 제2 커패시터가 배치되며,

상기 제1 박막 트랜지스터의 드레인 전극이 상기 제3 박막 트랜지스터의 게이트 전극 위로 배치되는 금속층을 통해서 상기 제1 커패시터와 연결되는 구조로 이루어진다.

이하, 첨부한 도면을 참조로 본 발명의 바람직한 실시예에 대해 당업자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되는 것은 아니다.

또한, 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 어떤 부분이 다른 부분과 연결되어 있다고 할 때, 이는 직접적으로 연결되어 있는 경우뿐 아니라 그 중간에 다른 소자를 사이에 두고 연결되어 있는 경우도 포함한다. 또한 층, 막, 영역, 판 등의 부분이 다른 부분 위에 있다고 할 때, 이는 다른 부분 바로 위에 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

도 3은 본 발명이 적용되는 유기전계 발광장치의 구성을 개략적으로 보여주는 도면이다.

이를 참조하면, 유기전계 발광장치는 표시 패널(100), 주사 구동부(200) 및 데이터 구동부(400)를 포함해서 이루어진다. 표시 패널(100)은 도면을 기준으로 해서 행 방향으로 길게 연장된 복수의 주사선(S1~Sn), 발광 제어선(E1~En) 및 부스트 제어선(B1~Bn)과, 열 방향으로 길게 연장된 복수의 데이터선(D1~Dm), 복수의 전원선(VDD) 및 복수의 화소(110)들을 포함한다.

여기서, 화소(110)는 이웃하는 임의의 두 주사선(Sk-1, Sk)과 이웃하는 임의의 두 데이터선(Dk-1, Dk)에 의해 형성되는 화소 영역에 형성되고, 각 화소(110)는 주사선(S1~Sn), 발광제어선(E1~En), 부스트 제어선(B1~Bn) 및 데이터선(D1~Dm)으로부터 전달되는 신호에 의해 구동된다.

그리고, 주사 구동부(200)는 해당 라인의 화소에 데이터 신호가 인가될 수 있도록 해당 라인을 선택하기 위한 선택 신호를 순차적으로 주사선(S1~Sn)으로 전달하고, 유기 물질(EL)의 발광을 제어하기 위한 발광제어 신호를 순차적으로 발광제어선(E1~En)으로 전달한다.

또한, 주사 구동부(200)는 부스트 제어선을 통해서 해당 라인의 화소에 부스트 신호를 인가해서 상기 부스트 제어선에 연결된 두 커패시터(C1, C2)의 커플링에 의해서 구동 트랜지스터의 게이트 전압 상승폭을 결정한다. 이에 따라서, 유기 물질(EL)에 공급되는 전류를 원하는 값으로 설정할 수 있다.

그리고, 데이터 구동부(400)는 상기 주사선(S1~Sn)을 통해서 전달되는 선택 신호가 순차적으로 인가될 때마다, 상기 선택 신호가 인가된 라인의 화소에 대응하는 데이터 신호를 데이터선(D1~Dm)에 인가한다.

이처럼 구성되는, 주사 구동부(200)와 데이터 구동부(400)는 각각 표시 패널(100)이 형성된 기판에 전기적으로 연결된다. 이와는 달리, 주사 구동부(200) 및/또는 데이터 구동부(400)를 표시 패널(100)의 유리 기판 위에 직접 장착할 수도 있으며, 표시 패널(100)의 기판에 주사선, 데이터선 및 트랜지스터와 동일한 층들로 형성되어 있는 구동 회로로 대체될 수도 있다. 또는, 주사 구동부(200) 및/또는 데이터 구동부(400)를 표시 패널(100)의 기판에 접착되어 전기적으로 연결된 TCP(tape carrier package), FPC(flexible printed circuit) 또는 TAB(tape automatic bonding)에 칩 등의 형태로 장착할 수도 있다.

다음으로, 도 4 및 도 5를 참조하여 유기전계 발광장치의 구체적인 동작에 대해서 살펴본다.

도 4는 도 3에 도시된 유기전계 발광장치에 적용되는 본 발명의 일 실시예에 따른 표시 패널을 개략적으로 보여주는 도면이고, 도 5는 도 4의 n번째 화소에 대응하는 등가 회로도이다.

이를 참조하면, 본 실시예의 표시 패널(100)을 이루는 화소 회로는 구동 트랜지스터(M3), 발광 트랜지스터(M4), 스위칭 트랜지스터(M1) 및 다이오드 트랜지스터(M2)와, 유기 물질(EL), 그리고, 2개의 커패시터(C1, C2)를 포함해서 이루어진다.

보다 구체적으로, 스위칭 트랜지스터(M1)는 데이터선(D_m)과 구동 트랜지스터(M3)의 게이트 사이에 연결되며, 주사선(S_n)으로부터의 선택 신호에 응답하여 데이터선(D_m)으로부터 입력된 데이터 전류(I_{DATA})를 트랜지스터(M1)로 전달한다. 다이오드 트랜지스터(M2)는 트랜지스터(M1)의 드레인과 데이터선(D_m) 사이에 연결되며, 주사선(S_n)으로부터의 선택 신호에 응답하여 구동 트랜지스터(M3)를 다이오드 연결시킨다.

그리고, 구동 트랜지스터(M3)는 전원 전압(V_m)에 소스가 연결되고, 다이오드 트랜지스터(M2)에 드레인이 연결되어 있다. 이 구동 트랜지스터(M3)의 게이트-소스 전압은 데이터 전류(I_{DATA})에 대응하여 결정된다.

커패시터(C2)는 구동 트랜지스터(M1)의 게이트와 소스 사이에 연결되어, 이 구동 트랜지스터(M3)의 게이트-소스 전압을 일정기간 유지하고, 커패시터(C1)는 부스트 제어선(B_n)과 구동 트랜지스터(M3)의 게이트 사이에 연결되어 트랜지스터(M1)의 게이트 전압을 조절한다.

이렇게 커패시터를 연결함으로써, 커패시터(C2) 노드의 전압은 부스트 제어선(B_n)으로부터 입력된 부스트 신호의 전압 상승폭(ΔV_B)만큼 상승하게 되어, 구동 트랜지스터(M3)의 게이트 전압(V_G)의 증가량(ΔV_G)은 수학식 1과 같이 된다. 따라서 트랜지스터(M1, M2, M3)의 기생 커패시턴스 성분에 대응하여 부스트 신호의 전압 상승폭(ΔV_B)을 조절하는 것으로, 구동 트랜지스터(M3)의 게이트 전압(V_G)의 상승폭(ΔV_G)을 원하는 값으로 설정할 수 있다. 즉, 유기 물질(EL)에 공급되는 전류(I_{OLED})를 원하는 값으로 설정할 수 있게 된다.

수학식 1

$$\Delta V_G = \frac{\Delta V_B C_2}{C_1 + C_2}$$

다음으로, 발광 트랜지스터(M4)는 발광 제어선(E_n)으로부터의 발광 신호에 응답하여 구동 트랜지스터(M3)에 흐르는 전류를 유기 물질(EL)에 공급한다. 유기 물질(EL)은 발광 트랜지스터(M4)와 기준 전압 사이에 연결되며 구동 트랜지스터(M3)에 흐르는 전류의 양에 대응하는 빛을 발광한다.

이처럼 이루어진 화소 회로의 동작에 대해서 이하에서 자세히 설명하면 다음과 같다.

먼저, 주사선(S_n)을 통해서 인가되는 선택 신호에 의해 스위칭 트랜지스터(M2)와 다이오드 트랜지스터(M3)가 턴온된다. 이에 따라, 구동 트랜지스터(M3)가 다이오드 연결되고, 데이터선(D_m)으로부터의 데이터 전류(I_{DATA})가 구동 트랜지스터(M3)에 흐르게 된다. 이와 동시에, 발광 주사선(E_n)을 통해서 인가되는 발광 신호에 의해 발광 트랜지스터(M4)는 턴오프되기 때문에, 구동 트랜지스터(M3)와 유기 물질(EL)은 전기적으로 차단되어 있다.

이때, 구동 트랜지스터(M3)의 게이트와 소스 사이 전압의 절대값(이하, "게이트-소스 전압"이라 함)(V_{GS})과 이 트랜지스터(M3)에 흐르는 전류(I_{DATA}) 사이에는 수학식 2의 관계가 성립하므로, 구동 트랜지스터(M3)의 게이트-소스 전압(V_{GS})은 수학식 3과 같이 주어진다.

수학식 2

$$I_{DATA} = \frac{\beta}{2} (V_{GS} - V_{TH})^2$$

여기서, β 는 상수 값이며 V_{TH} 은 구동 트랜지스터(M3)의 문턱 전압의 절대값이다.

수학식 3

$$V_{GS} = V_{DD} - V_G = \sqrt{\frac{2I_{DATA}}{\beta}} + V_{TH}$$

여기서, V_G 는 구동 트랜지스터(M3)의 게이트 전압이며, V_{DD} 은 전원 전압(VDD)에 의해 구동 트랜지스터(M3)에 공급되는 전압이다.

다음으로, 주사선(S_n)의 선택 신호와 발광 제어선(E_n)의 발광 신호에 따라 스위칭 트랜지스터(M1) 및 다이오드 트랜지스터(M3)가 턴오프되고, 발광 트랜지스터(M4)가 턴온된다.

이때, 커패시터(C_2)와 주사선(S_n) 접점의 전압이 선택 신호에 의해 ' ΔV_S '만큼 상승한다. 따라서, 커패시터(C_1 , C_2)의 커플링에 의해 구동 트랜지스터(M3)의 게이트 전압(V_G)은 상승하게 되고, 그 상승폭(ΔV_G)은 수학식 4와 같다.

수학식 4

$$\Delta V_G = \frac{\Delta V_S C_2}{C_1 + C_2}$$

여기서, C_1 및 C_2 는 각각 커패시터(C_1 , C_2)의 커패시턴스이다.

구동 트랜지스터(M3)의 게이트 전압(V_G)이 ΔV_G 만큼 증가하였으므로 이 트랜지스터(M3)에 흐르는 전류(I_{OLED})는 아래의 수학식 5와 같이 결정된다. 즉, 구동 트랜지스터(M3)의 게이트 전압(V_G)이 증가한 만큼 트랜지스터(M3)의 게이트-소스 전압(V_{GS})의 크기가 작아지므로, 트랜지스터(M3)의 드레인 전류(I_{OLED})의 크기를 데이터 전류(I_{DATA})에 비해 작게 할 수 있다. 그리고, 발광 제어선(E_n)의 발광 신호에 의해 발광 트랜지스터(M4)가 턴온되어 있으므로, 구동 트랜지스터(M3)의 전류(I_{OLED})가 유기 물질(EL)에 공급되어 발광이 이루어진다.

수학식 5

$$I_{OLED} = \frac{\beta}{2} (V_{GS} - \Delta V_G - V_{TH})^2 = \frac{\beta}{2} \left(\sqrt{\frac{2I_{DATA}}{\beta}} - \Delta V_G \right)^2$$

또한, 수학식 5로부터 데이터 전류(I_{DATA})는 수학식 6과 같이 유도되어지므로, 데이터 전류(I_{DATA})를 유기 물질(EL)에 흐르는 전류(I_{OLED})보다 큰 값으로 설정할 수 있다.

수학식 6

$$I_{DATA} = I_{OLED} + \Delta V_G \sqrt{2\beta I_{OLED}} + \frac{\beta}{2} (\Delta V_G)^2$$

이하, 도 6 내지 도 9를 참조해서 본 발명의 일 실시예에 따른 표시 패널의 레이아웃을 설명한다. 도 6은 본 실시예에 따른 표시 패널의 배치 구조를 보여주는 도면이고, 도 7 내지 도 9는 층간 구조를 설명하는 단면도이다.

이를 참조하면, 본 실시예에서 표시 패널(100)의 단위 화소들(110)은 제1 방향(도면에서는 Y축 방향)으로 연장되는 데이터선(110)과, 상기 데이터선(110)과 교차하는 방향(도면에서는 X축 방향)으로 배열된 주사선(120)과, 상기 주사선(120)과 일정한 간격으로 이격된 상태에서 상기 데이터선(110)에 직교하는 방향(도면의 Y축 방향)으로 연장되는 전원선(130)과, 상기 주사선(120)에 평행하게 배치된 발광 제어선(140) 및 상기 발광 제어선(140)과 일정 간격을 유지하면서 평행하게 배치된 부스트 제어선(150)에 의해 한정된다.

이때, 화소 회로를 구성하는 스위칭 트랜지스터(M1), 구동 트랜지스터(M3), 다이오드 트랜지스터(M2) 및 발광 트랜지스터(M4)는 상기 주사선(120)과 발광 제어선(140) 사이에 마련된 공간에 배치된다. 이에 따라, 부스트 제어선(150)이 상술

한 화소 회로를 구성하는 소자들과 중첩되지 않기 때문에, 이 화소 회로 소자의 간섭에 의한 부스트 신호의 신호 왜곡을 방지할 수 있다. 따라서, 안정적으로 부스트 신호를 커패시터에 입력할 수 있으므로, 이전보다 정확하게 데이터 전류(I_{DATA})를 유기 물질(EL)에 전달할 수가 있다.

상술한 화소 회로의 배치 구조에 대해서 상술하면, 상기 스위칭 트랜지스터(M1)는 주사선(120)과 데이터선(110)의 교차점 부근에 형성된 채널 위로 게이트 전극이 형성되고, 소스 전극이 접촉홀(h1)을 통해서 데이터선(110)과 연결되어 있다. 드레인 전극은 접촉홀(h2, h3)을 통해서 구동 트랜지스터(M3)의 게이트 전극과 연결되어 있다. 이때, 드레인 전극은 대략 '??'자 형상으로 이루어진 금속층을 통해서 상기 구동 트랜지스터(M3)와 전기적으로 연결되는데, 이렇게 구성함으로써 화소 회로가 배치되는 영역을 줄여 단위 화소의 개구율을 증대시키게 된다. 이에 대해서는 아래에서 자세히 후술될 것이다.

그리고, 다이오드 트랜지스터(M2)는 상기 데이터선(110)과 발광 제어선(140)이 교차하는 지점에 형성되어 있으며, 소스 전극이 접촉홀(h1)을 통해서 데이터선(110)에 연결되어 있다. 게이트 전극은 상기 스위칭 트랜지스터(M1)의 게이트 전극과 공통으로 형성된다. 또한, 드레인 전극은 반도체층을 통해서 구동 트랜지스터(M3)의 드레인 전극과 연결된다.

한편, 상기 구동 트랜지스터(M3)는 주사선(120)과 전원선(130)이 교차하는 지점에 형성되어 있으며, 게이트 전극이 접촉홀(h3)을 통해서 스위칭 트랜지스터(M1)의 드레인 전극과 연결되어 있다. 그리고, 소스 전극이 접촉홀(h4)을 통해서 전원선(130)과 연결되어 있으며, 드레인 전극이 반도체층을 통해서 발광 트랜지스터(M4)의 소스 전극과 연결되어 있다.

다음으로, 발광 트랜지스터(M4)는 발광 제어선(140)의 일부로 게이트 전극이 형성되고, 드레인 전극이 화소 전극에 접촉홀(h5)을 통해서 연결되고, 다시 화소 전극이 접촉홀(h6)을 통해서 유기 물질(EL)과 연결된다.

한편, 커패시터(C1, C2)는 상기 유기 물질(EL)의 장변(201)에 인접해서 상기 전원선(130)과 중첩되게 형성되어 있으며, 커패시터의 제1 전극을 이루는 게이트 전극층(50)이 접촉홀(50)을 통해서 구동 트랜지스터(M3)의 게이트 전극과 연결되어 있다. 이때, 상기 커패시터(C1, C2)를 이루는 게이트 전극층(50)은 상기 스위칭 트랜지스터(M1)의 드레인 전극에서 연장 형성되어서 상기 구동 트랜지스터(M3)의 게이트 전극 상부를 가로지르는 금속층(135)에 의해서 구동 트랜지스터(M3)의 게이트 전극에 연결되어 있다.

그럼, 이하에서는 이처럼 배치된 단위 화소를 갖는 표시 패널의 층간 구조에 대해서 설명한다.

본 실시예의 표시 패널(100)은 절연 기판(10) 위에 산화 규소 또는 질화 규소 등으로 이루어진 차단층(20)이 형성되어 있고, 이 차단층 위에 반도체층인 다결정 규소층(30)이 형성되어 있다.

다결정 규소층(30)은 각각의 트랜지스터에 대해서 소스 영역(31b, 32b, 33b, 34b), 드레인 영역(31c, 32c, 33c, 34c) 및 채널 영역(31a, 32a, 33a, 34a)을 포함해서 이루어지는데, 소스 영역(31b, 32b, 33b, 34b), 드레인 영역(31c, 32c, 33c, 34c) 각각은 구동 조건에 따라 n형 불순물 또는 p형 불순물로 도핑(doping)된다.

그리고, 다결정 규소층(30) 위에는 산화 규소 또는 질화 규소로 이루어진 게이트 절연막(40)이 형성되어 있다.

그리고, 게이트 절연막(40) 위로는 알루미늄 또는 알루미늄 합금 등과 같이 저저항의 도전 물질로 이루어진 도전막을 포함하는 주사선(120)과 트랜지스터들의 게이트 전극들(51, 52, 53, 54)이 형성되는 게이트 전극층(50)이 형성되어 있다. 상술한 발광 제어선(140) 및 부스트 제어선(150)은 이 게이트 전극층(50) 상에 상기 주사선(120) 또는 게이트 전극들과 동일 물질로 형성되어 있다.

또한, 커패시터(C1, C2)의 일 전극도 게이트 전극층(50)으로 형성된다.

보다 구체적으로, 스위칭 트랜지스터(M1) 및 다이오드 트랜지스터(M2)의 게이트 전극(51, 52)은 주사선(120)에 연결되어 가지 모양으로 형성되어서 각각 트랜지스터(M1, M2)의 채널 영역(31a, 32a)과 중첩되어 있다. 그리고, 발광 트랜지스터(M4)의 게이트 전극(53)은 상기 주사선(120)과는 분리되어 있고, 반도체층(30)으로 형성된 채널 영역(33a)과 중첩하고 있다. 이때, 상기 발광 트랜지스터(M4)의 게이트 전극(53)은 동일층으로 형성되는 발광 제어선(140)의 일부로 이루어지며, 발광 제어선(140)이 행방향으로 연장되면서 발광 트랜지스터(M4)의 채널 영역(33a)과 중첩해 상기 발광 트랜지스터(M4)의 게이트 전극을 형성하고 있다.

또한, 구동 트랜지스터(M3)의 게이트 전극은 상기 주사선(120)과는 분리되어 있고, 반도체층(30)으로 형성된 채널 영역(34a)과 중첩하고 있다.

그리고, 게이트 전극층(50) 위로는 제1 층간 절연막(60)이 형성되어 있다.

상기 제1 층간 절연막(60)에는 커패시터(C1, C2)의 제2 전극(54)과 구동 트랜지스터(M3)의 게이트 전극(54)을 연결하는 각각의 접촉홀(h7, h3)이 형성되어 있다. 따라서, 상기 제1 층간 절연막(60)의 위로 형성되는 금속층(135)을 통해서 커패시터와 구동 트랜지스터(M3)가 게이트 전극에서 노드를 형성한다.

상기 금속층(135)은 스위칭 트랜지스터(M1)의 드레인 전극에서 시작을 해서 상기 구동 트랜지스터(M3)의 게이트 전극 위를 지나쳐 상기 발광 제어선(140)을 가로질러 접촉홀(h7)을 통해 커패시터(C1, C2)와 연결되는 '??'자 형상으로 이루어진다.

이때, 상기 구동 트랜지스터(M3)의 소스 및 드레인 전극은 금속층을 사용하지 않고, 바로 반도체층(30)을 사용해서 다이오드 트랜지스터(M2) 및 전원선(130)을 연결하는 구조를 취하므로 게이트 전극 상부가 빈 구조로 이루어져 있다. 즉, 상기 구동 트랜지스터(M3)는 반도체층(30)으로 형성된 드레인 영역(34b)이 동일층의 동일 물질로 형성된 다이오드 트랜지스터(M2)의 드레인 전극과 바로 연결되어 있으며, 소스 영역(34c)이 게이트 절연막(40) 및 제1 층간 절연막(60)을 관통하는 접촉홀(h4)을 통해서 전원선(130)과 접촉되어 있다.

이에 따라, 상기 금속층(135)이 구동 트랜지스터(M3)의 게이트 전극 상부로 배치되어서 스위칭 트랜지스터(M1)의 드레인 전극과 구동 트랜지스터(M3)의 게이트 전극을 접촉홀(h2, h3)을 통해 서로 연결한다. 또한, 금속층(135)은 접촉홀(h7)을 통해서 구동 트랜지스터(M3)의 게이트 전극과 커패시터(C1, C2)의 일 전극을 연결하므로 구동 트랜지스터(M3)의 게이트 전극에서 스위칭 트랜지스터(M1), 구동 트랜지스터(M3), 커패시터(C1, C2)가 만나는 최단 거리의 노드를 형성하게 된다. 이에 따라, 화소 회로가 배치되는 공간을 줄일 수 있으며, 상대적으로는 유기 물질(EL)이 배치되는 영역이 넓어져 패널의 개구율을 증대시킬 수가 있게 된다(도 9 참조).

또한, 제1 층간 절연막(60) 위로는 접촉홀(h1~h6)들을 통해서 해당 트랜지스터의 전극들에 접촉되도록 데이터선(110)과 전원 전압을 공급하는 전원 전압용 전원선(130)이 형성되어 있다.

데이터선(110)은 제1 층간 절연막(60)과 게이트 절연막(40)을 관통하고 있는 접촉홀(h2)을 통해서 스위칭 트랜지스터(M1)의 소스 영역(31b)과, 다이오드 트랜지스터(M2)의 소스 영역(32b)에 각각 연결된 상태로, 열 방향으로 길게 연장 형성되어 있다.

그리고, 전원선(130)은 상기 데이터선(110)과 유사하게 제1 층간 절연막(60)과 게이트 절연막(40)을 관통하고 있는 접촉홀(h4)을 통해서 구동 트랜지스터(M3)의 소스 영역에 연결된 상태로, 열 방향으로 길게 연장 형성되어 있다.

그리고, 상기 데이터선(110) 및 전원선(130)과 동일층의 동일 물질로 발광 트랜지스터(M4)의 드레인 전극(71)이 형성된다. 즉, 제1 층간 절연막(60)과 게이트 절연막(40)을 관통하고 있는 접촉홀(h5)을 통해서 발광 트랜지스터(M4)의 드레인 영역에 접촉되어 있다.

데이터선(110), 전원선(130) 및 발광 트랜지스터(M4)의 드레인 전극 위에는 질화 규소 또는 산화 규소 또는 유기 절연 물질 등으로 이루어진 제2 층간 절연막(80)이 형성되어 있으며, 이 제2 층간 절연막(80)은 유기 물질(EL)을 발광 트랜지스터(M4)의 드레인 전극(71)과 전기적으로 연결시키는 접촉홀(h6)을 가진다.

제2 층간 절연막(80) 상부의 유기 물질(EL)에는 접촉홀(h6)을 통해서 발광 트랜지스터(M4)의 드레인 전극(71)과 연결되어 있는 화소 전극(81)이 형성되어 있다. 이 화소 전극(81)은 알루미늄 또는 은 합금 등의 반사성이 우수한 물질로 형성하는 것이 바람직하다. 그러나, 선택적으로는 이 화소 전극(81)을 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 등의 투명한 물질로 형성할 수도 있다. 투명한 도전성 물질로 이루어진 화소 전극(81)은 표시 패널(100)의 아래 방향으로 화상을 표시하는 배면 발광 방식의 유기전계 발광 장치에 적용할 수 있다. 불투명한 도전 물질로 이루어진 화소 전극(81)은 표시 패널(100)의 상부 방향으로 화상을 표시하는 전면 발광 방식의 유기전계 발광 장치에 적용할 수 있다.

제2 층간 절연막(80) 상부는 유기 절연 물질로 이루어져 있으며, 유기 발광 셀을 분리시키기 위한 격벽(83)이 형성되어 있다. 이 격벽(83)은 화소 전극(81) 주변을 둘러싸서 유기 물질(EL)이 채워질 영역을 한정하고 있다. 격벽(83)은 검정색 안료

를 포함하는 감광제를 노광, 현상하여 형성함으로써 차광막의 역할을 하도록 하고, 동시에 형성 공정도 단순화할 수 있다. 이 격벽(83)에 둘러싸인 화소 전극(81) 위의 영역에는 유기 발광층(85)이 형성되어 있다. 유기 발광층(85)은 적색, 녹색, 청색 중 어느 하나의 빛을 내는 유기 물질(EL)로 이루어진다.

그리고, 유기 발광층(85)과 격벽(83) 위에는 버퍼층(90)이 형성되어 있다. 버퍼층(90)은 필요에 따라서는 생략될 수 있다.

버퍼층(90) 위에는 공통 전극(95)이 형성되어 있다. 공통 전극(95)은 ITO 또는 IZO 등의 투명한 도전 물질로 이루어져 있다. 만약 화소 전극(81)이 ITO 또는 IZO 등의 투명한 도전 물질로 이루어지는 경우에는 공통 전극(95)은 알루미늄 등의 반사성이 좋은 금속으로 이루어질 수 있다.

한편, 도시하지는 않았으나 공통 전극(95)의 전도성을 보완하기 위하여 저항이 낮은 금속으로 보조 전극을 형성할 수도 있다. 보조 전극은 공통 전극(95)과 버퍼층(90) 사이 또는 공통 전극(95) 위에 형성할 수 있으며, 유기 발광층(85)과는 중첩하지 않도록 격벽(83)을 따라 매트릭스 모양으로 형성하는 것이 바람직하다.

이상과 같이, 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 이것에 의해 한정되지 않으며 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 본 발명의 기술사상과 아래에 기재될 특허청구범위의 균등범위 내에서 다양한 수정 및 변형이 가능함은 물론이다.

발명의 효과

본 발명에 따르면, 큰 전류값을 가지고 유기 물질에 흐르는 전류를 제어할 수 있으므로, 정확한 전류 기입에 의한 구동이 가능하도록 한다. 또한, 트랜지스터의 공정상 발생하는 화소간 문턱 전압 편차나 이동도의 편차를 보상해서 셀간 휘도 단차를 해소할 수 있다.

특히, 좁은 영역에 복수의 트랜지스터를 배치하는 경우에 트랜지스터의 배치를 조밀하게 이룰 수 있으므로, 상대적으로 유기 물질이 배치되는 영역을 넓혀 패널의 개구율을 증대하는 효과가 있다.

(57) 청구의 범위

청구항 1.

일 방향의 데이터선 및 전원선; 상기 전원선 및 데이터선과 선택적으로 교차하는 주사선; 상기 주사선과 평행한 방출 제어선; 및, 상기 방출 제어선에 평행하는 부스트 제어선;에 의해서 단위 화소가 정의되고,

상기 단위 화소를 구동하는 화소 회로가,

상기 데이터선과 주사선이 교차하는 영역에 배치되는 제1 박막 트랜지스터;

상기 데이터선과 방출 제어선이 교차하는 영역에 배치되는 제2 박막 트랜지스터;

상기 주사선과 전원선이 교차하는 영역에 배치되는 제3 박막 트랜지스터; 및,

상기 발광 제어선을 가로질러 형성되는 제4 박막 트랜지스터;를 포함해서 구성되고,

이중 적어도 어느 하나의 박막 트랜지스터는 소스 및 드레인 전극 각각이 반도체층으로 형성되고, 게이트 전극 위로는 금속층이 배치되는 유기전계 발광 표시 패널.

청구항 2.

제1항에 있어서,

상기 제1 박막 트랜지스터가 상기 데이터선에서 입력되는 데이터 전류를 제3 박막 트랜지스터의 게이트 전극으로 입력하고,

상기 제2 박막 트랜지스터가 상기 데이터선에서 입력되는 선택 신호에 따라 상기 제3 박막 트랜지스터를 다이오드 연결하고,

상기 제4 박막 트랜지스터가 상기 방출 제어선에 입력되는 방출 신호에 따라 상기 제3 박막 트랜지스터에서 구동 전류를 유기 물질로 전달하도록 동작하는 유기전계 발광 표시 패널.

청구항 3.

제2항에 있어서,

상기 제1 박막 트랜지스터로부터의 데이터 전류에 대응하는 제1 전압을 저장하는 제1 커패시터; 및,

상기 제1 커패시터와 상기 부스트 제어선 사이에 전기적으로 연결되며, 상기 제1 커패시터와의 커플링을 통해 상기 제1 커패시터의 제1 전압을 제2 전압으로 변경하는 제2 커패시터;를 더 포함하는 유기전계 발광 표시 패널.

청구항 4.

제1항에 있어서,

상기 금속층이 상기 데이터선 및 전원선과 동일층(layer)의 동일물질로 이루어지는 유기전계 발광 표시 패널.

청구항 5.

제4항에 있어서,

상기 금속층이 상기 제1 박막 트랜지스터의 드레인 전극에서 시작을 해서 상기 제3 박막 트랜지스터의 게이트 전극 위를 지나쳐 상기 발광 제어선을 가로지르는 'ㄱ'자 형상으로 이루어진 유기전계 발광 표시 패널.

청구항 6.

제1항에 있어서,

상기 제1 내지 제4 박막 트랜지스터가 상기 데이터선, 주사선, 전원선 및 발광 제어선에 의해서 정의된 공간 내에 형성되는 유기전계 발광 표시 패널.

청구항 7.

제1 및 제2 박막 트랜지스터에 각각 연결되는 데이터선;

상기 데이터선과 교차하면서 상기 제1 및 제2 박막 트랜지스터에 각각 연결되는 주사선;

상기 데이터선과 일정 간격을 유지하면서 상호 평행하게 배열되며, 제3 박막 트랜지스터에 연결되는 전원선;

상기 제1 박막 트랜지스터, 상기 제2 박막 트랜지스터, 상기 제3 박막 트랜지스터 및 상기 제3 박막 트랜지스터에 연결되는 제4 박막 트랜지스터를 사이에 두고, 상기 주사선과 서로 평행하게 위치하는 발광 제어선; 및,

상기 제3 박막 트랜지스터의 소스 및 게이트 사이에 연결되는 제1 커패시터와의 커플링을 통해 상기 제1 커패시터의 제1 전압을 제2 전압으로 변경하는 제2 커패시터가 연결되고, 상기 발광 제어선과 일정 간격을 유지하면서 서로 평행하게 배치되는 부스트 제어선;을 포함하고,

상기 제1 박막 트랜지스터가 상기 제3 박막 트랜지스터의 게이트 전극 위로 배치되는 금속층을 통해서 상기 제1 커패시터와 연결되는 유기전계 발광 표시 패널.

청구항 8.

제7항에 있어서,

상기 제1 박막 트랜지스터로부터의 데이터 전류에 대응하는 제1 전압을 저장하는 제1 커패시터; 및,

상기 제1 커패시터와 상기 부스트 제어선 사이에 전기적으로 연결되며, 상기 제1 커패시터와의 커플링을 통해 상기 제1 커패시터의 제1 전압을 제2 전압으로 변경하는 제2 커패시터;를 더 포함하는 유기전계 발광 표시 패널.

청구항 9.

복수의 단위 화소를 포함해서 구성된 유기전계 발광 표시 패널에 있어서, 상기 단위 화소가,

이격된 상태에서 제1 방향으로 상호 평행하게 배열된 주사선과, 발광 제어선;

상기 제1 방향과 직교하는 제2 방향으로 배열되며, 상호 평행하게 배열된 데이터선과, 전원선; 및,

상기 발광 제어선에서 이격되어 상호 평행하게 배열된 부스트 제어선;에 의해서 매트릭스 형태로 배열되고,

상기 주사선 및 상기 발광 제어선의 사이 공간에,

상기 데이터선에 소스 전극이 각각 연결되고, 상기 주사선에 게이트 전극이 각각 연결된 제1 및 제2 박막 트랜지스터;

상기 전원선에 소스 전극이 연결되고, 상기 제1 박막 트랜지스터의 드레인 전극에 게이트 전극이 연결된 제3 박막 트랜지스터; 및,

상기 발광 제어선에 게이트 전극이 연결되고, 상기 제2 및 제3 박막 트랜지스터의 드레인 전극에 소스 전극이 공통 연결된 제4 박막 트랜지스터;가 배치되며,

상기 발광 제어선 및 상기 부스트 제어선 사이에,

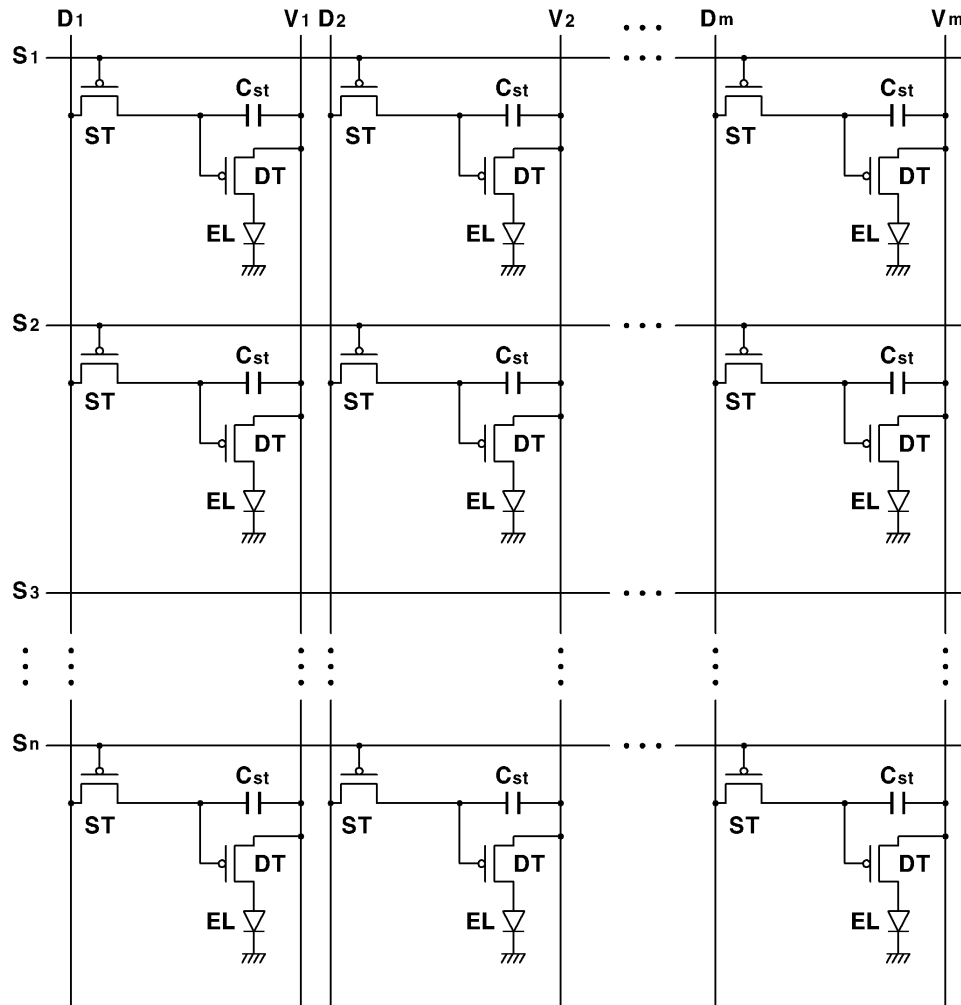
상기 제4 박막 트랜지스터의 드레인 전극과 연결된 유기 물질; 및,

상기 제3 박막 트랜지스터의 게이트 전극 및 상기 전원선에 각각 연결된 제1 커패시터와, 상기 부스트 제어선과 상기 제1 커패시터에 각각 연결된 제2 커패시터;가 배치되며,

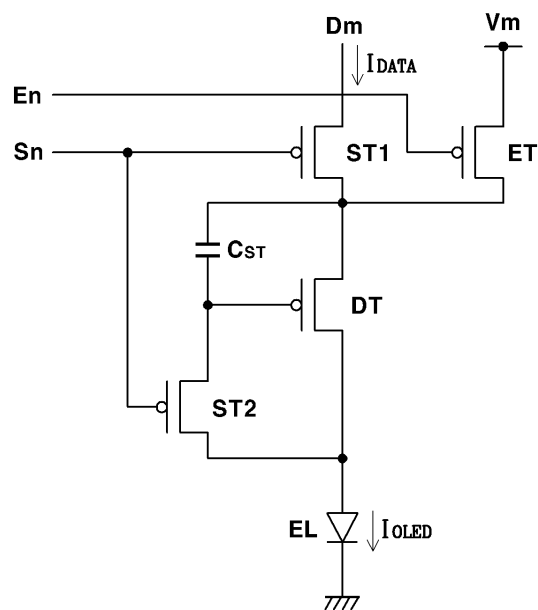
상기 제1 박막 트랜지스터의 드레인 전극이 상기 제3 박막 트랜지스터의 게이트 전극 위로 배치되는 금속층을 통해서 상기 제1 커패시터와 연결되는 유기전계 발광 표시 패널.

도면

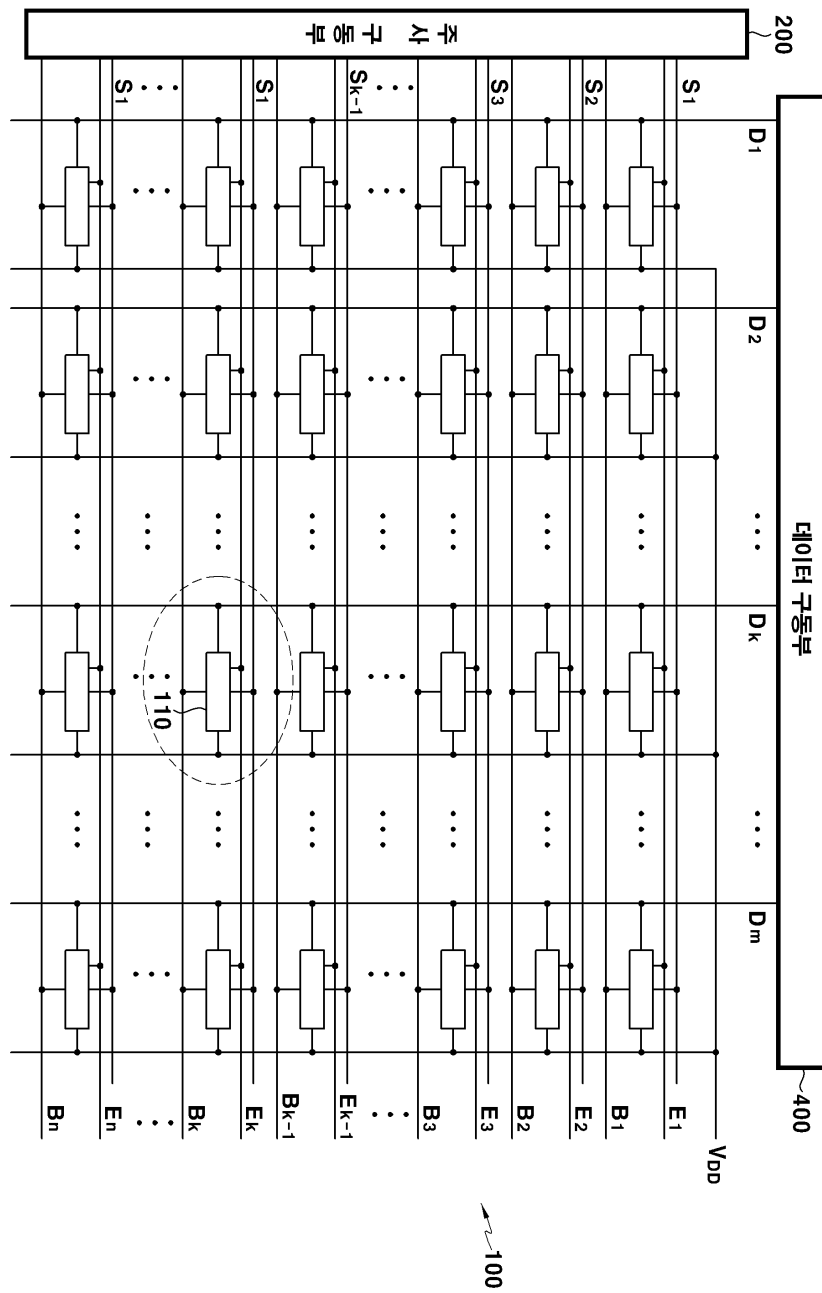
도면1



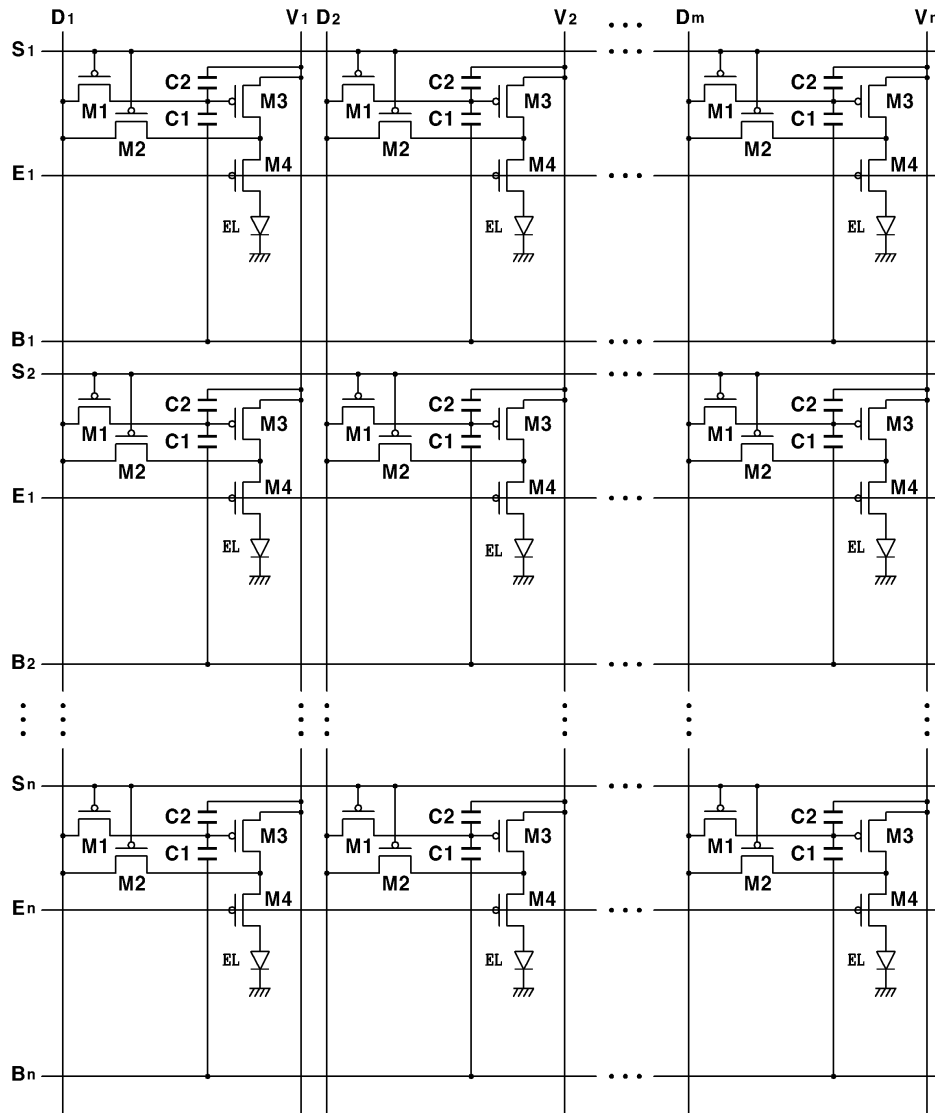
도면2



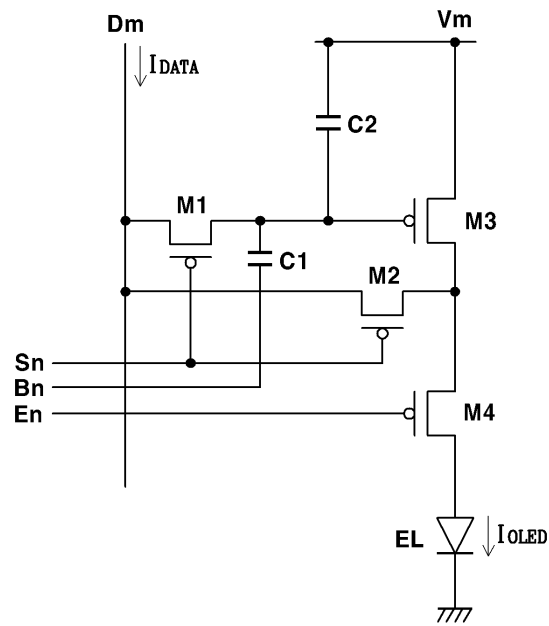
도면3



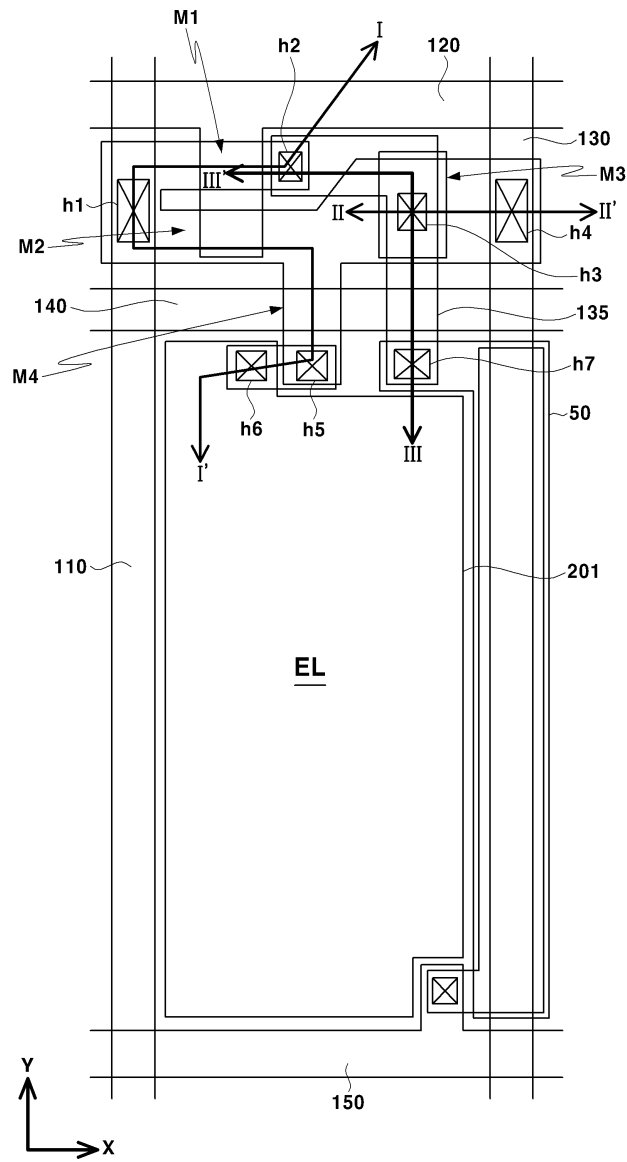
도면4



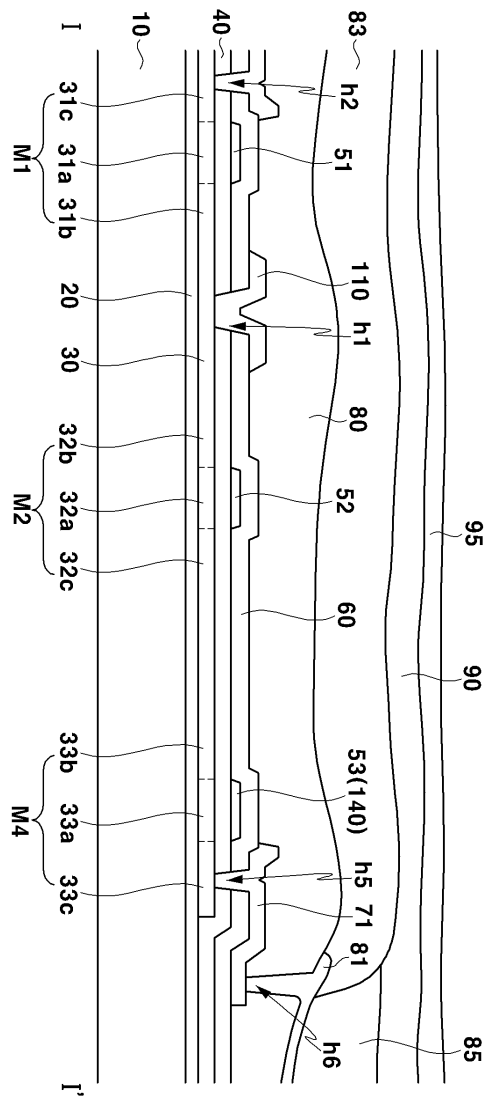
도면5



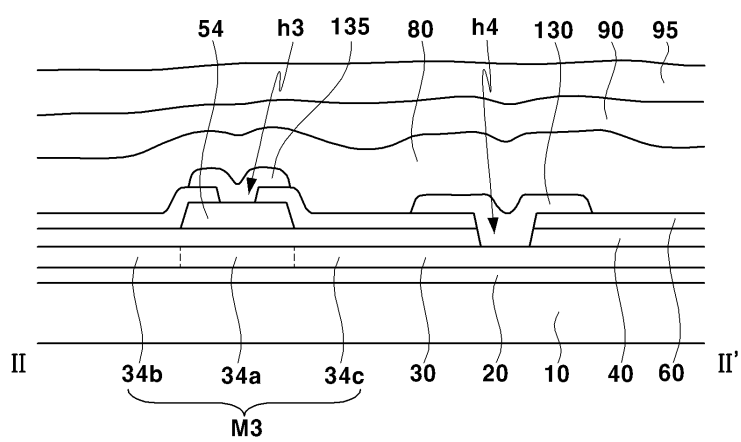
도면6



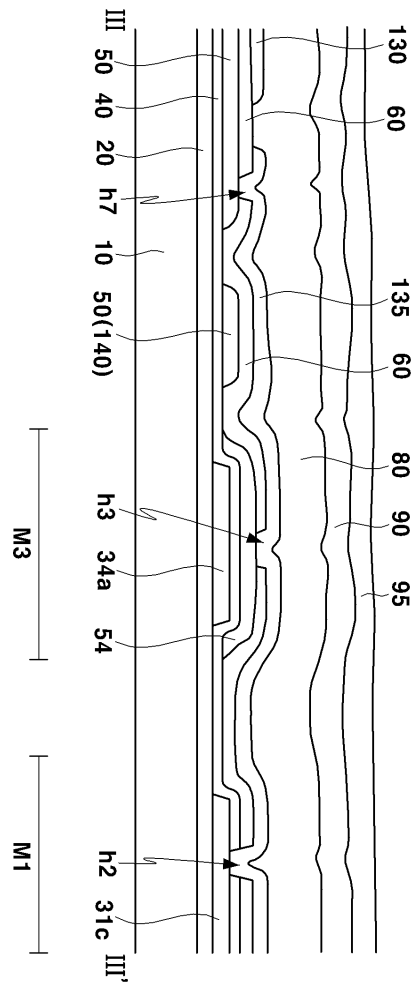
도면7



도면8



도면9



专利名称(译)	有机发光显示面板		
公开(公告)号	KR1020050113694A	公开(公告)日	2005-12-05
申请号	KR1020040037278	申请日	2004-05-25
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	KIM KEUMNAM		
发明人	KIM,KEUMNAM		
IPC分类号	H01L51/50 G09G3/36 H01L21/77 H01L27/12 H05B33/08 H05B33/14 G09F9/30 G09G3/32 G09G3/10 H05B33/10 H01L27/13 H01L27/32		
CPC分类号	G09G2300/0852 H01L27/1214 G09G2300/0861 H01L27/3244 G09G3/325 H01L27/13 G09G3/3655 H01L27/12 G09G2320/0223 H01L27/124 H01L27/1255		
代理人(译)	您是我的专利和法律公司		
其他公开文献	KR100637458B1		
外部链接	Espacenet		

摘要(译)

本发明涉及有机电场器件发光显示板。并且选择性地与单向方向和电源线的数据线交叉的扫描线：电源线和数据线：与扫描线平行的发光控制线，以及用于驱动单位像素的单位像素的像素电路是在具有并联升压控制线的发射控制线中限定的，包括开关晶体管：二极管晶体管：驱动晶体管，布置在扫描线和电源线交叉的区域中，并且辐射晶体管形成在发光控制线两端。在数据线和扫描线交叉的区域中布置数据线和发射控制线相交的区域，该区域中作用在驱动晶体管的源极和漏极上的金属层布置在驱动晶体管的栅极上，并且制作金属层。有机，电场，辐射，增强，辐射，面板。

