

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.⁷
G09G 3/30

(11) 공개번호 10-2005-0104817
(43) 공개일자 2005년11월03일

(21) 출원번호 10-2004-0030228
(22) 출원일자 2004년04월29일

(71) 출원인 삼성에스디아이 주식회사
경기 수원시 영통구 신동 575

(72) 발명자 엄기명
경기도수원시장안구천동325-16번지303호

(74) 대리인 유미특허법인

심사청구 : 있음

(54) 발광표시 장치 및 그 화소회로

요약

본 발명은 발광 소자를 구동하는 구동 트랜지스터의 게이트 및 소스 사이의 기생 커패시턴스의 영향을 줄일 수 있는 발광 표시 장치 및 그 화소회로에 관한 것이다. 본 발명에 따른 발광표시 장치로서, 그 화소 회로는, 인가되는 전류에 대응하여 발광하는 발광 소자; 제1 전극, 제1 전원 전압이 인가되는 제2 전극, 및 발광 소자에 접속되는 제3 전극을 구비하고, 제1 전극 및 제2 전극간에 인가되는 전압에 대응되는 전류를 제3 전극으로 출력하는 구동 트랜지스터; 주사선으로부터의 선택 신호에 응답하여 데이터 전압을 구동 트랜지스터의 제1 전극으로 전달하는 제1 스위칭 소자; 및 구동 트랜지스터의 문턱 전압 편차에 따라 이를 보상하는 전압을 구동 트랜지스터의 제1 전극으로 전달하며, 서로 다른 크기를 갖는 듀얼 타입 트랜지스터로 이루어지는 문턱전압 보상부를 포함한다. 본 발명에 따르면, 유기 EL 소자를 구동하는 구동 트랜지스터의 게이트와 소스/드레인 사이의 기생 커패시턴스에 의해 변화되는 문턱전압을 보상하기 위해서 서로 다른 크기로 구현되는 듀얼 타입의 보상 트랜지스터를 구비함으로써, 상기 보상용 트랜지스터의 오프 시에 발생하는 킥백의 영향을 개선할 수 있다.

대표도

도 6

색인어

유기 EL, 발광표시, 커패시터, 화소회로, 기생 커패시턴스, 문턱전압 보상

명세서

도면의 간단한 설명

도 1a 및 도 1b는 각각 유기 EL의 발광 원리 및 유기 EL 발광셀을 나타내는 도면이다.

도 2는 유기 EL 표시 장치의 개략적인 블록 구성도이다.

도 3은 TFT를 이용한 능동 구동방식을 사용하는 일반적인 유기 EL 표시 패널을 나타내는 도면이다.

도 4는 도 3의 표시 패널의 $N \times M$ 개의 화소회로 중 하나를 대표적으로 나타내는 도면이다.

도 5는 5개의 트랜지스터 및 2개의 커패시터를 갖는 유기 EL 발광셀의 화소회로를 나타내는 도면이다.

도 6은 본 발명의 실시예에 따른 발광표시 장치의 회로도이다.

도 7은 본 발명의 실시예에 따른 발광표시 장치의 구조를 설명하기 위한 도면이다.

도 8은 본 발명의 다른 실시예에 따른 발광표시 장치의 회로도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 발광표시 장치 및 그 화소회로에 관한 것으로, 구체적으로, 유기 EL 발광표시 장치에 있어서, 발광 소자를 구동하는 구동 트랜지스터의 게이트 및 소스 사이의 기생 커패시턴스의 영향을 줄일 수 있는 발광표시 장치 및 그 화소회로에 관한 것이다.

유기 EL(organic electro-luminescence) 표시 장치는 전류가 흐를 경우에 빛을 내는 유기 물질을 화소별로 분리하여 매트릭스 모양으로 배치해 놓고, 이들 유기 물질에 흐르는 전류량을 조절함으로써 화상을 표시하는 장치이다. 이러한 유기 EL 표시 장치는 저전압 구동, 경량 박형, 광시야각 그리고 고속 응답 등의 장점으로 인하여 차세대 표시 장치로 기대되고 있다.

도 1a 및 도 1b는 각각 유기 EL의 발광 원리 및 유기 EL 발광셀을 나타내는 도면이다.

일반적으로, 유기 EL 표시장치는 형광성 유기화합물을 전기적으로 여기시켜 발광시키는 표시장치로서, $N \times M$ 개의 유기 발광셀들을 전압구동 혹은 전류 구동하여 영상을 표현할 수 있도록 되어 있다. 이러한 유기 발광셀 구조는 도 1a에 도시된 바와 같이, ITO(Indium Tin Oxide) 화소전극, 유기박막 및 금속 레이어의 구조를 가지고 있으며, 상기 유기박막은 전자와 정공의 균형을 좋게 하여 발광 효율을 향상시키기 위해 발광층(Emitting Layer: EML), 전자수송층(Electron Transport Layer: ETL) 및, 정공수송층(Hole Transport Layer: HTL)을 포함한 다층 구조로 이루어지고, 또한 별도의 전자주입층(Electron Injecting Layer: EIL)과 정공주입층(Hole Injecting Layer: HIL)을 포함할 수 있다. 또한, 도 1b에 도시된 바와 같이, 전면(Top) 발광형의 유기 EL 발광셀의 경우, 실리콘웨이퍼 상에 금속 애노드, 유기박막 방출층 및 투명 캐소드가 형성되는 구조를 가질 수 있다.

이와 같이 이루어지는 유기 발광셀을 구동하는 방식에는 단순 매트릭스(passive matrix) 방식과 TFT를 이용한 능동 구동(active matrix) 방식이 있다. 상기 단순 매트릭스 방식은 양극과 음극을 직교하도록 형성하고 라인을 선택하여 구동하는데 비해, 능동 구동방식은 TFT와 커패시터를 각각의 화소 전극에 접속하여 커패시터 용량에 의해 전압을 유지하도록 하는 구동 방식이다.

도 2는 유기 EL 표시 장치의 개략적인 블록 구성도이다.

도 2를 참조하면, 유기 EL 표시 장치는 비디오 제어부(210), 패널 제어부(220), 전원 모듈(230), 주사 구동부(240), 데이터 구동부(250) 및 유기 EL 패널(260)로 이루어질 수 있는데, 아날로그 인터페이스 및 디지털 인터페이스를 거친 여러 신호들이 각각 주사 구동부(240) 및 데이터 구동부(250)에 의해 상기 유기 EL 패널(260)에 각각 행(Column)과 열(Row) 방향으로 제공된다.

구체적으로, R, G, B 신호 및 동기신호 등의 여러 아날로그 신호들이 상기 비디오 제어부(210)에 입력된 후에 디지털 신호로 변환되고, 상기 패널 제어부(220)는 이들을 제어하여 순차적으로 주사 구동부(240) 및 데이터 구동부(250)에 제공하게 되며, 상기 유기 EL 패널(260)은 이들 주사 구동부(240) 및 데이터 구동부(250)에 의해 제공되는 신호들, 그리고 전원 모듈(230)에 의해 제공되는 전원에 의해 $N \times M$ 개의 유기 발광셀을 전압구동 혹은 전류 구동하여 영상을 표현하게 된다.

한편, 도 3은 TFT 박막 트랜지스터를 이용한 능동 구동방식을 사용하는 일반적인 유기 EL 표시 패널을 나타내는 도면이다.

도 3을 참조하면, 유기 EL 표시장치는 유기 EL 표시패널(310), 데이터 구동부(320), 및 주사 구동부(330)를 포함한다.

상기 유기 EL 표시패널(310)은 열 방향으로 뻗어 있는 m 개의 데이터선(D1, D2, ..., Dm), 행 방향으로 뻗어 있는 n 개의 주사선(S1, S2, ..., Sn), 및 $N \times M$ 개의 화소회로를 포함한다. 상기 m 개의 데이터선(D1, D2, ..., Dm)은 화상 신호를 나타내는 데이터 신호를 화소회로로 전달하며, n 개의 주사선(S1, S2, ..., Sn)은 선택 신호를 각각 화소회로로 전달한다. 여기서, 화소회로는 이웃한 두 데이터선(D1, D2, ..., Dm)과 이웃한 두 주사선(S1, S2, ..., Sn)에 의해 정의되는 1개의 화소 영역(310-1)에 형성되며, 예를 들어, 트랜지스터(311, 312), 커패시터(313) 및 유기 EL 소자(314)로 이루어지게 된다. 여기서, 도면부호 315는 전원 전압인 Vdd를 나타낸다.

상기 주사 구동부(330)는 n 개의 주사선(S1, S2, ..., Sn)에 각각 선택 신호를 순차적으로 인가하며, 데이터 구동부(320)는 m 개의 데이터선(D1, D2, ..., Dm)에 화상 신호에 대응되는 데이터 전압을 인가한다.

또한, 상기 주사 구동부(330) 및/또는 데이터 구동부(320)는 유기 EL 표시패널(310)에 전기적으로 연결될 수 있으며, 또는 상기 유기 EL 표시패널(310)에 접착되어 전기적으로 연결되어 있는 테이프 캐리어 패키지(tape carrier package: TCP)에 칩 등의 형태로 장착될 수 있다. 또는 표시 패널(310)에 접착되어 전기적으로 연결되어 있는 가요성 인쇄 회로(flexible printed circuit: FPC) 또는 필름(film) 등에 칩 등의 형태로 장착될 수도 있다.

한편, 상기 주사 구동부(330) 및/또는 데이터 구동부(320)는 상기 유기 EL 표시패널(310)의 유리 기판 위에 직접 장착될 수도 있으며, 또는 유리 기판 위에 주사선, 데이터선 및 박막 트랜지스터와 동일한 층들로 형성되어 있는 구동 회로와 대체될 수도 있고, 직접 장착될 수도 있다.

도 4는 도 3의 표시 패널의 $N \times M$ 개의 화소회로 중 하나를 대표적으로 나타내는 도면이다.

도 4에 나타난 바와 같이, 화소 회로는 유기 EL 소자(OLED), 2개의 트랜지스터(SM, DM) 및 커패시터(Cst)를 포함한다. 예를 들어, 상기 2개의 트랜지스터들(SM, DM)은 PMOS형 트랜지스터로 형성될 수 있다.

상기 구동 트랜지스터(DM)는 전원 전압(Vdd)에 소스가 연결되고, 게이트와 소스 사이에 커패시터(Cst)가 연결되어 있다. 상기 커패시터(Cst)는 상기 구동 트랜지스터(DM)의 게이트-소스 전압을 일정 기간 유지하며, 스위칭 트랜지스터(SM)는 현재 주사선(Sn)으로부터의 선택 신호에 응답하여 데이터선(Dm)으로부터의 데이터 전압을 구동 트랜지스터(DM)로 전달한다.

상기 유기 EL 소자(OLED)는 캐소드가 기준 전압(Vss)에 연결되며, 구동 트랜지스터(DM)를 통하여 인가되는 전류에 대응하는 빛을 발광한다. 여기서, 유기 EL 소자(OLED)의 캐소드에 연결되는 전원(Vss)은 전원(Vdd)보다 낮은 레벨의 전압으로서, 그라운드 전압 등이 사용될 수 있다.

그런데, 상기 구동 트랜지스터의 게이트 전압이 온(On)된 상태에서 신호선을 통해서 박막 트랜지스터의 데이터 전극에 인가된 신호 전압은 소스 전극을 통해 저장 커패시터(Cst)에 인가된다. 이때, 게이트 펄스와 함께 인가된 신호전압은 게이트 전압이 오프된 후에도 계속 유지된다.

그러나 상기 게이트와 소스 사이의 기생 커패시턴스(Cgs) 때문에 화소전압은 전압 변화(ΔV)만큼의 변화가 발생하면서 전압 시프트(Voltage Shift)가 생기게 되고, 이때의 전압 시프트를 킥백 전압(kickback Voltage)이라고 하며, 이러한 킥백 전압(ΔV)에 의하여 잔상 등과 같은 패널 특성의 불량을 유발하게 되는 문제점이 있다.

보다 구체적으로, 상기 게이트 라인에 존재하는 자체 저항 성분과 기생 커패시턴스(parasitic capacitance)로 인해 신호 지연이 발생하게 되며, 예를 들어, 게이트를 구동하는 주사 구동부가 유기 EL 패널의 왼쪽에 배치될 때, 어느 임의의 게이트 라인에 게이트 전압이 인가되면, 게이트 라인의 가장 오른쪽 지점에서 실제로 측정되는 게이트 전압은 게이트 라인의 가장 왼쪽 지점에서 실제로 측정되는 게이트 전압보다 훨씬 더 지연된 파형을 가진다.

이러한 게이트 전압의 지연으로 인해, 각 지점의 화소에서는 킥백 전압(kickback voltage)이 달라진다. 이것은 게이트 전압의 지연된 파형이 인가되는 소정의 시간동안 해당 위치에서의 화소의 박막 트랜지스터를 통해 전하가 공급되기 때문이다. 따라서, 동일한 계조의 데이터 전압이 한 라인의 화소에 인가되더라도, 주사 구동부와 가까운 가장 왼쪽과 게이트 구동부와 먼 가장 오른쪽 지점의 화소 사이에는 충전되는 전압이 달라진다. 이러한 충전 전압의 차이는 어느 정도의 한도까지는 용인되지만, 하나의 계조 레벨 간격을 넘어서는 정도에 이르면, 동일한 계조에 대한 유기 EL 패널의 좌우 표시 차이가 눈으로 식별될 수도 있으며, 표시 품질을 크게 떨어뜨리는 문제점으로 지적되고 있다.

이와 같이, 게이트 라인에서의 신호 지연으로 인해 유기 EL 패널의 좌우 화소에서 충전 전압의 차이가 발생하는 현상은 표시 품질 저하 외에도 유기 EL 물질에 대한 직류 스트레스(DC stress), 잔상 문제 등을 일으켜서 화질을 저하시키는 원인으로도 작용한다는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

상기 문제점을 해결하기 위한 본 발명의 목적은 구동 트랜지스터의 기생 커패시턴스로 인한 문턱 전압의 편차를 보상할 수 있는 발광표시 장치 및 그 화소회로를 제공하기 위한 것이다.

또한, 본 발명의 다른 목적은 서로 다른 크기로 구현되는 듀얼 타입의 문턱 전압 보상용 트랜지스터를 구비함으로써, 킥백의 영향을 개선할 수 있는 발광표시 장치 및 그 화소회로를 제공하기 위한 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 수단으로서, 본 발명에 따른 발광표시 장치는,

화상 신호에 대응되는 데이터 전압을 전달하는 복수의 데이터선, 선택 신호를 전달하는 복수의 주사선, 및 상기 주사선과 데이터선에 전기적으로 연결된 복수의 화소 회로를 포함하는 발광표시 장치에 있어서,

상기 화소 회로는,

인가되는 전류에 대응하여 발광하는 발광 소자;

제1 전극, 제1 전원 전압이 인가되는 제2 전극, 및 상기 발광 소자에 접속되는 제3 전극을 구비하고, 제1 전극 및 제2 전극간에 인가되는 전압에 대응되는 전류를 제3 전극으로 출력하는 구동 트랜지스터;

주사선으로부터의 선택 신호에 응답하여 데이터 전압을 상기 구동 트랜지스터의 제1 전극으로 전달하는 제1 스위칭 소자; 및

상기 구동 트랜지스터의 문턱전압 편차에 따라 이를 보상하는 전압을 상기 구동 트랜지스터의 제1 전극으로 전달하는 문턱전압 보상부

를 포함하되,

상기 문턱전압 보상부는 서로 다른 크기를 갖는 듀얼 타입 트랜지스터로 이루어지는 것을 특징으로 한다.

한편, 상기 목적을 달성하기 위한 다른 수단으로서, 본 발명에 따른 발광표시 장치 및 그 화소회로는,

다수의 데이터선과 다수의 주사선에 의해 정해지는 다수의 화소에 각각 형성되는 다수의 화소회로에 있어서,

발광 소자;

상기 발광 소자에 자신의 드레인이 전기적으로 연결되는 제1 박막 트랜지스터;

상기 주사선에 자신의 게이트가 연결되고, 상기 데이터선과 상기 제1 박막 트랜지스터의 게이트에 각각 제1 단자 및 제2 단자가 전기적으로 연결되는 제2 박막 트랜지스터;

상기 제1 박막 트랜지스터의 게이트에 자신의 제1 단자가 연결되고, 상기 주사선의 이전 주사선에 자신의 게이트가 연결되는 제3 박막 트랜지스터;

상기 제3 박막 트랜지스터의 제2 단자에 자신의 제1 단자가 연결되고, 상기 주사선의 이전 주사선에 자신의 게이트가 연결되며, 상기 제1 박막 트랜지스터의 드레인에 자신의 제2 단자가 연결되는 제4 박막 트랜지스터; 및

상기 제1 박막 트랜지스터의 게이트와 소스 사이에 연결되는 커패시터

를 포함하여 구성된다.

본 발명에 따르면, 유기 EL 소자를 구동하는 구동 트랜지스터의 게이트와 소스/드레인 사이의 기생 커패시턴스에 의해 변화되는 문턱전압을 보상하기 위해서 서로 다른 크기로 구현되는 듀얼 타입의 보상 트랜지스터를 구비하여 상기 기생 커패시턴스의 영향을 줄임으로써, 상기 보상용 트랜지스터의 오프 시에 발생하는 킥백의 영향을 개선할 수 있다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예에 따른 발광표시 장치 및 그 화소회로의 구성 및 동작을 상세히 설명한다.

도 5는 5개의 트랜지스터 및 2개의 커패시터를 갖는 유기 EL 발광셀의 화소회로를 나타내는 도면으로서, 전술한 도 4의 화소회로가 2개의 트랜지스터 및 1개의 커패시터를 갖는데 비해, 5개의 트랜지스터(M1~M5), 2개의 커패시터(Cst, Cvth) 및 유기 EL 소자(OLED)로 이루어진다.

도 5에서는 설명의 편의상 m번째 데이터선(Dm)과 n번째 주사선(Sn)에 연결된 화소 회로만을 도시하였다. 한편, 주사선에 관한 용어를 정의하면, 현재 선택 신호를 전달하려고 하는 주사선을 "현재 주사선"이라 하고, 현재 선택 신호가 전달되기 전에 선택 신호를 전달한 주사선을 "직전 주사선"이라 한다.

도 5에 도시된 바와 같이, 유기 EL 소자(OLED)에 전류구동형 트랜지스터(M1)가 연결되어 발광을 위한 전류를 공급한다. 전류구동형 트랜지스터(M1)의 전류량은 스위칭 트랜지스터(M2)를 통해 인가되는 데이터 전압에 의해 제어되도록 되어 있다. 이때, 인가된 전압을 일정기간 유지하기 위한 커패시터(Cst)가 트랜지스터(M1)의 소스와 게이트 사이에 연결되어 있다. 상기 스위칭 트랜지스터(M2)의 게이트에는 선택신호선(Sn)이 연결되어 있으며, 소스 측에는 데이터선(Dm)이 연결되어 있다.

제1 트랜지스터(M1)는 유기 EL 소자(OLED)를 구동하기 위한 구동 트랜지스터로서, 전압(Vdd)을 공급하기 위한 전원과 유기 EL 소자(OLED) 간에 접속되고, 게이트에 인가되는 전압에 의하여 제5 트랜지스터(M5)를 통하여 유기 EL 소자(OLED)에 흐르는 전류를 제어한다. 상기 스위칭 트랜지스터(M2)는 직전 주사선(Sn-1)으로부터의 선택 신호에 응답하여 구동 트랜지스터(M1)를 다이오드 연결시킨다.

상기 제1 트랜지스터(M1)의 게이트에는 커패시터(Cvth)의 일 전극이 접속되고, 커패시터(Cvth)의 타 전극 및 전압(Vdd)을 공급하는 전원간에 커패시터(Cst)와 제4 트랜지스터(M4)가 병렬 접속된다. 상기 제4 트랜지스터(M4)는 직전 주사선(Sn-1)으로부터의 선택 신호에 응답하여 커패시터(Cvth)의 타 전극에 전원(Vdd)을 공급한다. 여기서, 상기 Cst는 인가된 전압을 일정기간 유지하기 위한 커패시터이며, Cvth는 문턱전압 보상용 커패시터이다.

상기 제3 트랜지스터(M3)는 현재 주사선(Sn)으로부터의 선택 신호에 응답하여 데이터선(Dm)으로부터의 데이터를 커패시터(Cvth)의 타단(B)으로 전달한다.

상기 트랜지스터(M5)는 IR 드롭을 방지하기 위한 트랜지스터로서, 상기 제1 트랜지스터(M1)의 드레인과 유기 EL 소자(OLED)의 애노드 사이에 접속되고, 직전 주사선(Sn-1)으로부터의 선택 신호에 응답하여 상기 제1 트랜지스터(M1)의 드레인과 유기 EL 소자(OLED)를 차단시킨다.

이때, 상기 유기 EL 소자(OLED)는 입력되는 전류에 대응하여 빛을 방출하며, 상기 유기 EL 소자(OLED)의 캐소드에 연결되는 전압(Vss)은 전압(Vdd)보다 낮은 레벨의 전압으로서, 그라운드 전압 등이 사용될 수 있다.

이와 같은 구조의 화소회로의 동작을 살펴보면, 스위칭 트랜지스터(M2)의 게이트에 인가되는 선택신호(Sn)에 의해 스위칭 트랜지스터(M2)가 온 되면, 데이터선을 통해 데이터 전압(Dm)이 구동용 트랜지스터(M1)의 게이트에 인가된다. 그리고, 게이트에 인가되는 데이터 전압(Dm)에 대응하여 구동용 트랜지스터(M1)를 통해 유기 EL 소자(OLED)에 전류가 흘러 발광이 이루어진다.

전술한 바와 같이, 상기 구동용 트랜지스터(M1)의 소스 및 게이트 사이에는 기생 커패시턴스(Cgs)가 존재하며, 이에 따라 킥백 현상이 발생할 우려가 있다. 즉, 종래의 구동 트랜지스터(M1)의 게이트 및 소스/드레인 사이에 형성되는 기생 커패시턴스는 구동 트랜지스터의 게이트 전압을 가변시킬 수 있고, 이로 인해 킥백에 의한 영향이 커지게 된다.

한편, 도 6은 본 발명의 실시예에 따른 발광표시 장치의 회로도이고, 도 7은 본 발명의 실시예에 따른 발광표시 장치의 구조를 설명하기 위한 도면이다.

도 6 및 도 7을 참조하면, 본 발명의 실시예에 따른 발광표시 장치는, 화상 신호에 대응되는 데이터 전압을 전달하는 복수의 데이터선, 선택 신호를 전달하는 복수의 주사선, 및 상기 주사선과 데이터선에 전기적으로 연결된 복수의 화소 회로를 포함하는 발광표시 장치에 있어서, 상기 화소 회로는, 발광 소자(OLED), 구동 트랜지스터(M1), 제1 스위칭 소자(M2), 문턱전압 보상부(M3_1, M3_2: 600) 및 커패시터(Cst)로 이루어진다.

상기 구동 트랜지스터(M1)는 게이트, 제1 전원 전압(Vdd)이 인가되는 소스, 및 상기 발광 소자(OLED)에 접속되는 드레인을 구비하고, 소스 및 게이트 전극간에 인가되는 전압(Vgs)에 대응되는 전류를 드레인으로 출력하며, 이때, 상기 발광 소자(OLED)는 인가되는 전류에 대응하여 발광하게 된다.

상기 제1 스위칭 소자(M2)는 주사선으로부터의 선택 신호에 응답하여 데이터 전압을 상기 구동 트랜지스터(M1)의 게이트로 전달하게 된다.

상기 문턱전압 보상부(M3_1, M3_2)는 상기 구동 트랜지스터(M1)의 문턱전압 편차에 따라 이를 보상하는 전압을 상기 구동 트랜지스터(M1)의 게이트로 전달하게 된다. 이때, 상기 문턱전압 보상부(M3_1, M3_2)는 서로 다른 크기를 갖는 듀얼 타입 트랜지스터(M3_1, M3_2)로 이루어진다.

여기서, 상기 듀얼 타입 트랜지스터는 P형 또는 N형 박막 트랜지스터(TFT)일 수 있고, 상기 듀얼 타입 트랜지스터(M3_1, M3_2)는 상기 구동 트랜지스터(M1)의 게이트에 연결되는 제1 트랜지스터(M3_1), 및 상기 구동 트랜지스터(M1)의 드레인에 연결되는 제2 트랜지스터(M3_2)를 포함하며, 상기 제1 및 제2 트랜지스터(M3_1, M3_2)의 게이트는 직전 주사선(Sn-1)에 공통으로 연결되어 있다.

상기 구동 트랜지스터(M1)의 Off 특성 개선을 위해 가급적 문턱전압 보상 트랜지스터(M3_1, M3_2)의 Off 특성이 양호해야 하며, W/L이 일정 길이 이상이 되어야 하며, 이때, 듀얼 타입 트랜지스터(M3_1, M3_2)의 크기를 서로 다르게 해야 하고, 이에 따라 레이아웃도 변하게 된다.

이때, 상기 제1 트랜지스터의 크기(M3_1)는 상기 제2 트랜지스터(M3_2)의 크기보다는 작은 것이 바람직하며, 실질적으로, 상기 제1 트랜지스터(M3_1)의 폭(W)대 길이(L)의 비는 $5\mu\text{m}/10\mu\text{m}$ 이고, 상기 제2 트랜지스터(M3_2)의 폭(W)대 길이(L)의 비는 $5\mu\text{m}/15\mu\text{m}$ 일 수 있다.

또한, 상기 제1 및 제2 트랜지스터(M3_1, M3_2)의 크기는 상기 문턱 전압 보상부가 일정한 면적을 갖는 상태에서 서로 그 크기가 배분되게 되며, 상기 구동 트랜지스터(M1)의 게이트 및 소스 사이의 기생 커패시턴스(Cgs)가 작아지도록 상기 제1 트랜지스터 및 제2 트랜지스터(M3_1, M3_2)의 크기 차이를 크게 하는 것이 바람직하다.

한편, 상기 듀얼 타입 트랜지스터를 사용하는 구체적인 이유는, 단일 박막 트랜지스터(TFT)의 사용과 듀얼 TFT의 사용에서, 같은 길이의 TFT의 크기를 사용하면, 듀얼 TFT를 사용하는 것이 누설 전류를 줄일 수 있고, 또한 기생 커패시턴스를 줄임으로써, 구동 트랜지스터의 게이트 전압의 가변 크기를 줄일 수 있기 때문이다.

또한, 전술한 바와 같은 듀얼 타입을 사용하되, 문턱전압 보상용 트랜지스터(M3_1, M3_2)의 크기를 작게 하는 이유는 다음과 같다. 즉, 제1 트랜지스터(M3_1)와 제2 트랜지스터(M3_2)에서 제1 트랜지스터(M3_1)의 크기를 작게 하는 이유는 구동 트랜지스터(M1)의 게이트에 관련된 기생 커패시턴스 성분을 줄이기 위한 것이다.

한편, 도 8은 본 발명의 다른 실시예에 따른 발광표시 장치의 회로도로서, 다수의 트랜지스터(M1~M5), 2개의 커패시터(Cst, Cvth) 및 유기 EL 소자(OLED)로 이루어지며, 전술한 도 5와 비교하면, 문턱전압 보상용 트랜지스터(800)가 듀얼 타입으로 이루어지는 점이다.

도 8에 도시된 바와 같이, 구동용 트랜지스터(M1)는 유기 EL 소자(OLED)를 구동하기 위한 구동 트랜지스터로서, 전압(Vdd)을 공급하기 위한 전원과 유기 EL 소자(OLED) 간에 접속되고, 게이트에 인가되는 전압에 의하여 IR 드롭 방지용 트랜지스터(M5)를 통하여 유기 EL 소자(OLED)에 흐르는 전류를 제어한다. 스위칭 트랜지스터(M2)는 직전 주사선(Sn-1)으로부터의 선택 신호에 응답하여 트랜지스터(M1)를 다이오드 연결시킨다.

상기 구동용 트랜지스터(M1)의 게이트에는 커패시터(Cvth)의 일 전극이 접속되고, 커패시터(Cvth)의 타 전극(B) 및 전압(Vdd)을 공급하는 전원간에 커패시터(Cst)와 트랜지스터(M4)가 병렬 접속된다. 상기 트랜지스터(M4)는 직전 주사선(Sn-1)으로부터의 선택 신호에 응답하여 커패시터(Cvth)의 타 전극에 전원(Vdd)을 공급한다.

상기 문턱전압 보상용 트랜지스터(M3_1, M3_2)는 현재 주사선(Sn)으로부터의 선택 신호에 응답하여 데이터선(Dm)으로부터의 데이터를 커패시터(Cvth)의 타단으로 전달한다. 전술한 바와 같이, 상기 구동용 트랜지스터(M1)의 소스 및 게이트 사이에는 기생 커패시턴스(Cgs)가 존재하며, 이에 따라 킥백 현상이 발생할 우려가 있으므로, 상기 문턱전압 보상용 트랜지스터(M3_1, M3_2)를 듀얼 타입으로 형성하게 된다.

여기서, 상기 문턱전압 보상용 트랜지스터는 제1 및 제2 트랜지스터(M3_1, M3_2)로 이루어지며, 여기서, 상기 제1 트랜지스터(M3_1)와 제2 트랜지스터(M3_2)의 TFT 크기를 결정함에 있어서, 레이아웃적으로 면적이 한정되어 있기 때문에, 사용할 수 있는 TFT의 길이가 한정되게 된다.

이와 같이 한정된 길이를 전제로 하여, 기생 커패시턴스 성분을 줄이기 위해서는 제1 트랜지스터(M3_1)의 길이를 작게 하고, 제2 트랜지스터(M3_2)의 TFT 크기를 크게 하는 것이다.

현재 사용하고 있는 TFT의 크기는 제1 트랜지스터(M3_1)가 $W/L=5/10\mu\text{m}$ 이고, 제2 트랜지스터(M3_2)가 $W/L=5/15\mu\text{m}$ 이지만, 만일, 상기 TFT의 제조 공정에 있어서, 충분히 작은 크기를 만들어서 원하는 특성이 나오는 경우에는 제1 트랜지스터(M3_1)의 크기를 더욱 작게 하면 할수록 기생 커패시턴스 성분이 줄어들게 되고, 제1 트랜지스터(M3_1)와 제2 트랜지스터(M3_2) TFT의 Off 시에 킥백(kick back)에 의한 효과를 줄일 수 있다.

상기 제1 및 제2 트랜지스터(M3_1, M3_2)는 동시에 온(On)이 되지 않도록 서로 다른 크기를 갖는 듀얼 타입 박막 트랜지스터로서, 상기 제1 트랜지스터(M3_1)는 상기 제2 트랜지스터(M3_2)보다 먼저 온(On)이 되도록 작은 크기를 갖는 것이 바람직하다.

한편, IR 드롭 보상용 트랜지스터(M5)를 P형 TFT로 하는 경우, 또는 N형 TFT로 하는 경우에도 동일하게 사용할 수 있고, 또한 구동 트랜지스터(M1) 자체를 보상하는 모든 화소회로 구조에 적용할 수 있다.

이상의 설명에서 본 발명은 특정의 실시예와 관련하여 도시 및 설명하였지만, 특허청구범위에 의해 나타난 발명의 사상 및 영역으로부터 벗어나지 않는 한도 내에서 다양한 개조 및 변화가 가능하다는 것을 당업계에서 통상의 지식을 가진 자라면 누구나 쉽게 알 수 있을 것이다.

발명의 효과

본 발명에 따르면, 유기 EL 소자를 구동하는 구동 트랜지스터의 게이트와 소스/드레인 사이의 기생 커패시턴스에 의해 변화되는 문턱전압을 보상하기 위해서 서로 다른 크기로 구현되는 듀얼 타입의 보상 트랜지스터를 구비하여 상기 기생 커패시턴스의 영향을 줄임으로써, 상기 보상용 트랜지스터의 오프 시에 발생하는 킥백의 영향을 개선할 수 있다.

(57) 청구의 범위

청구항 1.

화상 신호에 대응되는 데이터 전압을 전달하는 복수의 데이터선, 선택 신호를 전달하는 복수의 주사선, 및 상기 주사선과 데이터선에 전기적으로 연결된 복수의 화소 회로를 포함하는 발광표시 장치에 있어서,

상기 화소 회로는,

인가되는 전류에 대응하여 발광하는 발광 소자;

제1 전극, 제1 전원 전압이 인가되는 제2 전극, 및 상기 발광 소자에 접속되는 제3 전극을 구비하고, 제1 전극 및 제2 전극간에 인가되는 전압에 대응되는 전류를 제3 전극으로 출력하는 구동 트랜지스터;

주사선으로부터의 선택 신호에 응답하여 데이터 전압을 상기 구동 트랜지스터의 제1 전극으로 전달하는 제1 스위칭 소자; 및

상기 구동 트랜지스터의 문턱전압 편차에 따라 이를 보상하는 전압을 상기 구동 트랜지스터의 제1 전극으로 전달하는 문턱전압 보상부

를 포함하되,

상기 문턱전압 보상부는 서로 다른 크기를 갖는 듀얼 타입 트랜지스터로 이루어지는 것을 특징으로 하는 발광표시 장치.

청구항 2.

제1항에 있어서,

상기 듀얼 타입 트랜지스터는 P형 박막 트랜지스터(TFT)인 것을 특징으로 하는 발광표시 장치.

청구항 3.

제1항에 있어서,

상기 듀얼 타입 트랜지스터는 상기 구동 트랜지스터의 제1 전극에 연결되는 제1 트랜지스터, 및 상기 구동 트랜지스터의 제3 전극에 연결되는 제2 트랜지스터를 포함하며, 상기 제1 및 제2 트랜지스터의 게이트는 직전 주사선에 공통으로 연결되는 것을 특징으로 하는 발광표시 장치.

청구항 4.

제3항에 있어서,

상기 제1 트랜지스터의 크기는 상기 제2 트랜지스터의 크기보다는 작은 것을 특징으로 하는 발광표시 장치.

청구항 5.

제3항에 있어서,

상기 제1 트랜지스터의 폭(W)대 길이(L)의 비는 $5\mu\text{m}/10\mu\text{m}$ 이고, 상기 제2 트랜지스터의 폭(W)대 길이(L)의 비는 $5\mu\text{m}/15\mu\text{m}$ 인 것을 특징으로 하는 발광표시 장치.

청구항 6.

제3항에 있어서,

상기 제1 및 제2 트랜지스터의 크기는 상기 문턱 전압 보상부가 일정한 면적을 갖는 상태에서 서로 그 크기가 배분되는 것을 특징으로 하는 발광표시 장치.

청구항 7.

제3항에 있어서,

상기 구동 트랜지스터의 제1 전극 및 제2 전극간의 기생 커패시턴스가 작아지도록 상기 제1 트랜지스터 및 제2 트랜지스터의 크기 차이를 크게 하는 것을 특징으로 하는 발광표시 장치.

청구항 8.

다수의 데이터선과 다수의 주사선에 의해 정해지는 다수의 화소에 각각 형성되는 다수의 화소회로에 있어서,

발광 소자;

상기 발광 소자에 자신의 드레인이 전기적으로 연결되는 제1 박막 트랜지스터;

상기 주사선에 자신의 게이트가 연결되고, 상기 데이터선과 상기 제1 박막 트랜지스터의 게이트에 각각 제1 단자 및 제2 단자가 전기적으로 연결되는 제2 박막 트랜지스터;

상기 제1 박막 트랜지스터의 게이트에 자신의 제1 단자가 연결되고, 상기 주사선의 이전 주사선에 자신의 게이트가 연결되는 제3 박막 트랜지스터;

상기 제3 박막 트랜지스터의 제2 단자에 자신의 제1 단자가 연결되고, 상기 주사선의 이전 주사선에 자신의 게이트가 연결되며, 상기 제1 박막 트랜지스터의 드레인에 자신의 제2 단자가 연결되는 제4 박막 트랜지스터; 및

상기 제1 박막 트랜지스터의 게이트와 소스 사이에 연결되는 커패시터

를 포함하는 발광표시 장치의 화소회로.

청구항 9.

제8항에 있어서,

상기 제3 및 제4 박막 트랜지스터는 동시에 온(On)이 되지 않도록 서로 다른 크기를 갖는 듀얼 타입 박막 트랜지스터인 것을 특징으로 하는 발광표시 장치의 화소회로.

청구항 10.

제8항에 있어서,

상기 제3 박막 트랜지스터는 상기 제4 박막 트랜지스터보다 먼저 온(On)이 되도록 작은 크기를 갖는 것을 특징으로 하는 발광표시 장치의 화소회로.

청구항 11.

제10항에 있어서,

상기 제3 및 제4 트랜지스터의 크기는 상기 제3 및 제4 트랜지스터의 전체 크기가 일정한 상태에서 서로 그 크기가 배분되는 것을 특징으로 하는 발광표시 장치의 화소회로.

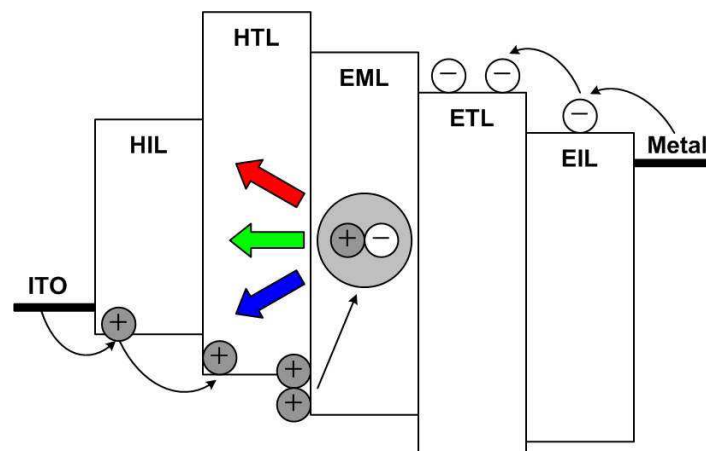
청구항 12.

제8항에 있어서,

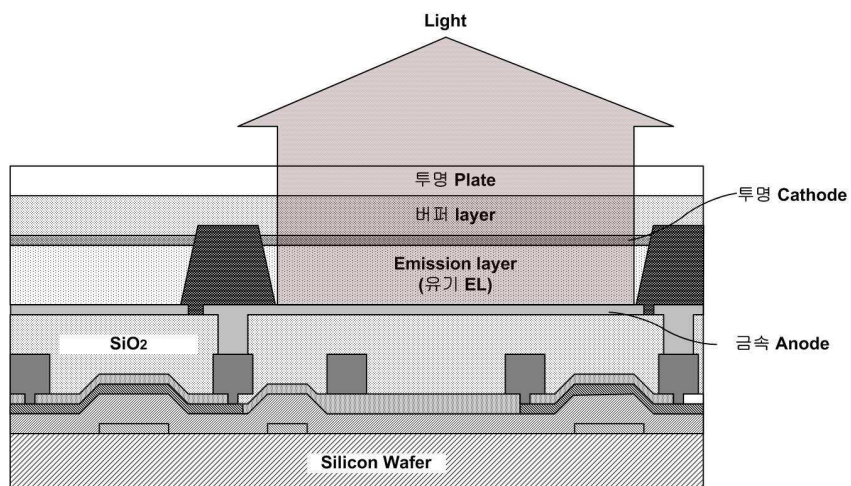
상기 제1 내지 제4 박막 트랜지스터는 동일 도전형의 박막 트랜지스터인 것을 특징으로 하는 발광표시 장치의 화소회로.

도면

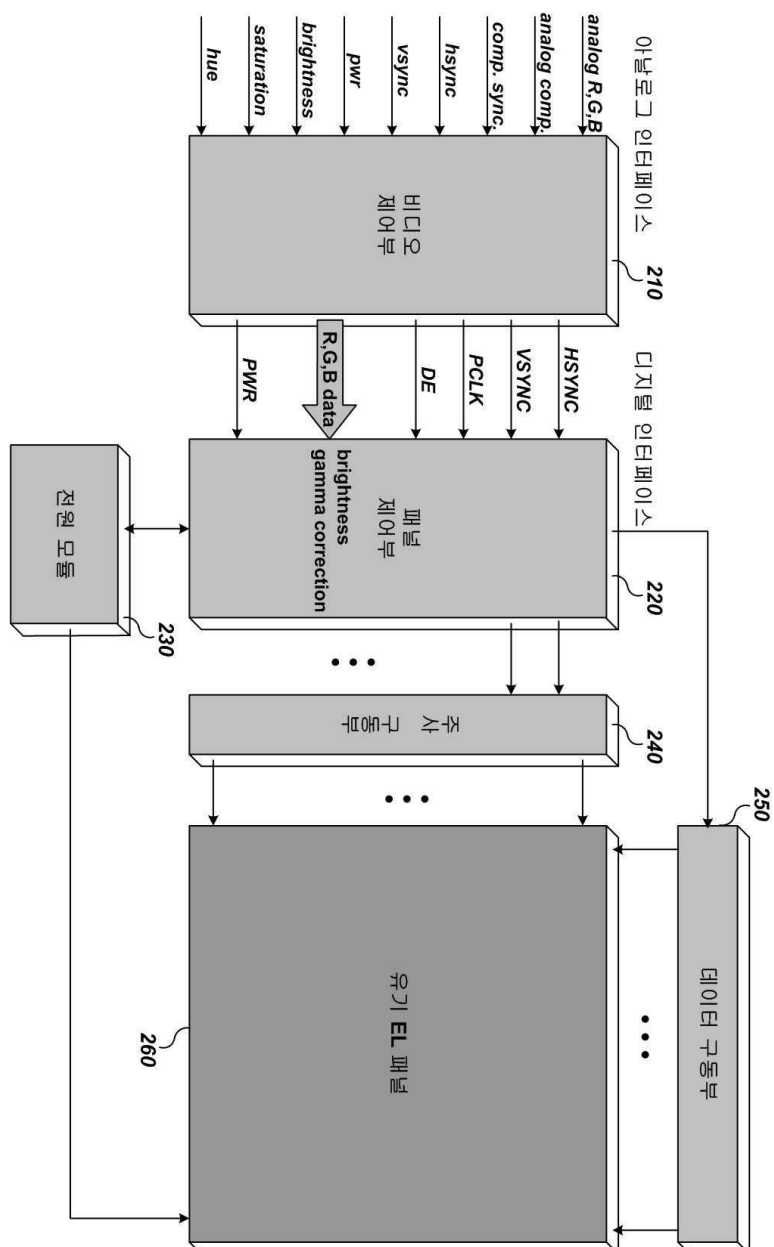
도면1a



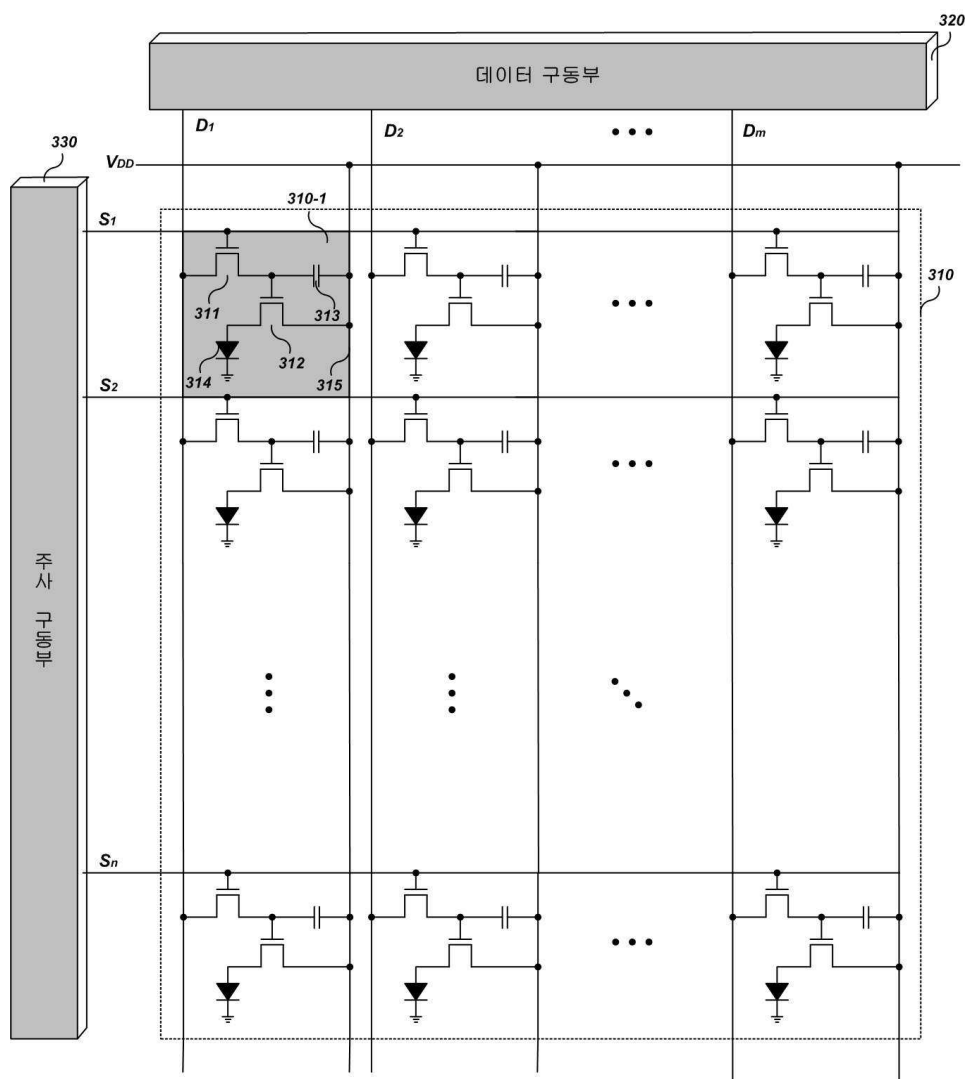
도면1b



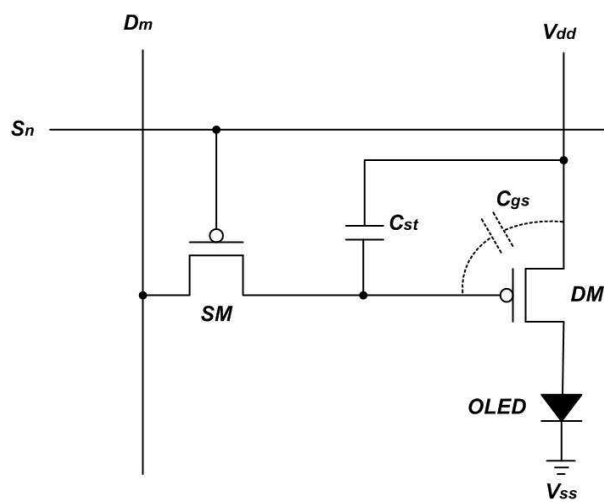
도면2



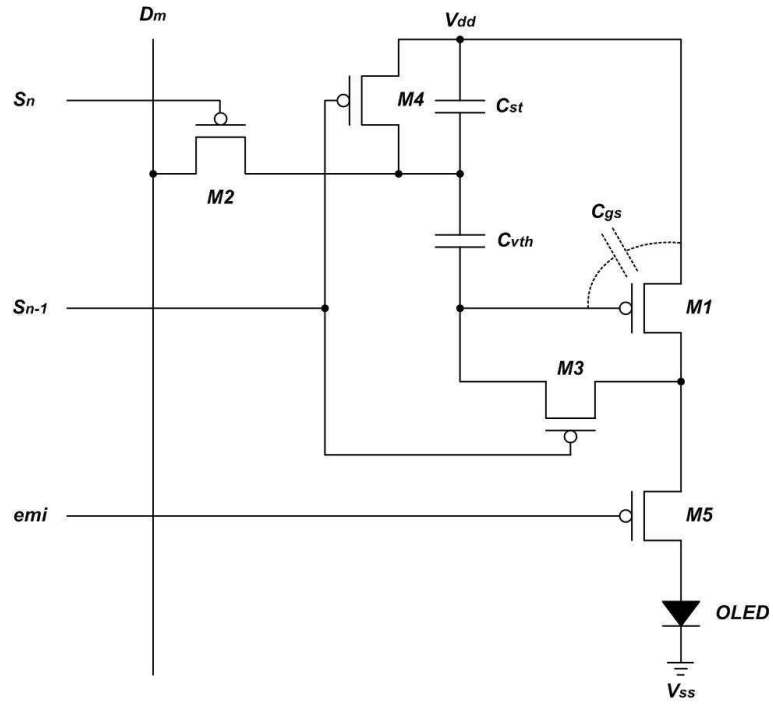
도면3



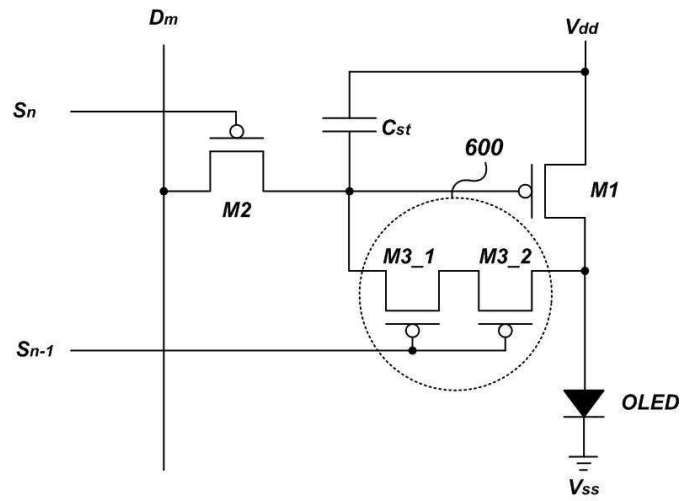
도면4



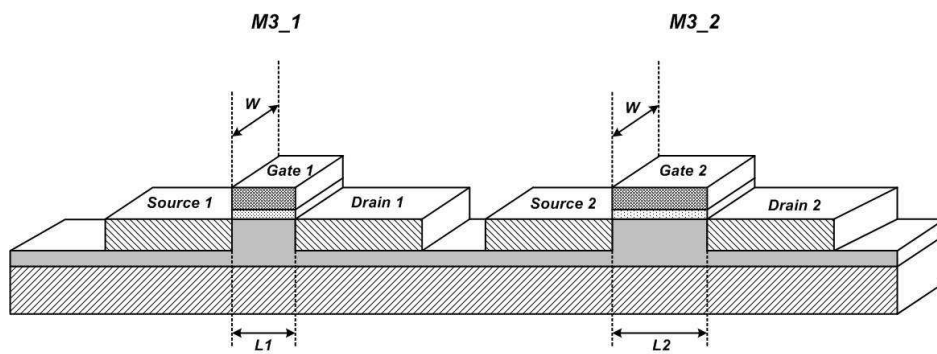
도면5



도면6



도면7



专利名称(译)	发光显示装置及其像素电路		
公开(公告)号	KR1020050104817A	公开(公告)日	2005-11-03
申请号	KR1020040030228	申请日	2004-04-29
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	EOM KIMYEONG		
发明人	EOM,KIMYEONG		
IPC分类号	G09G3/30 G09G3/32		
CPC分类号	G06F2213/0042 G11B31/02 G11B33/025 G11B33/1493 G11B2020/00057		
代理人(译)	您是我的专利和法律公司		
其他公开文献	KR100560482B1		
外部链接	Espacenet		

摘要(译)

本发明涉及一种发光显示器及其用于减少用于驱动发光器件的栅极和所述驱动晶体管的源极之间的寄生电容的影响的像素电路。根据本发明，提供一种发光显示器，包括：发光元件，其发出与施加的电流相对应的光；第一电极，第一，具有连接到所述第二电极的第三电极，和所述发光元件被施加有电源电压并输出对应的电流在第一电极和第二电极之间施加到第三电极上的电压一个驱动晶体管；第一开关元件，用于响应来自扫描线的选择信号将数据电压传送到驱动晶体管的第一电极；和，并根据经过电压为这个补偿作为驱动晶体管的第一电极，并且包括在具有不同尺寸的双型晶体管相互制成的阈值电压补偿驱动晶体管的阈值电压偏差。根据本发明，通过提供不同尺寸的实施，以补偿阈值电压的双型的补偿晶体管由栅极和驱动晶体管的用于驱动有机EL元件的源极/漏极，补偿之间的寄生电容变可以改善当关闭晶体管关闭时发生的反冲效应。6 指数方面 有机EL，发射显示，电容，像素电路，寄生电容，阈值电压补偿

