

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
H05B 33/08

(11) 공개번호 10-2005-0104596
(43) 공개일자 2005년11월03일

(21) 출원번호 10-2004-0029936
(22) 출원일자 2004년04월29일

(71) 출원인 삼성에스디아이 주식회사
경기 수원시 영통구 신동 575

(72) 발명자 박원규
경기도성남시분당구구미동88번지까치주공아파트207동903호

(74) 대리인 유미특허법인

심사청구 : 있음

(54) 발광 표시 패널 및 발광 표시 장치

요약

본 발명은, 구동트랜지스터의 문턱전압의 영향 없이 구동될 수 있는 화소회로를 가지며 이 화소회로에 포함되는 다수의 소자들이 화소영역에 효율적으로 배치되는 발광 표시 장치를 제공한다.

본 발명에 따른 발광 표시 장치에서, 화소 회로는 제1 선택신호에 응답하여 동작하는 제1 및 제2 트랜지스터(M3, M4) 및 제2 선택신호에 응답하여 동작하는 제3 트랜지스터(M5)를 포함한다. 또한 주사선들 각각은, 제1 부주사선 및 제1 부주사선과 동일한 선택신호를 인가하며 제1 부주사선보다 배선편이 좁은 제2 부주사선을 포함한다. 여기서, 제1 및 제2 트랜지스터의 제어전극 중 어느 하나는 제1 주사선의 제1 부주사선에 전기적으로 연결되며, 제1 및 제2 트랜지스터의 제어전극 중 다른 하나는 제1 주사선의 제2 부주사선에 전기적으로 연결되며, 제3 트랜지스터의 제어전극은 제2 주사선의 제1 부주사선에 전기적으로 연결된다.

대표도

도 5

색인어

유기전계 발광, 유기EL, OLED, 화소회로, 주사선

명세서

도면의 간단한 설명

도 1은 유기 전계 발광 소자의 개념도이다.

도 2는 TFT를 이용한 능동 구동방식을 사용하는 일반적인 유기EL 표시장치를 개략적으로 보여주는 도면이다.

도 3은 도 2의 표시패널(100)의 N×M 개의 화소회로를 대표적으로 보여주는 도면이다.

도 4는 본 발명의 실시예에 따른 화소 회로(110)를 보여주는 등가회로도이다.

도 5는 본 발명의 실시예에 따른 화소회로의 배치구조의 일 예를 보여주는 평면도이다.

도 6은 도 5의 I ~ I' 부분의 단면도이다.

도 7은 도 5에서 전극들(71~76)을 제외한 배치구조를 보여주는 도면이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 발광 표시 장치에 관한 것으로, 특히 유기 물질의 전계 발광(이하, "유기 EL"이라 함)을 이용한 유기EL 표시장치에 관한 것이다.

일반적으로 유기EL 표시장치는, 형광성 유기 화합물을 전기적으로 여기시켜 발광시키는 표시장치로서, 행렬 형태로 배열된 $N \times M$ 개의 유기 발광셀들을 전압 구동 혹은 전류 구동하여 영상을 표현할 수 있도록 되어 있다.

이러한 유기 발광셀은 다이오드 특성을 가져서 유기 발광 다이오드(OLED)로도 불리며, 도 1에 나타난 바와 같이 애노드(ITO), 유기 박막, 캐소드 전극층(금속)의 구조를 가지고 있다. 유기 박막은 전자와 정공의 균형을 좋게 하여 발광 효율을 향상시키기 위해 발광층(emitting layer, EML), 전자 수송층(electron transport layer, ETL) 및 정공 수송층(hole transport layer, HTL)을 포함한 다층 구조로 이루어지고, 또한 별도의 전자 주입층(electron injecting layer, EIL)과 정공 주입층(hole injecting layer, HIL)을 포함하고 있다. 이러한 유기 발광셀들이 $N \times M$ 개의 매트릭스 형태로 배열되어 유기 EL 표시패널을 형성한다.

이와 같은 유기EL 표시패널을 구동하는 방식에는 단순 매트릭스(passive matrix) 방식과 박막 트랜지스터(thin film transistor, 이하 TFT라고 명명함)를 이용한 능동 구동(active matrix) 방식이 있다. 단순 매트릭스 방식은 양극과 음극을 직교하도록 형성하고 라인을 선택하여 구동하나, 능동 구동 방식은 데이터선과 주사선에 각각 연결되는 다수의 박막 트랜지스터를 주사 선택신호에 따라 순차적으로 턴온시킴으로써 유기EL 소자를 구동하는 방식이다.

도 2는 TFT를 이용한 능동 구동방식을 사용하는 일반적인 유기EL 표시장치를 개략적으로 보여주는 도면이다.

도 2에 도시된 바와 같이, 유기EL 표시장치는 유기EL 표시패널(100), 주사 구동부(200), 및 데이터 구동부(300)를 포함한다.

주사 구동부(200)는 행 방향으로 뻗어 있는 복수의 주사선(S1-Sn)에 각각 선택 신호를 순차적으로 인가하며, 데이터 구동부(300)는 열 방향으로 뻗어 있는 복수의 데이터선(D1-Dm)에 화상 신호에 대응되는 데이터 전압을 인가한다.

주사 구동부(200) 및/또는 데이터 구동부(300)는 표시패널(100)에 전기적으로 연결될 수 있으며 또는 표시패널(100)에 접착되어 전기적으로 연결되어 있는 테이프 캐리어 패키지(tape carrier package, TCP)에 칩 등의 형태로 장착될 수 있다. 또는 표시 패널(100)에 접착되어 전기적으로 연결되어 있는 가요성 인쇄 회로(flexible printed circuit, FPC) 또는 필름(film) 등에 칩 등의 형태로 장착될 수도 있다. 이와는 달리 주사 구동부(200) 및/또는 데이터 구동부(300)는 표시 패널의 유리 기판 위에 직접 장착될 수도 있으며, 또는 유리 기판 위에 주사선, 데이터선 및 박막 트랜지스터와 동일한 층들로 형성되어 있는 구동 회로와 대체될 수도 직접 장착될 수도 있다.

유기EL 표시패널(100)은 데이터선(D1-Dm), 주사선(S1-Sn) 및 복수의 화소회로(110)를 포함한다. 데이터선(D1-Dm)은 화상 신호를 나타내는 데이터 신호를 화소회로(110)로 전달하며, 주사선(S1-Sn)은 선택 신호를 화소회로(110)로 전달한다.

도 3은 도 2의 표시패널(100)의 $N \times M$ 개의 화소회로 중 하나를 대표적으로 보여주는 도면이다.

도 3에 나타난 바와 같이, 화소 회로는 유기 EL 소자(OLED), 2개의 트랜지스터(SM, DM) 및 커패시터(Cst)를 포함한다. 트랜지스터들(SM, DM)은 PMOS형 트랜지스터로 형성된다.

구동 트랜지스터(DM)는 전원 전압(Vdd)에 소스가 연결되고, 게이트와 소스 사이에 커패시터(Cst)가 연결되어 있다. 유기EL 소자(OLED)의 캐소드는 기준 전압(Vss)에 연결되며 구동 트랜지스터(DM)를 통하여 인가되는 전류에 대응하는 빛을 발광한다. 여기서, 유기 EL 소자(OLED)의 캐소드에 연결되는 전원(VSS)은 전원(Vdd)보다 낮은 레벨의 전압으로서, 그라운드 전압 등이 사용될 수 있다.

커패시터(Cst)는 트랜지스터(M1)의 게이트-소스 전압(V_{GS})을 일정 기간 유지한다. 스위칭 트랜지스터(SM)는 현재 주사선(S_n)으로부터의 선택 신호에 응답하여 턴온되면, 데이터선(D_m)으로부터의 데이터 전압(V_{DATA})을 트랜지스터(DM)의 게이트에 인가된다. 그러면 커패시터(Cst)에 의해 게이트와 소스 사이에 충전된 전압(V_{GS})에 대응하여 트랜지스터(DM)에 전류(I_{OLED})가 흐르고, 이 전류(I_{OLED})에 대응하여 유기EL 소자(OLEDr)가 발광한다. 이때, 유기EL 소자(OLEDr)에 흐르는 전류(I_{OLED})는 수학식 1과 같다.

수학식 1

$$I_{OLED} = \frac{\beta}{2} (V_{GS} - V_{TH})^2 = \frac{\beta}{2} (V_{DD} - V_{DATA} - |V_{TH}|)^2$$

여기서, V_{TH} 는 트랜지스터(DM)의 문턱 전압, β 는 상수 값을 나타낸다.

수학식 1에 나타난 바와 같이, 데이터 전압(V_{DATA})에 대응하는 전류가 유기EL 소자(OLED)에 공급되고, 공급된 전류에 대응하는 휘도로 유기EL 소자(OLEDr)가 발광하게 된다. 이때, 인가되는 데이터 전압은 소정의 명암 계조를 표현하기 위하여 일정 범위에서 다단계의 값을 갖는다.

그러나, 수학식 1으로부터 알 수 있는 바와 같이, 이러한 화소회로에서는 트랜지스터(DM)의 문턱전압(V_{th})에 따라 전류(I_{OLED}) 값이 달라진다. 따라서 각 화소마다 트랜지스터(DM)의 문턱전압(V_{th})은 달라질 수 있어 정확한 영상표시가 어려워질 수 있다는 문제가 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 구동트랜지스터의 문턱전압의 영향 없이 구동될 수 있는 화소회로를 가지며 이 화소회로에 포함되는 다수의 소자들이 화소영역에 효율적으로 배치되는 발광 표시 패널 및 이를 이용한 발광 표시 장치를 제공하는 것이다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위하여, 본 발명의 하나의 특징에 따른 발광 표시 장치는, 제1 방향으로 뻗어 있으며 제1 및 제2 선택 신호를 전달하는 제1 및 제2 주사선을 포함하는 복수의 주사선, 상기 주사선에 절연되어 교차하고 제2 방향으로 뻗어 있으며 데이터 신호를 전달하는 복수의 데이터선, 상기 주사선과 상기 데이터선에 각각 연결되는 복수의 화소 회로가 매트릭스 형태로 배열된 표시패널에 영상을 표시하는 발광 표시 장치로서,

상기 화소 회로 각각은, 상기 제1 선택신호에 응답하여 동작하는 제1 및 제2 트랜지스터(M3, M4); 및 상기 제2 선택신호에 응답하여 동작하는 제3 트랜지스터(M5)를 포함하고,

상기 주사선들 각각은, 제1 부주사선; 및 상기 제1 부주사선과 동일한 선택신호를 인가하며 상기 제1 부주사선보다 배선 폭이 좁은 제2 부주사선을 포함하고,

상기 제1 및 제2 트랜지스터의 제어전극 중 어느 하나는 상기 제1 주사선의 제1 부주사선에 전기적으로 연결되며, 상기 제1 및 제2 트랜지스터의 제어전극 중 다른 하나는 상기 제1 주사선의 제2 부주사선에 전기적으로 연결되며, 상기 제3 트랜지스터의 제어전극은 제2 주사선의 제1 부주사선에 전기적으로 연결된다.

또한, 상기 제3 트랜지스터는, 하나의 주전극이 상기 데이터선에 전기적으로 접속되고 제어전극에 인가되는 선택신호에 응답하여 상기 데이터신호를 다른 주전극으로 출력할 수 있다.

상기 화소 회로 각각은, 제어전극, 제1 전극 및 제2 전극을 가지며, 상기 제어전극과 상기 제1 전극의 전압차에 대응하는 전류를 제2 전극으로 출력하는 제4 트랜지스터; 상기 제4 트랜지스터의 제2 전극으로부터 출력되는 전류에 대응하여 빛을 방출하는 발광소자; 상기 제4 트랜지스터의 제어전극에 접속되는 일전극을 갖는 제1 커패시터; 및 상기 제4 트랜지스터의 제1 전극에 전기적으로 연결되는 일전극 및 상기 제1 커패시터의 타전극에 전기적으로 연결되는 타전극을 갖는 제2 커패시터를 포함할 수 있다.

상기 제1 트랜지스터는 상기 제2 커패시터와 병렬 연결되는 트랜지스터이고, 상기 제2 트랜지스터는 상기 제4 트랜지스터를 다이오드 연결시키는 트랜지스터일 수 있다.

본 발명의 다른 특징에 따른 발광 표시 패널은

제1 방향으로 뻗어 있으며 선택 신호를 전달하는 복수의 주사선; 제1 방향으로 뻗어 있으며 서로 인접한 2개의 주사선 사이에 배치되고, 상기 인접한 2개의 주사선 중 어느 하나의 주사선과 동일한 선택신호를 전달하며, 상기 주사선의 배선편보다 좁은 배선편을 갖는 복수의 부주사선; 상기 주사선에 절연되어 교차하고 제2 방향으로 뻗어 있으며 데이터 신호를 전달하는 복수의 데이터선; 및 상기 주사선, 상기 부주사선 및 상기 데이터선에 각각 연결되어 매트릭스 형태로 배열되는 복수의 화소 회로를 포함하고, 상기 주사선 각각은 인접한 2개의 화소회로에 각각 연결된다.

아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

그리고, 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 어떤 부분이 다른 부분과 연결되어 있다고 할 때, 이는 직접적으로 연결되어 있는 경우뿐 아니라 그 중간에 다른 소자를 사이에 두고 연결되어 있는 경우도 포함한다. 또한 층, 막, 영역, 판 등의 부분이 다른 부분 위에 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

도 4는 본 발명의 실시예에 따른 화소 회로(110)를 보여주는 등가회로도이다.

도 4에 도시된 바와 같이, 화소 회로(110)는 트랜지스터(M1-M5), 커패시터(Cst, Cvth), 및 유기 EL 소자(OLED)를 포함한다.

트랜지스터(M1)는 유기 EL 소자(OLED)를 구동하기 위한 구동 트랜지스터로서, 전압(VDD)을 공급하기 위한 전원과 유기 EL 소자(OLED) 간에 접속되고, 게이트에 인가되는 전압에 의하여 트랜지스터(M5)를 통하여 유기 EL 소자(OLED)에 흐르는 전류를 제어한다. 트랜지스터(M3)는 직전 주사선(Sn-1)으로부터의 선택 신호에 응답하여 트랜지스터(M1)를 다이오드 연결시킨다. 트랜지스터(M1)의 게이트에는 커패시터(Cvth)의 일전극(A)이 접속되고, 커패시터(Cvth)의 타전극(B) 및 전압(VDD)을 공급하는 전원 간에 커패시터(Cst)와 트랜지스터(M4)가 병렬 접속된다. 트랜지스터(M4)는 직전 주사선(Sn-1)으로부터의 선택 신호에 응답하여 커패시터(Cvth)의 타전극(B)에 전원(VDD)을 공급한다. 트랜지스터(M5)는 현재 주사선(Sn)으로부터의 선택 신호에 응답하여 데이터선(Dm)으로부터 전달되는 데이터 신호를 커패시터(Cvth)의 타전극(B)으로 전달한다. 트랜지스터(M2)는 트랜지스터(M1)의 드레인과 유기 EL 소자(OLED)의 애노드 간에 접속되고, 직전 주사선(Sn-1)으로부터의 선택 신호에 응답하여 트랜지스터(M1)의 드레인과 유기 EL 소자(OLED)를 차단시킨다. 유기 EL 소자(OLED)는 트랜지스터(M1)로부터 트랜지스터(M2)를 통하여 입력되는 전류에 대응하여 빛을 방출한다.

먼저, 직전 주사선(Sn-1)에 로우 레벨의 주사 전압이 인가되면, 트랜지스터(M3)가 턴온되어 트랜지스터(M1)는 다이오드 연결 상태가 된다. 따라서, 트랜지스터(M1)의 게이트 및 소스간 전압이 트랜지스터(M1)의 문턱전압(Vth)이 될 때까지

변하게 된다. 이때 트랜지스터(M1)의 소스가 전원(VDD)에 연결되어 있으므로, 트랜지스터(M1)의 게이트 즉, 커패시터(Cvth)의 노드(A)에 인가되는 전압은 전원전압(VDD)과 문턱전압(Vth)의 합이 된다. 또한, 트랜지스터(M4)가 턴온되어 커패시터(Cvth)의 노드(B)에는 전원(VDD)이 인가되어, 커패시터(Cvth)에 충전되는 전압(V_{Cvth})은 수학식 2와 같다.

수학식 2

$$I_{Cvth} = I_{CvthA} - I_{CvthB} = (VDD + Vth) - VDD = Vth$$

여기서, VCvth는 커패시터(Cvth)에 충전되는 전압을 의미하고, VCvthA는 커패시터(Cvth)의 노드(A)에 인가되는 전압, VCvthB는 커패시터(Cvth)의 노드(B)에 인가되는 전압을 의미한다.

또한, N타입의 채널을 갖는 트랜지스터(M2)는 발광제어선(EMIn)의 로우레벨의 신호에 응답하여 차단되어, 트랜지스터(M1)에 흐르는 전류가 유기EL 소자(OLED)로 흐르는 것을 방지하고, 현재 주사선(Sn)에는 하이 레벨의 신호가 인가되므로 트랜지스터(M5)는 차단된다.

다음, 현재 주사선(Sn)에 로우 레벨의 주사 전압이 인가되면, 트랜지스터(M5)가 턴온되어 데이터 전압(Vdata)이 노드(B)에 인가된다. 또한, 커패시터(Cvth)에는 트랜지스터(M1)의 문턱 전압(Vth)에 해당되는 전압이 충전되어 있으므로, 트랜지스터(M1)의 게이트에는 데이터 전압(Vdata)과 트랜지스터(M1)의 문턱 전압(Vth)의 합에 대응되는 전압이 인가된다. 즉, 트랜지스터(M1)의 게이트-소스간 전압(V_{gs})은 다음의 수학식 3과 같다. 이 때, 발광제어선(EMIn)은 로우레벨의 신호가 인가되어 트랜지스터(M2)는 차단된다.

수학식 3

$$V_{gs} = (Vdata + Vth) - VDD$$

그 다음, 발광제어선(EMIn)의 하이레벨에 응답하여 트랜지스터(M2)가 온되어 트랜지스터(M1)의 게이트-소스 전압(V_{GS})에 대응하는 전류(I_{OLED})가 유기EL 소자(OLED)에 공급되어, 유기EL 소자(OLED)는 발광하게 된다. 전류(I_{OLED})는 수학식 4와 같다.

수학식 4

$$I_{OLED} = \frac{\beta}{2}(V_{gs} - Vth)^2 = \frac{\beta}{2}((Vdata + Vth - VDD) - Vth)^2 = \frac{\beta}{2}(VDD - Vdata)^2$$

여기서, 전류(I_{OLED})는 유기 EL 소자(OLED)에 흐르는 전류, V_{gs} 는 트랜지스터(M1)의 소스와 게이트 사이의 전압, Vth 는 트랜지스터(M1)의 문턱 전압, $Vdata$ 는 데이터 전압, β 는 상수 값을 나타낸다.

수학식 4로부터 알 수 있는 바와 같이 전류(I_{OLED})는 구동 트랜지스터의 문턱전압과 상관없이 데이터전압($Vdata$) 및 전원(VDD)에 따라 결정되므로 표시패널은 안정적으로 구동될 수 있다.

그러나, 이와 같은 도 4와 화소회로는 유기EL 소자(OLED)를 발광을 위하여 다수의 소자들 필요로 한다. 따라서 하나의 화소회로가 배치되는 화소영역에 다수의 소자가 배치되어야 하며 또한 일부 소자는 주사선 또는 데이터선에 접속되어야 하므로 배치 상의 어려움이 존재한다. 더욱이, 현재 주사선(Sn)의 선택신호에 응답하여 동작하는 트랜지스터(M5)와 직전 주사선(Sn-1)의 선택신호에 응답하여 동작하는 트랜지스터(M3 및 M4)를 포함하는 경우, 하나의 주사선이 스위칭 트랜지스터(M5)와, 트랜지스터들(M3, M4)이 연결되어야 하므로 더욱 배치상의 어려움이 존재한다.

도 5는 본 발명의 실시예에 따른 배치구조의 일 예를 보여주는 평면도이고, 도 6은 도 5의 I ~ I' 부분의 단면도이다. 도 5에서 부분들(I-1 ~ I-7) 각각은 도 6에서 부분들(I-1 ~ I-7)에 해당된다. 도 5 및 도 6에서는, 현재 화소(Pn)의 구성요소에 대하여 지시번호를 부여하고 직전 화소(Pk-1)의 구성요소의 지시번호는 현재 화소(Pk)의 구성요소의 지시번호와 동일한 번호에 (')를 추가하여 표시하였다.

도 5 및 도 6에서와 같이, 절연 기관(1) 위에 산화 규소 등으로 이루어진 차단층(10)이 형성되고, 차단층(10) 위에 반도체층인 다결정 규소층(poly silicon layer)(21, 22, 23, 24, 25, 26)이 형성된다.

다결정 규소층(21)은 'C'자 모양으로 현재 화소(Pn)의 트랜지스터(M5)의 소스영역, 드레인영역 및 채널영역을 포함하는 반도체층을 형성한다. 다결정 규소층(22)은 가로방향으로 형성되며 현재 화소(Pn)의 트랜지스터(M4)의 반도체층을 형성한다. 다결정 규소층(23)은 직사각형 형상으로 커패시터(Cst)의 일전극을 형성한다. 다결정 규소층(24)은 "L"자 형상의 넓은 다각형 모양으로 형성되며 커패시터(Cvth)의 일전극(A)이 된다. 다결정 규소층(25)은 "n"자 형상으로 다결정 규소층(24)과 연결되어 트랜지스터(M1) 및 트랜지스터(M3)의 반도체층을 형성한다. 다결정 규소층(26)은 세로 방향으로 뻗어 있으며 현재 화소(Pn)의 트랜지스터(M2)의 반도체층을 형성한다.

이렇게 형성된 다결정 규소층(21, 22, 23, 24, 25, 26) 위에 게이트절연막(30)이 형성된다.

게이트절연막(30) 위에 게이트 전극들(41, 42, 43, 44, 45, 46, 47)이 형성된다. 구체적으로, 현재 화소(Pn)의 발광제어선(EMIn)에 대응하는 게이트전극(41)은 가로 방향으로 뻗어 있으며 현재 화소의 트랜지스터(M2)의 게이트전극을 형성한다. 제1 직전 주사선(Sn-1)에 대응하는 게이트전극(42)은 'L'자 모양으로 형성되어 직전 화소(Pn-1)의 스위칭 트랜지스터(M5)의 이중 게이트전극을 형성한다. 게이트전극(43)은 구동 트랜지스터(M1)의 게이트전극을 형성한다. 제2 직전 주사선(Sn-1)에 대응하는 게이트전극(44)은 'T'자 형상으로 형성되어 트랜지스터(M4)의 게이트전극을 형성한다. 다음 화소(Pn+1)의 발광제어선(EMIn+1)에 대응하는 게이트전극(45)은 가로 방향으로 뻗어 있으며 다음 화소(P+1)의 트랜지스터(M2)의 게이트전극을 형성한다. 제1 현재 주사선(Sn)에 대응하는 게이트전극(46)은 'L' 모양으로 형성되어 현재 화소(Pn)의 스위칭 트랜지스터(M5)의 이중 게이트전극을 형성한다. 게이트전극(47)은 커패시터(Cst) 및 커패시터(Cvth)가 직렬로 연결되는 노드(B)를 형성한다.

이와 같은 게이트 전극(41, 42, 43, 44, 45, 46, 47) 위에 층간절연막(50)이 형성된다. 층간절연막(50) 위에는 콘택홀들(51a, 51b, 52a, 52b, 53a, 53b, 54a, 55a, 55b, 56a, 56b, 57a, 57b)을 통하여 해당 전극들에 접촉되도록 데이터선(71), 전원선(72, 72') 및 전극들(73, 74, 75, 76)이 형성된다.

데이터선(71)은 열방향으로 길게 뻗어 있으며 층간절연막(50) 및 게이트절연막(30)을 관통하는 접촉구(51a)를 통하여 다결정 규소층(21)에 연결되어 트랜지스터(M2)의 드레인전극을 형성한다.

전원선(72 및 72')은 데이터선(71)과 유사하게 열방향으로 길게 뻗어 있다. 또한, 전원선(72')은 층간절연막(50) 및 게이트절연막(30)을 관통하는 접촉구(52a)를 통하여 다결정 규소층(22)에 연결되어 트랜지스터(M4)의 소스전극을 형성하고, 전원선(72)은 층간절연막(50) 및 게이트절연막(30)을 관통하는 접촉구(53b)를 통하여 다결정 규소층(23)에 연결되어 커패시터(Cst)의 일전극을 형성한다. 또한 전원선(72)은 층간절연막(50) 및 게이트절연막(30)을 관통하는 접촉구(54a)를 통하여 트랜지스터(M1)의 소스전극을 형성한다.

전극(73)은 열방향으로 길게 형성되며, 층간절연막(50) 및 게이트절연막(30)을 관통하는 접촉구(51b)를 통하여 다결정 규소층(21)에 연결되어 트랜지스터(M5)의 드레인전극을 형성하고, 접촉구(52b)를 통하여 다결정 규소층(22)에 연결되어 트랜지스터(M4)의 드레인 전극을 형성하며, 층간절연막(50)을 관통하는 접촉구(53a)를 통하여 게이트전극(47)에 연결되어 커패시터(Cst)의 일전극을 형성한다. 즉, 전극(73)은 트랜지스터(M5)의 드레인전극, 트랜지스터(M4)의 드레인전극, 커패시터(Cst) 및 커패시터(Cvth)가 전기적으로 연결되는 노드(B)가 된다.

전극(74)은 작은 "L"자 형상을 형성되며, 층간절연막(50)을 관통하는 접촉구(55a 및 55b)를 통하여 게이트전극(43)에 연결되고 층간절연막(50) 및 게이트절연막(30)을 관통하는 접촉구(56b)를 통하여 다결정 규소층(24)와 연결되어 형성된 다결정 규소층(25)에 연결되어 트랜지스터(M3)의 드레인전극을 형성한다. 따라서 전극(74)은 트랜지스터(M1)의 게이트전극(43), 트랜지스터(M3)의 드레인전극(25) 및 커패시터(Cvth)의 일전극(24)이 연결되는 노드(A)가 된다.

전극(75)은 굴곡(┐) 모양으로 형성되며, 층간절연막(50) 및 게이트절연막(30)을 관통하는 접촉구(56b)를 통하여 다결정 규소층(25)에 연결되어 트랜지스터(M1)의 드레인전극 및 트랜지스터(M3)의 소스전극을 형성하고, 접촉구(57a)를 통하여 다결정 규소층(26)에 연결되어 트랜지스터(M2)의 소스전극을 형성한다. 따라서 전극(75)은 트랜지스터(M1)의 드레인전극, 트랜지스터(M3)의 소스전극 및 트랜지스터(M2)의 소스전극이 연결되는 노드가 된다.

전극(76)은 정사각형 모양으로 형성되며, 층간절연막(50) 및 게이트절연막(30)을 관통하는 접촉구(57b)를 통하여 다결정 규소층(26)에 연결되어 트랜지스터(M2)의 드레인전극을 형성하고 표시소자(OLED)의 애노드전극(85)에 연결된다.

도 5에는 도시되지 않았지만, 데이터선(71), 전원선(72, 72') 및 전극들(73, 74, 75, 76) 위에는 평탄화막(80)이 형성되고, 이 평탄화막(80)상에 접촉구(57b)를 통하여 트랜지스터(M2)의 드레인과 연결되는 애노드전극(80)이 대략 전체 화소 영역에 걸쳐 형성된다. 이 애노드전극(85) 상에 유기발광층(90) 등이 형성되어 유기EL 소자가 형성된다.

이와 같이 본 발명의 실시예에 따른 배치구조에서, 제1 직전 주사선(42)은 직전 화소의 스위칭 트랜지스터(M5) 및 현재 화소의 트랜지스터(M3)에 연결되고 제2 직전 주사선(44)은 현재 화소의 트랜지스터(M4)에 연결된다.

다음은, 도 6을 참조하여 주사선 및 발광제어선이 트랜지스터를 형성하는 다결정 규소층과의 관계를 설명한다.

도 7은 도 5에서 최상위 전극층, 즉 전극들(71~76)을 제외한 배치구조를 보여주는 도면이다.

도 7에서, 제1 직전 주사선(S_{n-1})에 대응되는 게이트전극(42)은 직전 화소(P_{n-1})의 스위칭 트랜지스터(M5)의 게이트전극 및 현재 화소(P_n)의 트랜지스터(M3)의 게이트전극이 된다. 따라서 게이트전극(42)은 트랜지스터(M5) 및 트랜지스터(M3)를 형성하는 다결정 규소층(21' 및 25)가 형성된 영역의 상부에 형성된다.

한편, 제2 직전 주사선(S_{n-1})에 대응되는 게이트전극(44)은 현재 화소(P_n)의 트랜지스터(M4)의 게이트전극이 된다. 따라서 게이트전극(44)은 트랜지스터(M4)를 형성하는 다결정 규소층(22)이 형성된 영역의 상부에 형성된다.

이와 같이, 게이트전극(42)은 하나의 화소 영역에서 2개의 다결정 규소층(21', 25)에 중첩되게 형성되는 반면, 게이트전극(42)과 동일한 선택신호를 전달하는 게이트전극(44)은 하나의 화소 영역에서 1개의 다결정 규소층(22)에 중첩되게 형성된다. 즉, 게이트전극(42)은 다결정 규소층과의 중첩에 의한 내부저항이 게이트전극(44)보다 크다.

따라서, 게이트전극(42)의 배선펙(a)은 게이트전극(44)의 배선펙(b)보다 크게 함으로써, 게이트전극(42) 및 게이트전극(44)은 서로 다른 내부저항에도 불구하고 동일한 선택신호를 왜곡 없이 전달할 수 있다.

이상에서 본 발명의 실시예로서, 하나의 화소회로가 5개의 트랜지스터 및 2개의 커패시터를 포함하는 경우를 설명하였으나, 본 발명은 5개의 트랜지스터 및 2개의 커패시터를 포함하는 화소회로뿐만 아니라, 하나의 화소회로가 2개 이상의 선택신호에 기초하여 동작하는 경우에는 모두 적용될 수 있다. 즉, 본 발명의 권리범위는 실시예와 같은 구조에 한정되는 것은 아니며, 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

발명의 효과

본 발명에 따르면, 많은 수의 반도체층과 중첩되어 형성되는 전극선의 배선펙을 비교적 적은 수의 반도체층과 중첩되어 형성되는 전극선의 배선펙보다 크게 형성함으로써, 반도체층과의 중첩으로 인하여 발생하는 전극선의 내부저항으로 인하여 전극선을 통하여 전달되는 신호의 왜곡을 방지할 수 있다.

(57) 청구의 범위

청구항 1.

제1 방향으로 뻗어 있으며 제1 및 제2 선택 신호를 전달하는 제1 및 제2 주사선을 포함하는 복수의 주사선, 상기 주사선에 절연되어 교차하고 제2 방향으로 뻗어 있으며 데이터 신호를 전달하는 복수의 데이터선, 상기 주사선과 상기 데이터선에 각각 연결되는 복수의 화소 회로가 매트릭스 형태로 배열된 표시패널에 영상을 표시하는 발광 표시 장치에 있어서,

상기 화소 회로 각각은,

상기 제1 선택신호에 응답하여 동작하는 제1 및 제2 트랜지스터; 및

상기 제2 선택신호에 응답하여 동작하는 제3 트랜지스터를 포함하고,

상기 주사선들 각각은,

제1 부주사선; 및

상기 제1 부주사선과 동일한 선택신호를 인가하며 상기 제1 부주사선보다 배선펙이 좁은 제2 부주사선을 포함하고,

상기 제1 및 제2 트랜지스터의 제어전극 중 어느 하나는 상기 제1 주사선의 제1 부주사선에 전기적으로 연결되며, 상기 제1 및 제2 트랜지스터의 제어전극 중 다른 하나는 상기 제1 주사선의 제2 부주사선에 전기적으로 연결되며, 상기 제3 트랜지스터의 제어전극은 제2 주사선의 제1 부주사선에 전기적으로 연결되는 발광 표시 장치.

청구항 2.

제1항에 있어서,

상기 제3 트랜지스터는, 하나의 주전극이 상기 데이터선에 전기적으로 접속되고 제어전극에 인가되는 선택신호에 응답하여 상기 데이터신호를 다른 주전극으로 출력하는 발광 표시 장치.

청구항 3.

제1항에 있어서,

상기 화소 회로 각각은

제어전극, 제1 전극 및 제2 전극을 가지며, 상기 제어전극과 상기 제1 전극의 전압차에 대응하는 전류를 제2 전극으로 출력하는 제4 트랜지스터;

상기 제4 트랜지스터의 제2 전극으로부터 출력되는 전류에 대응하여 빛을 방출하는 발광소자;

상기 제4 트랜지스터의 제어전극에 접속되는 일전극을 갖는 제1 커패시터; 및

상기 제4 트랜지스터의 제1 전극에 전기적으로 연결되는 일전극 및 상기 제1 커패시터의 타전극에 전기적으로 연결되는 타전극을 갖는 제2 커패시터를 포함하는 발광 표시 장치.

청구항 4.

제3항에 있어서,

상기 제1 트랜지스터는 상기 제2 커패시터와 병렬 연결되는 트랜지스터이고, 상기 제2 트랜지스터는 상기 제4 트랜지스터를 다이오드 연결시키는 트랜지스터인 발광 표시 장치.

청구항 5.

발광 표시 패널에 있어서,

제1 방향으로 뻗어 있으며 선택 신호를 전달하는 복수의 주사선;

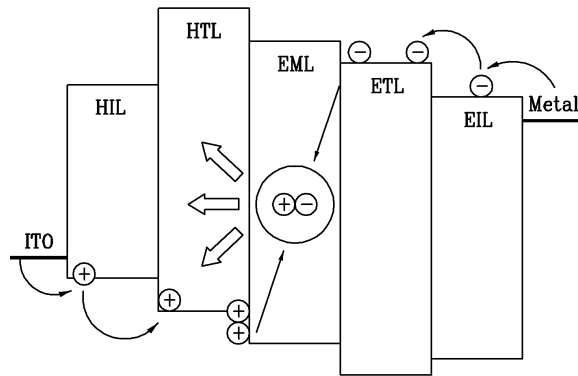
제1 방향으로 뻗어 있으며 서로 인접한 2개의 주사선 사이에 배치되고, 상기 인접한 2개의 주사선 중 어느 하나의 주사선과 동일한 선택신호를 전달하며, 상기 주사선의 배선펙보다 좁은 배선펙을 갖는 복수의 부주사선;

상기 주사선에 절연되어 교차하고 제2 방향으로 뻗어 있으며 데이터 신호를 전달하는 복수의 데이터선; 및

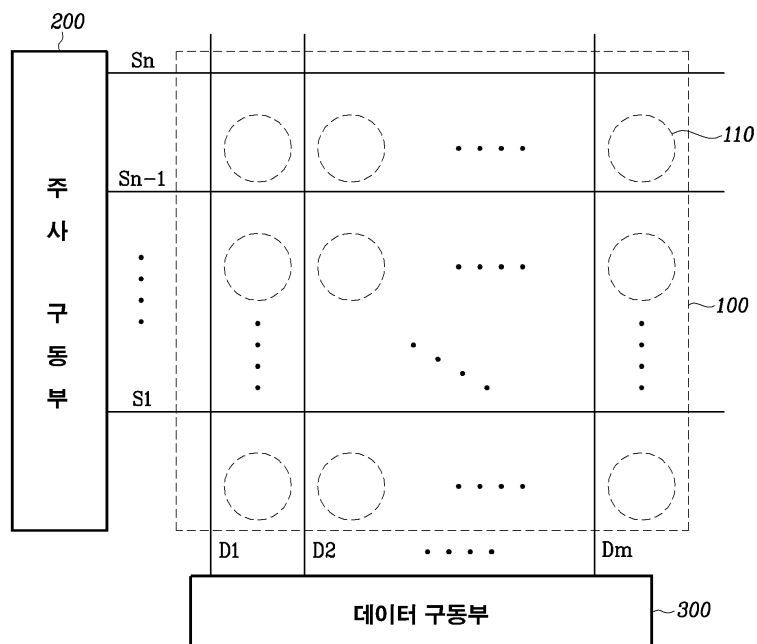
상기 주사선, 상기 부주사선 및 상기 데이터선에 각각 연결되어 매트릭스 형태로 배열되는 복수의 화소 회로를 포함하고,
상기 주사선 각각은 인접한 2개의 화소회로에 각각 연결되는 발광 표시 패널.

도면

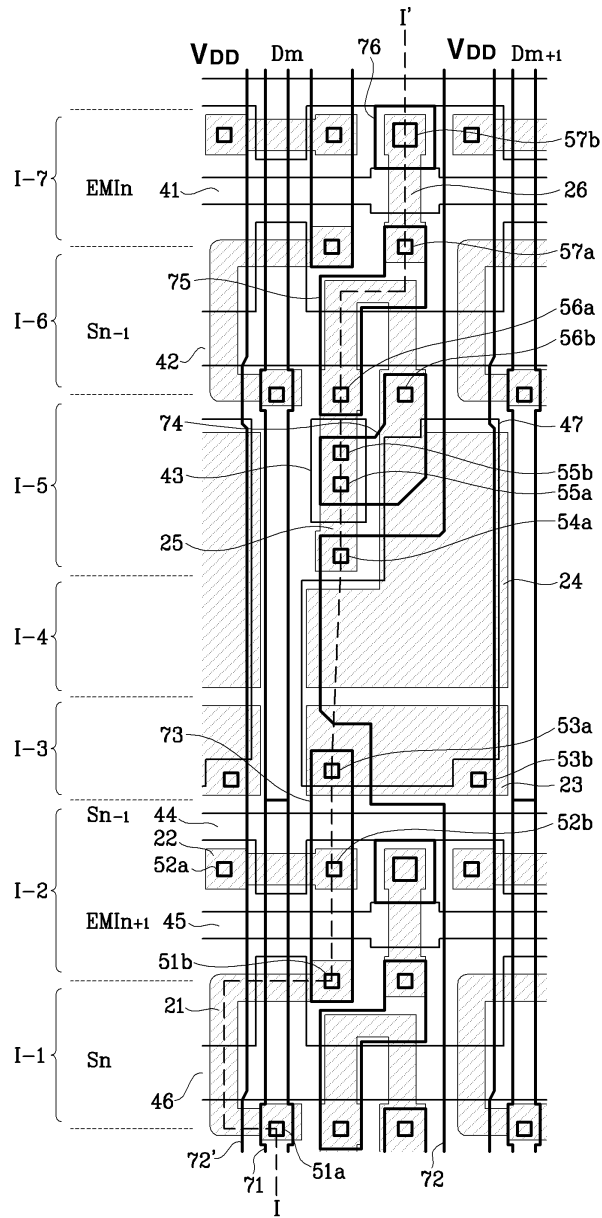
도면1



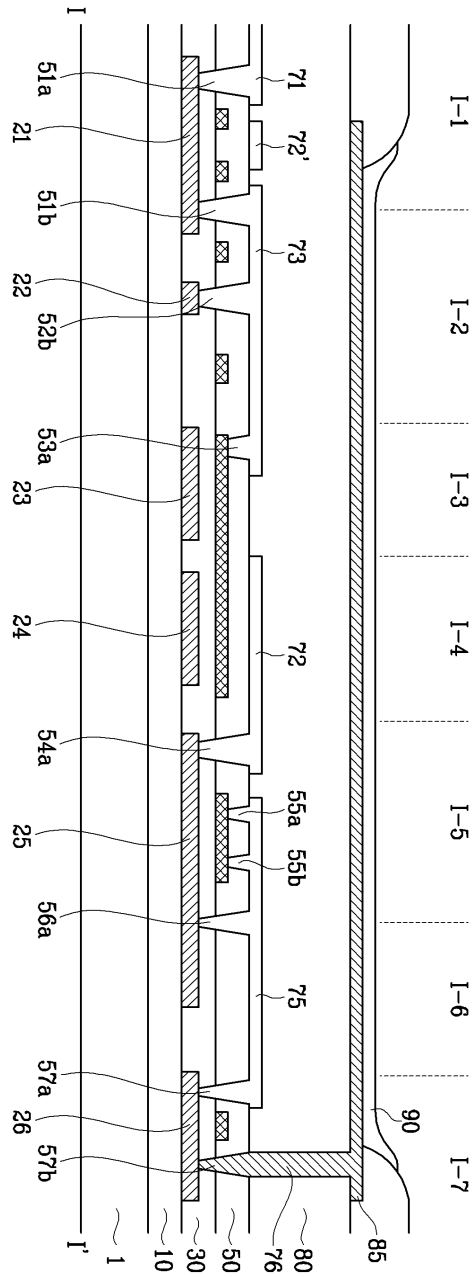
도면2



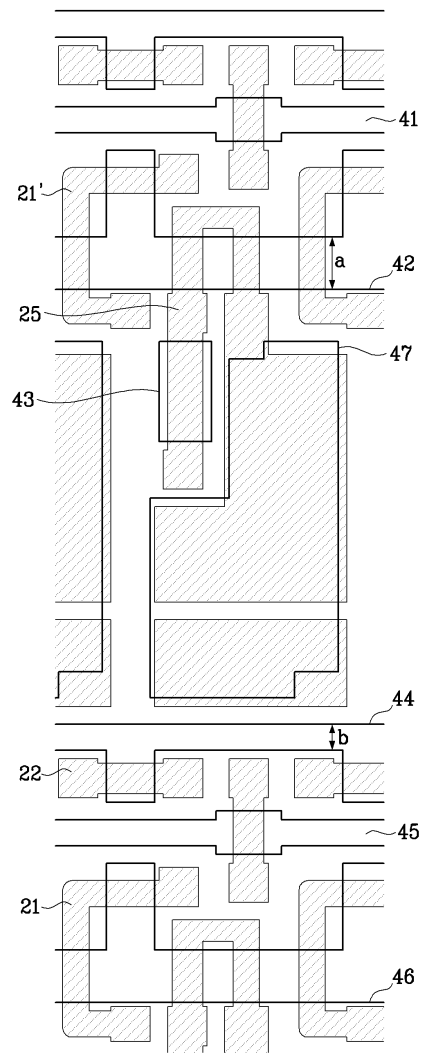
도면5



도면6



도면7



专利名称(译)	发光显示面板和发光显示器		
公开(公告)号	KR1020050104596A	公开(公告)日	2005-11-03
申请号	KR1020040029936	申请日	2004-04-29
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	KWAK WONKYU		
发明人	KWAK,WONKYU		
IPC分类号	H05B33/08		
CPC分类号	Y02B20/343 G06F3/0395		
代理人(译)	您是我的专利和法律公司		
其他公开文献	KR100637431B1		
外部链接	Espacenet		

摘要(译)

本发明提供一种发光显示装置，其中包括在该像素电路中的多个器件有效地布置在像素区域中，而不受驱动晶体管的阈值电压的影响，同时具有可被驱动的像素电路。根据本发明的发光显示装置中的像素电路包括响应于第一线标签信号操作的第一和第二晶体管（M3，M4）以及响应于第二选择信号操作的第三晶体管（M5）。此外，布线宽度包括窄于第一垂直扫描线的第二垂直扫描线，同时分别授权诸如注入的选择信号，第一垂直扫描线和第一垂直扫描线。这里，第一和第二晶体管的控制电极中的任何一个在第一扫描线的第一垂直扫描线中电连接。另一个在第一扫描线的第二垂直扫描线中的第一和第二晶体管的控制电极之间电连接。并且，第三晶体管的控制电极在第二扫描线的第一垂直扫描线中电连接。有机电致发光，有机EL，OLED，像素电路，扫描线。

