

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup>  
G09G 3/30

(11) 공개번호 10-2005-0065946  
(43) 공개일자 2005년06월30일

(21) 출원번호 10-2003-0097117  
(22) 출원일자 2003년12월26일

(71) 출원인 엘지.필립스 엘시디 주식회사  
서울 영등포구 여의도동 20번지

(72) 발명자 김성균  
경기도군포시금정동울곡아파트340-1401

(74) 대리인 허용록

심사청구 : 없음

(54) 일렉트로 루미네센스 패널의 구동방법

요약

본 발명에 의한 일렉트로 루미네센스 패널의 구동방법은, 한 쌍의 스캔라인(제 1스캔라인 및 제 2스캔라인)과, 상기 한 쌍의 스캔라인과 교차되게 배열된 데이터 라인과, 상기 한 쌍의 스캔라인과 데이터 라인의 교차부에 설치되는 EL셀(OLED) 및 상기 EL셀을 구동시키기 위한 EL셀 구동회로가 구비된 화소를 포함하는 EL 패널의 구동방법에 있어서,

n번째 화소에 연결된 제 1스캔라인 및 n+1번째 화소에 연결된 제 1스캔라인에 제 1스캔신호가 소정 부분 중첩되어 인가되는 단계와; 상기 n번째 화소 및 n+1번째 화소에 상기 제 1스캔신호가 중첩 인가되는 중에 제 2스캔신호가 상기 n번째 화소의 제 2스캔라인에 인가되는 단계와; 상기 n번째 화소에 인가되는 상기 제 2스캔신호에 동기되어, 상기 제 2스캔신호의 입력 완료 후 제 2스캔신호가 상기 n+1번째 화소의 제 2스캔라인에 인가되는 단계가 포함되는 것을 특징으로 한다.

대표도

도 5

명세서

도면의 간단한 설명

도 1은 종래의 EL 패널을 개략적으로 도시한 도면.

도 2는 도 1에 도시된 화소 소자의 일 실시예를 도시한 회로도.

도 3은 도 2의 화소 소자를 구동하기 위한 타이밍도.

도 4는 본 발명에 의한 EL 패널에 형성되는 화소 소자를 도시한 회로도.

도 5는 본 발명에 의한 EL 패널의 화소 소자를 구동하기 위해 인가되는 신호의 타이밍도.

도 6은 본 발명에 의한 EL 패널의 화소 소자를 구동하기 위해 인가되는 다른 실시예에 의한 신호의 타이밍도.

<도면의 주요 부분에 대한 부호의 설명>

46 : EL셀 구동회로

발명의 상세한 설명

발명의 목적

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 일렉트로 루미네센스 패널에 관한 것으로, 특히 전류 구동형 일렉트로 루미네센스 패널에서 전류 미러를 형성하는 박막트랜지스터의 폭 비율을 크게하면서, 개구율 감소를 극복하는 일렉트로 루미네센스 패널의 구동방법에 관한 것이다.

최근 들어 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판표시장치들이 개발되고 있다.

이러한 평판표시장치들로는 액정표시장치(Liquid Crystal Display : 이하 LCD), 전계 방출 표시장치(Field Emission Display), 플라즈마 디스플레이 패널(Plasma Display Panel : 이하 PDP) 및 일렉트로 루미네센스(Electro-Luminescence : 이하 EL) 표시장치 등이 있으며, 이와 같은 상기 평판표시장치에 대해서 표시 품질을 높이고, 대화면화를 시도하는 연구들이 활발히 진행되고 있다.

상기 평판표시장치 중 EL 소자는 스스로 발광하는 자발광소자로, 전자 및 정공 등의 캐리어를 이용하여 형광물질을 여기 시킴으로써, 화상 또는 영상을 표시하게 되며, 직류 저전압으로 구동이 가능하고 응답속도가 빠른 장점이 있다.

도 1은 종래의 EL 패널을 개략적으로 도시한 도면이다.

도 1을 참조하면, EL 패널은 기판(10) 상에 서로 교차되게 배열되는 게이트 라인들(GL1 내지 GLm) 및 데이터 라인(DL1 내지 DLn)과, 게이트 라인들(GL1 내지 GLm)과 데이터 라인(DL1 내지 DLn)의 교차부들 각각에 배열되어진 화소 소자들(PE)이 구비되어 있다.

상기 화소 소자들(PE) 각각은 게이트 라인들(GL1 내지 GLn)의 게이트 신호들이 인에이블(enable)될 때에 구동되어 데이터 라인(DL)상의 화소 신호의 크기에 상응하는 빛을 발생하게 된다.

이러한 EL 패널을 구동하기 위하여 게이트 드라이버(12)가 게이트 라인들(GL1 내지 GLm)에 접속됨과 아울러 데이터 드라이버(14)가 데이터 라인들(DL1 내지 DLn)에 접속되며, 상기 게이트 드라이버(12)는 게이트 라인들(GL1 내지 GLm)을 순차적으로 구동시키고, 데이터 드라이버(14)는 데이터 라인들(DL1 내지 DLn)을 통해 화소들(PE)에 화소신호를 공급하게 된다.

도 2는 도 1에 도시된 화소 소자의 일 실시예를 도시한 회로도로서, 이는 전류 구동형 EL 패널의 한 화소 소자(PE)에 대한 회로 구조이다.

도 2를 참조하면, 상기 화소 소자(PE)는 게이트 라인(GL)과 데이터 라인(DL)의 교차부에 적용된 구동회로로 4개의 TFT(T1, T2, T3, T4)로 구성되며, 이는 기저전위원(GND)에 접속되어진 EL 셀(OLED)과, EL 셀(OLED) 및 데이터 라인(DL) 사이에 접속되어진 EL 셀(OLED) 구동회로(16)를 구비한다. 상기 EL 셀 구동회로(16)는 EL 셀(OLED), 공급전압라인(VDD)에 전류 미러를 형성하게 접속되어진 제1 및 제2 PMOS TFT(T1, T2)와; 제1 PMOS TFT(T1), 데이터 라인(DL) 및 게이트 라인(GL)에 접속되어 게이트 라인(GL) 상의 신호에 응답되는 제3 PMOS TFT(T3)와; 제1 PMOS TFT(T1) 및 제2 PMOS TFT(T2)의 게이트 전극, 게이트 라인(GL) 및 제3 PMOS TFT(T3)에 접속되는 제4 PMOS TFT(T4); 제1 PMOS TFT(T1) 및 제2 PMOS TFT(T2)의 게이트 전극과 공급전압라인(VDD) 사이에 접속되어진 캐패시터(C<sub>ST</sub>)를 구비한다.

이의 동작을 살펴보면, 게이트 라인(GL)에 도 3에서와 같이 로우(LOW) 입력신호가 입력되면 제3 PMOS TFT(T3)와 제4 PMOS TFT(T4)이 턴-온 된다. 제3 PMOS TFT(T3)와 제4 PMOS TFT(T4)가 턴-온 되면 데이터 라인(DL)으로부터 스캔신호와 동기되게 입력되는 일정한 크기를 가진 비디오 신호가 제3 PMOS TFT(T3)와 제4 PMOS TFT(T4)를 통하여 캐패시터(Cst)에 충전된다.

상기 캐패시터(Cst)는 제1 PMOS TFT(T1) 및 제2 PMOS TFT(T2)의 게이트 전극과 공급전압(VDD)에 접속되어 게이트 라인(GL)의 로우입력 시간동안 데이터 라인(DL)으로부터 공급되는 비디오 신호를 충전한다.

또한, 상기 캐패시터(Cst)는 데이터라인(DL)으로부터 공급되어 충전된 비디오신호를 1 프레임 동안 홀딩(Holding) 시킨다. 이러한 홀딩시간으로 인해 데이터라인(DL)에서 공급되는 비디오신호가 EL 셀(OLED)에 공급되는 것을 캐패시터(Cst)에 의해 유지하게 된다. 또한 이러한 구조에서도 RGB 등의 각 비디오신호가 입력되는 만큼 각 화상신호를 입력하는 데이터 라인(DL)의 수가 구비되어야 한다.

1프레임 동안 홀드된 후 캐패시터(Cst)에 충전된 비디오 신호는 EL 셀(OLED)에 공급되어 표시패널 상에 영상을 표시하게 된다.

그러나 종래의 기술의 경우에는 데이터 라인(DL)으로 입력되는 구동전류(Id)로 매우 작은 전류를 사용하기 때문에 제한된 게이트라인 주사시간 안에 구동전류(Id)로 스토리지 캐패시터(Cst)를 충/방전 시켜 해당전압으로 바꾸어 주는 데에 어려움이 있다. 여기서 게이트라인 주사시간은 제3 및 제4 PMOS TFT(T3, T4)가 동시에 턴-온 되어 있는 시간을 말한다.

또한, 상기와 같은 전류 미러 회로에서 상기 제1 PMOS TFT(T1)와 제2 PMOS TFT(T2)의 폭(Width)과 길이(Length)의 비율이 같다면 같은 크기의 전류가 제1 PMOS TFT(T1)와 제2 PMOS TFT(T2)로 흐른다.

그러나, 제1 PMOS TFT(T1)와 제2 PMOS TFT(T2)의 비율이 K:1 이라면 제2 PMOS TFT(T2)로 흐르는 전류 즉, EL 셀(OLED)에 인가되는 전류( $I_{OLED}$ )는 제1 PMOS TFT(T1)로 흐르는 전류( $I_d$ )의 1/K 배의 크기를 가지는 전류가 흐르게 된다.

여기서, K는 제 1 PMOS TFT(T1)의 폭과 길이의 비율 대 제 2 PMOS TFT(T2)의 폭과 길이의 비율이다( $W1/L1 : W2/L2$ ).

따라서, 상기 EL 셀(OLED)을 통해 흐르는 전류( $I_{OLED}$ )와 데이터 라인을 통해 흐르는 전류( $I_d$ )는, 상기 T2와 T1의 폭 (Width) 비에 비례하게 되고, 상기 비율을 크게 할수록 즉, T1의 폭을 크게 할수록 데이터 라인을 통해 공급되는 전류( $I_d$ )의 양을 비례하여 증가시킬 수 있어 큰 부하의 데이터 라인을 충전이 가능하게 된다.

그러나, 상기 T1의 폭이 커지게 되면 그에 따라 T1의 크기도 커지게 되어 결과적으로 화소의 개구율이 감소한다는 문제가 있다.

또한, 상기 구조에서 제3 및 제4 PMOS TFT(T3,T4)는 동일한 하나의 게이트 라인에 연결되어 상기 게이트 라인에 인가되는 게이트 신호에 따라 동시에 턴-온 되는데, 이 경우 상기 게이트 라인의 저항이 상기 게이트 라인을 따라 점진적으로 증가하기 때문에 게이트 신호가 지연 및 왜곡되는 문제점이 발생하게 된다.

이러한 게이트 신호의 지연 및 왜곡은 상기 캐패시터의 충전된 전압과 좌우 휘도차 값에 영향을 주어, 패널 전체적으로 휘도 및 화질이 저하되는 문제점이 있다.

### 발명이 이루고자 하는 기술적 과제

본 발명은 전류 구동형 일렉트로 루미네센스 패널에 있어서, 상, 하로 인접한 화소의 제 1 스캔 신호를 소정 구간 중첩하여 구동함으로써, 상기 이웃하는 화소에 각각 구비된 전류 미러를 형성하는 박막트랜지스터(T1)가 병렬로 연결되어 상기 박막트랜지스터의 폭이 증가하는 효과가 발생되며, 그에 따라 개구율 감소를 극복하는 일렉트로 루미네센스 패널의 구동 방법을 제공함에 그 목적이 있다.

### 발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명에 의한 일렉트로 루미네센스 패널의 구동방법은, 한 쌍의 스캔라인(제 1스캔라인 및 제 2스캔라인)과, 상기 한 쌍의 스캔라인과 교차되게 배열된 데이터 라인과, 상기 한 쌍의 스캔라인과 데이터 라인의 교차부에 설치되는 EL셀(OLED) 및 상기 EL셀을 구동시키기 위한 EL셀 구동회로가 구비된 화소를 포함하는 EL 패널의 구동방법에 있어서,

n번째 화소에 연결된 제 1스캔라인 및 n+1번째 화소에 연결된 제 1스캔라인에 제 1스캔신호가 소정 부분 중첩되어 인가되는 단계와; 상기 n번째 화소 및 n+1번째 화소에 상기 제 1스캔신호가 중첩 인가되는 중에 제 2스캔신호가 상기 n번째 화소의 제 2스캔라인에 인가되는 단계와; 상기 n번째 화소에 인가되는 상기 제 2스캔신호에 동기되어, 상기 제 2스캔신호의 입력 완료 후 제 2스캔신호가 상기 n+1번째 화소의 제 2스캔라인에 인가되는 단계가 포함되는 것을 특징으로 한다.

여기서, 상기 EL셀 구동회로는, 공급전압라인(VDD)에 전류 미러를 형성하게 접속되어진 제1 및 제2 구동 박막트랜지스터(D1, D2)와; 상기 제1 구동 TFT(D1), 데이터 라인(DL) 및 제 1 스캔라인(SCAN1)에 접속되어 제 1스캔라인(SCAN1)으로부터의 신호에 응답되는 제 1 스위칭 TFT(S1)와; 상기 제 1 스위칭 TFT(S1)에 직렬로 연결되고 제 2 스캔라인(SCAN2)에 접속되어 제 2 스캔라인(SCAN2) 상의 신호에 응답되는 제 2 스위칭 TFT(S2)와; 제2 구동 TFT(D2)의 게이트 전극과 공급전압라인(VDD) 사이에 접속되어진 스토리지 캐패시터( $C_s$ )가 포함되어 있다.

또한, 상기 순차적으로 인가되는 제 2스캔신호와 동기되어 일정한 크기를 가진 비디오 신호가 상기 각 화소에 인가되는 단계가 더 포함되는 것을 특징으로 한다.

또한, 상기 n+1번째 화소에 중첩 인가되는 상기 제 1스캔신호는, 상기 n번째 화소에 인가되는 제 1스캔신호와 동시에 인가될 수 있다.

또한, 상기 n번째 화소에 인가되는 제 2스캔신호는 상기 n번째 화소에 인가되는 제 1스캔신호와 동시에 인가될 수 있다.

또한, 상기 제 2스캔신호의 펄스폭은 상기 제 1스캔신호의 펄스폭의 1/2일 수 있다.

이와 같은 본 발명에 의하면, 전류 미러를 형성하는 박막트랜지스터의 폭이 증가하는 효과가 발생하며, 그에 따라 개구율 감소를 극복하여, 고 개구율에 의한 휘도 및 화질이 향상된다.

이하 첨부된 도면을 참조하여 본 발명에 의한 실시예를 상세히 설명하도록 한다.

도 4는 본 발명에 의한 EL 패널에 형성되는 화소 소자를 도시한 회로도로서, 이는 전류 구동형 EL 패널에 대해 상, 하로 인접한 소정 화소 소자들의 회로 구조를 나타내고 있다.

도 4를 참조하면, 상기 화소 소자들은 게이트 라인(SCAN1, SCAN2)과 데이터 라인(DL)의 교차부에 각각 구비되어 있으며, 이는 기저전위원(GND)에 접속되어진 EL 셀(OLED)과, EL 셀(OLED) 및 데이터 라인(DL) 사이에 접속되어진 EL 셀(OLED) 구동회로(46)를 구비한다.

본 발명의 경우 상기 게이트 라인(SCAN1, SCAN2)은 한 쌍으로 형성되어 있으며, 그에 따라 각 화소에는 제 1 스캔라인(SCAN1\_n, SCAN1\_n+1, ...) 및 제 2 스캔라인(SCAN2\_n, SCAN2\_n+1, ...)이 연결된다.

또한, 상기 EL 셀 구동회로(46)는 한 쌍의 스위칭 박막트랜지스터(switching TFT)와, 한 쌍의 구동 박막트랜지스터(driving TFT) 및 캐패시터(Cs)로 구성되며, 상기 한 쌍의 스위칭 TFT는 제 1 스위칭 TFT(S1) 및 제 2 스위칭 TFT(S2)로 나뉘고, 상기 한 쌍의 구동 박막트랜지스터는 제 1 구동 TFT(D1) 및 제 2 구동 TFT(D2)로 나뉜다.

여기서, 상기 제 1 스위칭 TFT(S1)의 게이트 전극은 상기 제 1 스캔라인(SCAN1)에 연결되고, 소스 전극은 데이터 라인에 연결되어 있으며, 상기 제 2 스위칭 TFT(S2)는 제 1 스위칭 TFT(S1)과 직렬 연결되어 있다.

또한, 제 2 스위칭 TFT(S2)의 게이트 전극은 상기 제 2스캔라인(SCAN2)에 연결되어 있으며, 제 2 스위칭 TFT(S2)의 드레인 전극은 서로 마주보는 제 1 및 제 2 구동 TFT(D1, D2)에서 제 2 구동 TFT(D2)의 게이트 전극과 연결되어 있고, 제 2 구동 TFT(D2)의 드레인 전극은 EL 셀(OLED)의 애노드 전극과 연결되어 있다.

또한, 제 1 구동 TFT(D1)의 게이트 전극과, 드레인 전극은 직렬 연결된 제 1 및 2 스위칭 TFT(S1, S2)의 사이 즉, 제 1 스위칭 TFT(S1)의 드레인 전극과, 제 2 스위칭 TFT(S2)의 소스 전극에 연결되어 있으며, 결과적으로 상기 제 1 구동 TFT(D1)은 다이오드의 역할을 하게 된다.

또한, 제 1 및 제 2 구동 TFT(D1, D2)의 소스 전극은 공급전압라인(VDD)과 연결되어 있고, EL 셀(OLED)의 캐소드 전극은 접지되어 있으며, 스토리지 캐패시터(Cs)는 상기 제 2 구동 TFT(D2)의 게이트 전극과, 제 1 및 제 2 구동 TFT(D1, D2)의 소스 전극에 연결되어 있다.

즉, 상기 화소 소자는 EL 셀(OLED)과; 공급전압라인(VDD)에 전류 미러를 형성하게 접속되어진 제1 및 제2 구동 TFT(D1, D2)와; 제1 구동 TFT(D1), 데이터 라인(DL) 및 제 1 스캔라인(SCAN1)에 접속되어 제 1스캔라인(SCAN1) 상의 신호에 응답되는 제 1 스위칭 TFT(S1)와; 제 1 스위칭 TFT(S1)에 직렬로 연결되고 제 2 스캔라인(SCAN2)에 접속되어 제 2 스캔라인(SCAN2) 상의 신호에 응답되는 제 2 스위칭 TFT(S2)와; 제2 구동 TFT(D2)의 게이트 전극과 공급전압라인(VDD) 사이에 접속되어진 스토리지 캐패시터(Cs)를 구비한다.

여기서, 상기 제 1 구동 TFT(D1)의 게이트 전극과, 드레인 전극은 직렬 연결된 제 1 및 2 스위칭 TFT(S1, S2)의 사이에 연결되어 있어 결과적으로 다이오드의 역할을 하게 된다.

도 5는 본 발명의 일 실시예에 의한 EL 패널의 화소 소자를 구동하기 위해 인가되는 신호의 타이밍도이다.

단, 도 5는 설명의 편의를 위하여 인접하는 2개의 화소에 대한 제 1스캔신호를 중첩하여 구동함을 설명하고 있으나, 이는 하나의 실시예로 반드시 이에 한정되는 것은 아니다.

도 4 및 5를 참조하여 본 발명에 의한 EL 패널의 화소 소자의 동작을 설명하면 다음과 같다.

도 5에 도시된 바와 같이, n번째 화소에 대해 제 1스캔라인에 로우(low) 입력신호(제 1스캔신호(SCAN1\_n))가 입력될 때, n+1번째 화소에 대한 제 1스캔라인에 대해서도 이와 동일한 펄스폭을 갖는 로우 입력신호(SCAN1\_n+1)가 중첩되어 입력된다.

또한, 상기 n번째 화소에 대한 상기 제 2스캔라인의 입력신호(제 2스캔신호(SCAN2\_n))는 상기 제 1스캔신호(SCAN1\_n)와 동시에 입력되기는 하나 그 펄스폭이 상기 제 1스캔신호 펄스폭보다 적으며, 상기 n+1번째 화소에 대한 상기 제 2스캔라인의 입력신호(SCAN2\_n+1)는 상기 n번째 화소에 입력되는 제 2스캔신호(SCAN2\_n)에 동기되어 상기 제 2스캔신호(SCAN2\_n)의 입력이 완료된 후 입력된다. 즉, 제 2스캔신호(SCAN2\_n, SCAN2\_n+1, SCAN2\_n+2, SCAN2\_n+3 ...)는 순차적으로 각 화소에 인가된다.

또한, 상기 순차적으로 인가되는 제 2스캔신호(SCAN2\_n, SCAN2\_n+1, SCAN2\_n+2, SCAN2\_n+3 ...)와 동기되어 일정한 크기를 가진 비디오 신호도 상기 각 화소에 인가되며, 이는 제 1 및 2 스위칭 TFT(S1, S2)를 통하여 캐패시터(Cs)에 충전된다. 상기와 같은 신호의 입력은 도 5에 도시된 바와 같이 이후 n+2, n+3 번째 화소에 대해서도 동일한 방식으로 이루어진다.

결과적으로, 상, 하로 인접하는 화소(n번째 화소와 n+1번째 화소, n+2번째 화소와 n+3번째 화소, ...)에 대해 입력되는 제 1스캔신호(SCAN1\_n, SCAN1\_n+1)는 상기 상, 하로 각각 인접하는 화소에 동일한 펄스폭을 갖으며 중첩되어 인가되고, 그에 반해 제 2스캔신호(SCAN2)는 화소의 상, 하 인접 여부에 관계없이 위에서 아래로 즉, n번째 화소에서 n+1번째 화소 순으로 순차적으로 소정의 펄스 폭을 갖으며 인가된다.

여기서, 일례로 상기 제 2스캔신호(SCAN2)의 펄스폭은 상기 제 1스캔신호(SCAN1)의 펄스폭의 반으로 구동될 수 있다. 단, 이는 하나의 실시예로 이에 한정된 것은 아니다.

다만, 피드 쓰루(feed through)에 의한 왜곡을 줄이기 위해 제 2스캔신호를 제 1스캔신호 보다 작게 구동하는 것이 바람직하다.

상기와 같은 방식 즉, 상, 하로 인접한 화소에 제 1스캔신호(SCAN1\_n, SCAN1\_n+1)를 중첩 구동하게 되면, 상기 제 1스캔신호(SCAN1\_n, SCAN1\_n+1)가 인가될 때, 상, 하로 인접한 화소(일례로 n번째 화소와 n+1번째 화소)의 제 1 스위칭 TFT가 동시에 턴-온(turn-on)된다.

이와 같이 상기 상, 하로 인접한 화소의 제 1 스위칭 TFT가 동시에 턴-온되면, n번째 화소의 제 1 구동 TFT와 n+1번째 화소의 제 1 구동 TFT가 병렬로 연결되게 된다.

또한, 상기 n번째 화소에 인가되는 제 2스캔신호(SCAN2\_n)는 상기 제 1스캔신호(SCAN1\_n)와 동시에, 제 1스캔신호(SCAN1\_n)의 펄스폭보다 적은 펄스폭을 갖으며 입력되고, 상기 제 2스캔신호(SCAN2\_n)가 입력된 후에는, 순차적으로 상기 n+1번째 화소에 상기 n번째 화소에 입력된 제 2스캔신호와 같은 펄스폭을 갖는 제 2스캔신호(SCAN2\_n+1)가 신호가 입력된다.

따라서, 상기 제 1스캔신호(SCAN1\_n, SCAN1\_n+1, ...)가 상, 하로 인접한 화소에 중첩되어 인가되어도 각 화소에 순차적으로 인가되는 제 2스캔신호(SCAN2\_n, SCAN2\_n+1, ...)가 존재하고, 상기 제 2스캔신호(SCAN2\_n, SCAN2\_n+1, ...)에 의해 턴-온(turn-on)되는 제 2 스위칭 TFT(S2)가 제 2 구동 TFT(D2)를 제어하기 때문에 결과적으로 각 화소의 독립적인 동작은 보장된다.

또한, 상기 상, 하로 인접한 화소에 제 1스캔신호(SCAN1\_n, SCAN1\_n+1)를 중첩 구동하여 상기 제 1 스위칭 TFT가 동시에 턴-온(turn-on)되면, 상기 제 1스위칭 TFT를 통해 데이터 라인으로부터 인가되는 비디오 신호가 상기 n번째 화소의 제 1 구동 TFT 및 n+1번째 화소의 제 1 구동 TFT에 동시에 인가되게 된다. 즉, 상기 n번째 화소의 제 1 구동 TFT 및 n+1번째 화소의 제 1 구동 TFT는 병렬로 연결된다.

이 때, 제 1스캔신호(SCAN1\_n, SCAN1\_n+1)가 중첩 인가되는 중에 n번째 화소에 제 2스캔신호(SCAN2\_n)가 인가되면, 상기 n번째 화소는 구동하게 되는데, 여기서 n번째 화소의 제 1 구동 TFT(D1)는 상기 n+1번째 화소의 제 1 구동 TFT(D1')와 병렬로 연결된 상태이므로, 결과적으로 상기 n번째 화소의 제 1 구동 TFT(D1)의 폭이 2배로 증가하는 효과가 발생하여 결국 데이터 라인의 전류도 2배로 증가시킬 수 있게 된다.

마찬가지로 제 1스캔신호(SCAN1\_n, SCAN1\_n+1)가 중첩 인가되는 중에 n+1번째 화소에 제 2스캔신호(SCAN2\_n+1)가 인가되면, 상기 n+1번째 화소는 구동하게 되는데, 여기서 n+1번째 화소의 제 1 구동 TFT(D1)는 상기 n번째 화소의 제 1 구동 TFT(D1)와 병렬로 연결된 상태이므로, 결과적으로 상기 n+1번째 화소의 제 1 구동 TFT(D1')의 폭이 2배로 증가하는 효과가 발생하여 결국 데이터 라인의 전류도 2배로 증가시킬 수 있게 된다.

도 6은 본 발명에 의한 EL 패널의 화소 소자를 구동하기 위해 인가되는 다른 실시예에 의한 신호의 타이밍도이다.

이는 도 5를 통해 설명한 방식과 동일한 방식으로 화소를 구동하여 각 화소의 제 1 구동 TFT의 폭을 2배로 증가하는 효과를 발생시켜 데이터 라인의 전류도 2배로 증가시키도록 하는 것이다.

즉, 상, 하로 인접한 화소에 제 1스캔신호(SCAN1\_n, SCAN1\_n+1, ...)를 중첩적으로 인가하는 것인데, 다만 도 6의 실시예는 도 5에 도시된 바와 같이 동일한 펄스폭을 같은 제 1스캔신호(SCAN1\_n, SCAN1\_n+1, ...)를 동시에 중첩하여 인가하는 것이 아니라, 소정 부분에 대해서만 중첩되도록 일정한 시간차를 두고 상기 제 1스캔신호(SCAN1\_n, SCAN1\_n+1, ...)를 인가하는 것이다.

이에 따라 도 4 및 도 6을 참조하면, n번째 화소 및 n+1번째 화소에 제 1스캔신호(SCAN1\_n, SCAN1\_n+1)가 중첩 인가되는 중에 n번째 화소에 제 2스캔신호(SCAN2\_n)가 인가되면, 상기 n번째 화소는 구동하게 되는데, 여기서 n번째 화소의 제 1 구동 TFT(D1)는 상기 n+1번째 화소의 제 1 구동 TFT(D1')와 병렬로 연결된 상태이므로, 결과적으로 상기 n번째 화소의 제 1 구동 TFT(D1)의 폭이 2배로 증가하는 효과가 발생하여 결국 데이터 라인의 전류도 2배로 증가시킬 수 있게 된다.

마찬가지로 n+1번째 화소 및 n+2번째 화소에 제 1스캔신호(SCAN1\_n, SCAN1\_n+1)가 중첩 인가되는 중에 n+1번째 화소에 제 2스캔신호(SCAN2\_n+1)가 인가되면, 상기 n+1번째 화소는 구동하게 되는데, 여기서 n+1번째 화소의 제 1 구동 TFT(D1')는 상기 n+2번째 화소의 제 1 구동 TFT(D1'')와 병렬로 연결된 상태이므로, 결과적으로 상기 n+1번째 화소의 제 1 구동 TFT(D1')의 폭이 2배로 증가하는 효과가 발생하여 결국 데이터 라인의 전류도 2배로 증가시킬 수 있게 되는 것이다.

상기 설명한 본 발명의 실시예는 본 발명에 의한 일렉트로 루미네센스의 구동방법을 설명하기 위한 예시적인 것에 불과하며, 당해 분야에서 통상의 지식을 가진 자라면 이로부터 다양하고 균등한 예가 가능하다는 것을 이해할 것이다. 따라서, 본 발명의 진정한 권리범위는 특허청구범위에 의해 정해져야 할 것이다.

### 발명의 효과

본 발명에 의한 일렉트로 루미네센스의 구동방법에 의하면, 전류 미러를 형성하는 박막트랜지스터의 폭이 증가하는 효과가 발생하며, 그에 따라 개구율 감소를 극복하여, 고 개구율에 의한 휘도 및 화질이 향상된다는 장점이 있다.

### (57) 청구의 범위

### 청구항 1.

한 쌍의 스캔라인(제 1스캔라인 및 제 2스캔라인)과, 상기 한 쌍의 스캔라인과 교차되게 배열된 데이터 라인과, 상기 한 쌍의 스캔라인과 데이터 라인의 교차부에 설치되는 EL셀(OLED) 및 상기 EL셀을 구동시키기 위한 EL셀 구동회로가 구비된 화소를 포함하는 EL 패널의 구동방법에 있어서,

n번째 화소에 연결된 제 1스캔라인 및 n+1번째 화소에 연결된 제 1스캔라인에 제 1스캔신호가 소정 부분 중첩되어 인가되는 단계와,

상기 n번째 화소 및 n+1번째 화소에 상기 제 1스캔신호가 중첩 인가되는 중에 제 2스캔신호가 상기 n번째 화소의 제 2스캔라인에 인가되는 단계와,

상기 n번째 화소에 인가되는 상기 제 2스캔신호에 동기되어, 상기 제 2스캔신호의 입력 완료 후 제 2스캔신호가 상기 n+1번째 화소의 제 2스캔라인에 인가되는 단계가 포함되는 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동방법.

### 청구항 2.

제 1항에 있어서,

상기 EL셀 구동회로는, 공급전압라인(VDD)에 전류 미러를 형성하게 접속되어진 제1 및 제2 구동 박막트랜지스터(D1, D2)와; 상기 제1 구동 TFT(D1), 데이터 라인(DL) 및 제 1 스캔라인(SCAN1)에 접속되어 제 1스캔라인(SCAN1)으로부터의 신호에 응답되는 제 1 스위칭 TFT(S1)와; 상기 제 1 스위칭 TFT(S1)에 직렬로 연결되고 제 2 스캔라인(SCAN2)에 접속되어 제 2 스캔라인(SCAN2) 상의 신호에 응답되는 제 2 스위칭 TFT(S2)와; 제2 구동 TFT(D2)의 게이트 전극과 공급전압라인(VDD) 사이에 접속되어진 스토리지 캐패시터(C<sub>S</sub>)가 포함되어 있음을 특징으로 하는 일렉트로 루미네센스 패널의 구동방법.

### 청구항 3.

제 1항에 있어서,

상기 순차적으로 인가되는 제 2스캔신호와 동기되어 일정한 크기를 가진 비디오 신호가 상기 각 화소에 인가되는 단계가 더 포함되는 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동방법.

### 청구항 4.

제 1항에 있어서,

상기 n+1번째 화소에 중첩 인가되는 상기 제 1스캔신호는, 상기 n번째 화소에 인가되는 제 1스캔신호와 동시에 인가됨을 특징으로 하는 일렉트로 루미네센스 패널의 구동방법.

### 청구항 5.

제 1항에 있어서,

상기 n번째 화소에 인가되는 제 2스캔신호는 상기 n번째 화소에 인가되는 제 1스캔신호와 동시에 인가됨을 특징으로 하는 일렉트로 루미네센스 패널의 구동방법.

### 청구항 6.

제 1항에 있어서,

상기 제 2스캔신호의 펄스폭은 상기 제 1스캔신호의 펄스폭의 1/2임을 특징으로 하는 일렉트로 루미네센스 패널의 구동방법.

### 청구항 7.

제 1항에 있어서,

상기 n번째 화소에 연결된 제 1스캔라인 및 n+ 1번째 화소에 연결된 제 1스캔라인에 동일한 펄스폭을 갖는 제 1스캔신호가 소정 부분 중첩되어 인가됨을 특징으로 하는 일렉트로 루미네센스 패널의 구동 방법.

**청구항 8.**

제 1항에 있어서,

상기 n번째 화소 및 n+ 1번째 화소에 상기 제 1스캔신호가 중첩 인가되는 중에 상기 제 1신호의 펄스폭보다 적은 펄스폭을 갖는 제 2스캔신호가 상기 n번째 화소의 제 2스캔라인에 인가됨을 특징으로 하는 일렉트로 루미네센스 패널의 구동 방법.

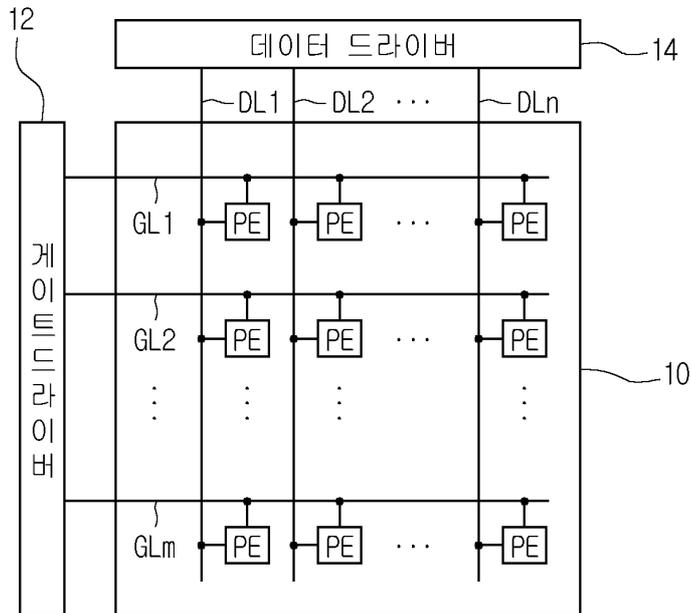
**청구항 9.**

제 1항에 있어서,

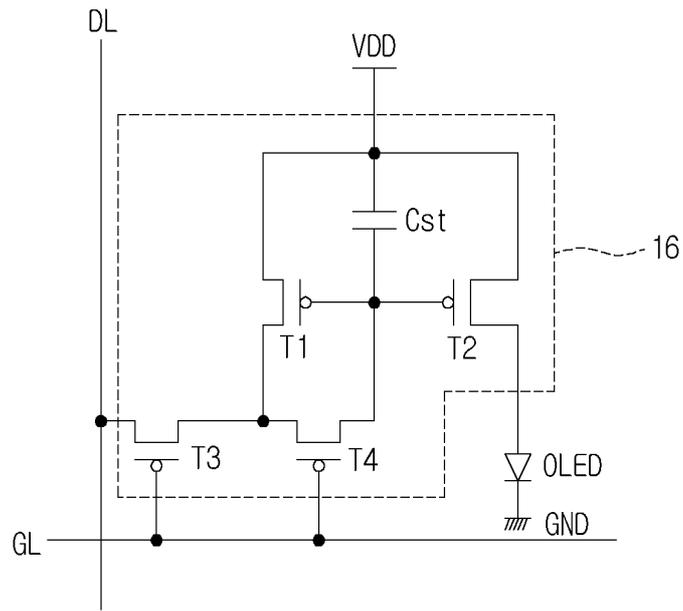
상기 n번째 화소에 인가되는 상기 제 2스캔신호에 동기되어, 상기 제 2스캔신호의 입력 완료 후 상기 제 2스캔신호와 동일한 펄스폭을 갖는 제 2스캔신호가 상기 n+ 1번째 화소의 제 2스캔라인에 인가됨을 특징으로 하는 일렉트로 루미네센스 패널의 구동 방법.

도면

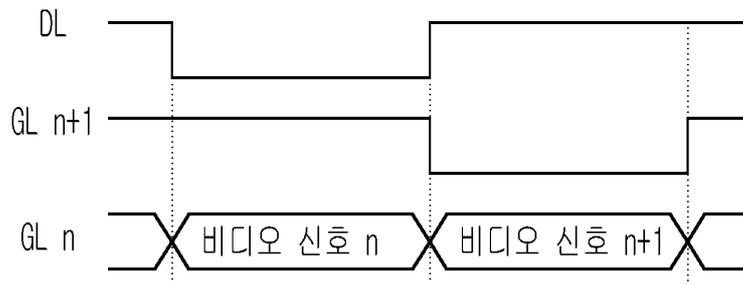
도면1



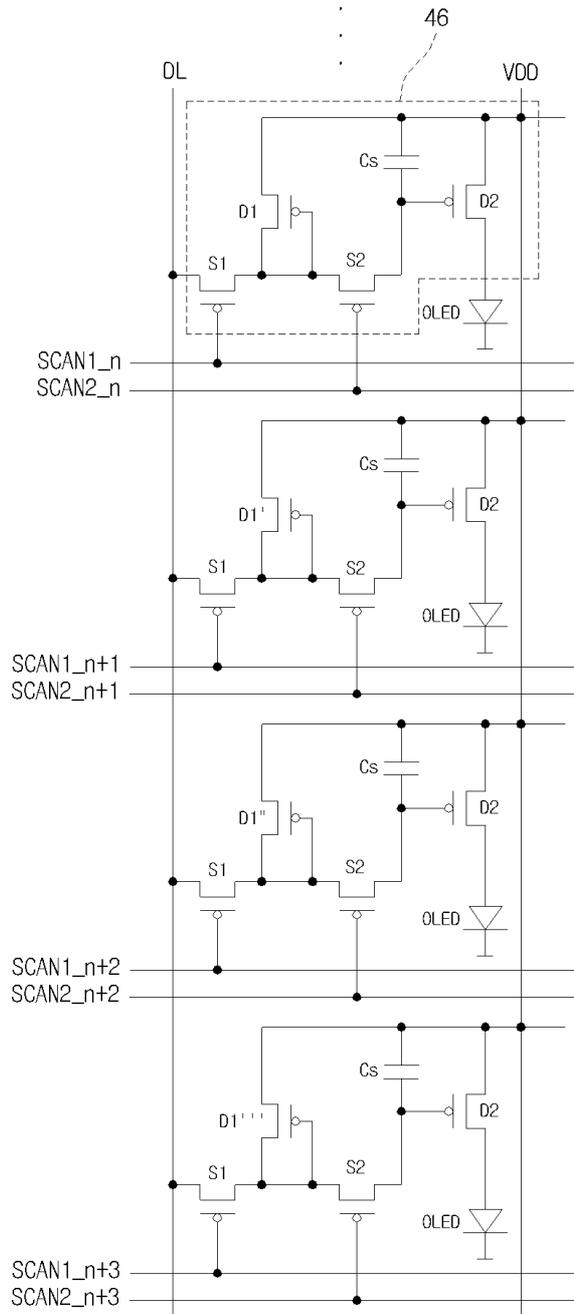
도면2



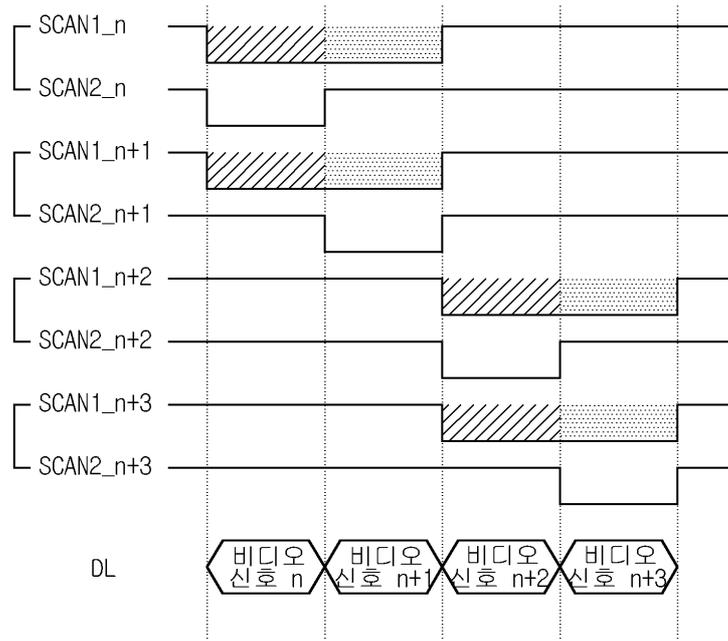
도면3



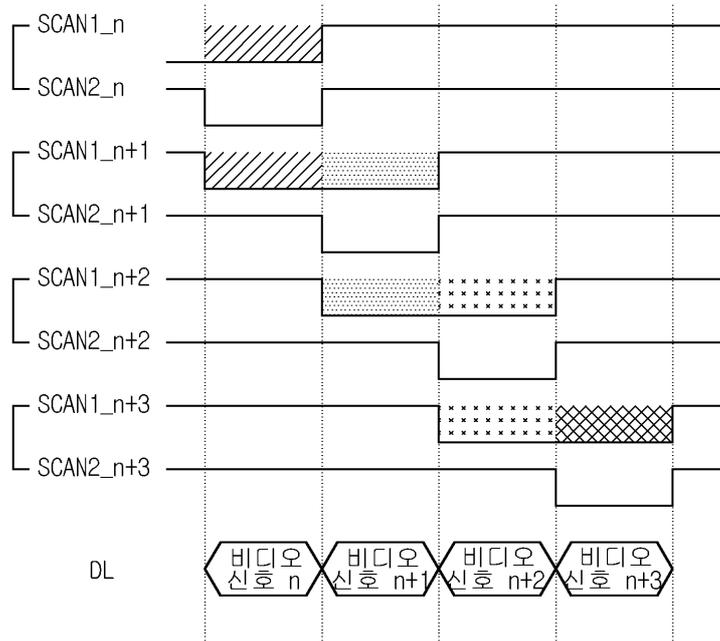
도면4



도면5



도면6



专利名称(译)	电致发光面板的驱动方法		
公开(公告)号	<a href="#">KR1020050065946A</a>	公开(公告)日	2005-06-30
申请号	KR1020030097117	申请日	2003-12-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM SEONGGYUN		
发明人	KIM,SEONGGYUN		
IPC分类号	G09G3/30		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

电致发光面板的驱动方法是一对扫描线（第一扫描线和第二扫描线）和数据线的交叉点，数据线布置成朝向一对扫描线和一对扫描线交叉线和数据线包括重复施加第二扫描信号的步骤，它被施加在第n个像素的第二扫描线上：第二扫描信号输入完成后第二扫描信号与第二扫描信号同步的步骤在第n个像素处施加的第二扫描信号，其被施加在n + 1的第二扫描线上，像素配备有安装的EL单元（OLED）和用于驱动EL单元的EL单元驱动电路。

