

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁷
G09G 3/30(11) 공개번호 10-2005-0052033
(43) 공개일자 2005년06월02일(21) 출원번호 10-2003-0085852
(22) 출원일자 2003년11월28일(71) 출원인 삼성에스디아이 주식회사
경기 수원시 영통구 신동 575(72) 발명자 김양완
서울특별시관악구신림2동98-209

(74) 대리인 박상수

심사청구 : 있음

(54) 유기전계 발광표시장치의 화소회로

요약

본 발명은 문턱전압을 높은 계조표현을 할 수 있는 유기전계 발광표시장치에 있어서, 스위칭 트랜지스터를 멀티게이트로 형성하여 스위칭 트랜지스터의 오프시 누설전류를 감소시킬 수 있는 화소회로를 개시한다.

본 발명의 화소회로는 데이터 프로그램시 현재 스캔라인신호에 응답하여 전압레벨의 데이터신호를 전달하는 제1트랜지스터와; 데이터 프로그램시 전압레벨의 데이터신호를 프로그램하고, 발광시 프로그램된 데이터신호에 응답하여 EL 소자의 구동전류를 발생시키는 제2트랜지스터와; 데이터 프로그램시 현재스캔신호에 응답하여 전압레벨의 데이터신호를 상기 제2트랜지스터로 제공하기 위한 제3트랜지스터와; 데이터 프로그램시 제2트랜지스터에 프로그램된 전압레벨의 데이터신호를 유지시켜 주기 위한 상기 제2트랜지스터에 전달되는 전압레벨의 데이터신호를 저장하기 위한 캐패시터와; 발광시 전압전압을 제2트랜지스터에 전달하기 위한 제4트랜지스터와; 발광시 전압레벨의 데이터신호에 따라 제2트랜지스터로부터 제공되는 구동전류를 전달하는 제5트랜지스터를 포함하며, 상기 제1, 3, 4, 5 및 6 트랜지스터는 멀티플 게이트를 구비하고, 제2트랜지스터는 단일 게이트를 구비한다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 종래의 유기전계 발광표시장치의 화소회로도,

도 2은 본 발명의 제1실시예에 따른 멀티플 게이트가 적용된 유기전계 발광표시장치의 화소회로도,

도 3은 본 발명의 제1실시예에 따른 유기전계 발광표시장치 화소회로의 동작을 설명하기 위한 파형도,

도 4는 본 발명의 제2실시예에 따른 멀티플 게이트가 적용된 유기전계 발광표시장치의 화소회로의 회로구성도,

도 5은 본 발명의 유기전계 발광표시장치의 화소회로에 적용된 듀얼게이트의 일예를 도시한 평면도,

도 6은 본 발명의 유기전계 발광표시장치의 화소회로에 적용된 멀티플 게이트의 일예를 도시한 평면도,

도 7a 내지 도 7b는 유기전계 발광표시장치에 있어서, 스위칭 트랜지스터가 단일 게이트 박막 트랜지스터로 구성되는 경우와 듀얼 게이트 박막 트랜지스터로 구성되는 경우의 누설전류 특성을 도시한 도면,

도면의 주요 부분에 대한 부호의 설명

T31, T41 : 구동 트랜지스터 C31, C41 : 캐패시터

T32, T35, T36, T42, T45, T46: 스위칭 트랜지스터

T33, T34 : 문턱전압보상용 트랜지스터

T34, T44 : 초기화용 트랜지스터 EL31, EL41 : 유기전계 발광소자

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 평판표시장치에 관한 것으로서, 보다 구체적으로는 EL소자를 구동하는 트랜지스터는 단일 게이트로 구성하여 온전류특성을 유지하고, 스위칭 트랜지스터는 멀티플 게이트로 구성하여 누설전류특성을 개선할 수 있는 유기전계 발광표시장치에 관한 것이다.

통상적으로, 유기전계 발광표시장치는 EL소자를 구동하는 방식에 따라 패시브 매트릭스형 OLED와 액티브 매트릭스형 OLED로 분류하고, 전류구동방식의 OLED와 전압구동방식의 OLED로 분류할 수 있다.

AMOLED는 복수개의 게이트라인, 복수개의 데이터 라인 및 복수개의 공통전원라인과, 상기 라인들에 연결되어 매트릭스 형태로 배열되는 복수개의 화소를 구비한다. 각 화소는 통상적으로 EL소자, 2개의 트랜지스터, 즉 데이터신호를 전달하기 위한 스위칭 트랜지스터와, 상기 데이터신호에 따라 상기 EL 소자를 구동시켜 주기위한 구동트랜지스터와, 상기 데이터전압을 유지시켜 주기위한 하나의 캐패시터로 이루어진다. 이러한 AMOLED는 소비전력이 적은 이점이 있지만, 시간에 따라 EL소자를 통해 흐르는 전류세기가 변하여 표시불균일을 초래하는 문제점이 있었다.

이는 EL소자를 구동하는 구동 트랜지스터의 게이트와 소오스간의 전압, 즉 구동 트랜지스터의 문턱전압(threshold voltage)이 변하여 EL 소자를 통해 흐르는 전류가 변하기 때문이다. 즉, 상기 구동 트랜지스터용 박막 트랜지스터는 제조 공정변수에 따라 문턱전압이 변하게 되므로, AMOLED의 모든 트랜지스터의 문턱전압이 동일하게 되도록 트랜지스터를 제조하는 것이 어려우며, 이에 따라 화소간 문턱전압의 편차가 존재하기 때문이다.

도 1은 종래의 유기전계 발광표시장치의 화소회로를 도시한 것으로서, 6 트랜지스터와 1캐패시터의 화소회로를 도시한 것이다.

도 1을 참조하면, 종래의 유기전계 발광표시장치의 화소회로는 스캔라인으로부터 제공되는 현재 스캔신호 scan[n]에 따라 데이터라인으로부터 제공되는 데이터신호(VDATAm)를 전달하기 위한 스위칭 트랜지스터(T12)와, 상기 스위칭 트랜지스터(T12)를 통해 제공되는 데이터신호(VDATAm)에 상응하는 구동전류를 제공하기 위한 구동트랜지스터(T11)와, 상기 구동트랜지스터(T11)를 통해 인가되는 구동전류에 상응하는 빛을 발광하는 유기전계 발광소자(EL11)와, 상기 데이터신호(VDATAm)를 저장하기 위한 캐패시터(C11)를 구비한다.

또한, 화소회로는 상기 구동 트랜지스터(T11)의 문턱전압을 보상하기 위한 문턱전압보상용 트랜지스터(T13), 이전 스캔라인에 인가되는 이전스캔신호 scan[n-1]에 따라 상기 캐패시터(C11)에 저장된 데이터신호를 초기화시켜 주기 위한 초기화용 트랜지스터(T14)와, 발광제어신호 em[n]에 따라 상기 구동트랜지스터(T11)로부터 EL 소자(EL11)로 구동전류의 공급을 스위칭하는 트랜지스터(T16)와, 상기 발광제어신호 em[n]에 따라 상기 구동트랜지스터(T11)로의 전원전압(VDD)의 공급을 스위칭하는 트랜지스터(T15)를 더 포함한다.

통상적으로, 유기전계 발광표시장치의 화소회로에 있어서, EL소자를 효과적으로 구동하기 위해서는, 게이트에 구동전압이 인가되었을 때 트랜지스터를 통해 흐르는 전류가 큰 것이 바람직하다. 즉, 구동 트랜지스터의 온전류가 큰 것이 좋다. 한편, 스위칭 트랜지스터는 오프전류가 작은 것이 바람직한데, 오프전류가 크면 오프상태에서 스위칭 트랜지스터가 캐패시터(C1)에 저장된 데이터신호의 방전패스로 작용하므로, 1프레임동안 데이터를 충분히 유지시켜 줄 수 없을 뿐만 아니라 구동 트랜지스터의 턴온상태를 유지시켜 줄 수 없기 때문이다.

따라서, 스위칭 트랜지스터는 오프전류가 작은 박막 트랜지스터를 사용함이 바람직하고, 구동 트랜지스터는 온전류가 큰 박막 트랜지스터를 사용함이 바람직하다. 그러나, 종래의 유기전계 발광표시장치에서 스위칭 트랜지스터와 구동 트랜지스터가 동일한 제조공정을 통해 동일한 특성을 갖도록 제조되므로, 상기 구동트랜지스터의 온전류특성과 스위칭 트랜지스터의 오프전류특성을 만족시킬 수가 없었다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기한 바와같은 종래 기술의 문제점을 해결하기 위한 것으로서, 구동 트랜지스터의 온전류 특성을 유지하면서 스위칭 트랜지스터의 누설전류를 감소시킬 수 있는 유기전계 발광표시장치의 화소회로를 제공하는 데 그 목적이 있다.

발명의 구성 및 작용

상기한 바와 같은 목적을 달성하기 위하여, 본 발명은 현재 스캔라인신호에 응답하여 전압레벨의 데이터신호를 전달하는 제1트랜지스터와; 상기 제1트랜지스터를 통해 전달되는 전압레벨의 데이터신호에 따라 구동전류를 발생시키는 제2트랜지스터와; 상기 제2트랜지스터의 문턱전압편차를 검출하여 자체 보상하기 위한 제3트랜지스터와; 상기 제2트랜지스터에 전달되는 전압레벨의 데이터신호를 저장하기 위한 캐패시터와; 상기 제2트랜지스터를 통해 발생하는 구동전류에 대응하여 빛을 발광하는 EL소자를 포함하며, 상기 제1트랜지스터와 제3트랜지스터는 멀티플게이트로 구비하고, 상기 제2트랜지스터는 단일 게이트를 구비하는 유기전계 발광표시장치의 화소회로를 제공한다.

제1 및 제3트랜지스터중 하나는 듀얼게이트를 갖는 박막 트랜지스터를 포함하고, 나머지 하나는 듀얼게이트이상의 멀티플 게이트를 구비하는 박막 트랜지스터를 포함한다. 상기 화소회로는 상기 현재 스캔신호의 바로 이전의 스캔신호에 응답하여 상기 캐패시터에 저장된 전압레벨의 데이터신호를 방전시켜 주는 초기화용 제4트랜지스터와, 현재발광제어신호에 의해 응답하여 전원전압을 상기 제2트랜지스터로 제공하기 위한 제5트랜지스터와; 상기 현재발광제어신호에 응답하여 상기 제2트랜지스터를 통해 EL소자로 구동전류를 제공하는 제6트랜지스터를 더 포함한다. 상기 제4 내지 제6트랜지스터는 멀티플 게이트로 구성된다.

상기 제1트랜지스터는 현재 스캔라인신호가 게이트에 인가되고, 전압레벨의 데이터신호가 소오스에 인가되며, 드레인이 상기 제2트랜지스터에 연결되는 PMOS 트랜지스터로 구성된다. 상기 제2트랜지스터는 게이트가 상기 캐패시터의 일측단자에 연결되고, 소오스가 제1트랜지스터에 연결되며, 드레인이 상기 EL소자에 연결되는 PMOS 트랜지스터로 구성된다. 상기 제3트랜지스터는 현재 스캔신호가 게이트에 인가되고 제2트랜지스터의 게이트와 드레인에 각각 드레인과 소오스가 연결되어, 현재 스캔신호에 응답하여 제2트랜지스터를 다이오드형태로 연결시켜 문턱전압을 자체보상시켜 주기 위한 PMOS트랜지스터로 구성된다.

또한, 본 발명은 데이터 프로그램시 현재 스캔라인신호에 응답하여 전압레벨의 데이터신호를 전달하는 제1트랜지스터와; 데이터 프로그램시 전압레벨의 데이터신호를 프로그램하고, 발광시 프로그램된 데이터신호에 응답하여 구동전류를 발생하는 제2트랜지스터와; 데이터 프로그램시 현재스캔신호에 응답하여 전압레벨의 데이터신호를 상기 제2트랜지스터로 제공하기 위한 제3트랜지스터와; 데이터 프로그램시 제2트랜지스터에 프로그램된 전압레벨의 데이터신호를 유지시켜 주기 위한 상기 제2트랜지스터에 전달되는 전압레벨의 데이터신호를 저장하기 위한 캐패시터와; 발광시 전원전압을 제2트랜지스터에 전달하기 위한 제4트랜지스터와; 발광시 전압레벨의 데이터신호에 따라 제2트랜지스터로부터 제공되는 구동전류를 전달하는 제5트랜지스터와; 초기화시 상기 현재 스캔신호의 바로 이전의 스캔신호에 응답하여 상기 캐패시터에 저장된 전압레벨의 데이터신호를 방전시켜 주는 초기화용 제6트랜지스터와; 상기 제5트랜지스터를 통해 전달되는 구동전류에 대응하여 빛을 발광하는 EL소자를 포함하며, 상기 제1, 3, 4, 5 및 6 트랜지스터는 멀티플 게이트를 구비하고, 제2트랜지스터는 단일 게이트를 구비하는 유기전계 발광표시장치의 화소회로를 제공한다.

제1, 3, 4, 5 및 제6트랜지스터중 일부는 듀얼게이트를 갖는 박막 트랜지스터를 포함하고, 나머지는 듀얼게이트이상의 멀티플 게이트를 구비하는 박막 트랜지스터를 포함한다.

또한, 본 발명은 게이트에 현재 스캔신호가 인가되고, 소오스에 전압레벨의 데이터신호가 인가되는 제1트랜지스터와; 상기 제1트랜지스터의 드레인에 소오스가 연결되는 제2트랜지스터와; 상기 제2트랜지스터의 게이트와 드레인 사이에 각각 드레인과 소오스가 각각 연결되는 제3트랜지스터와; 현재발광제어신호가 게이트에 인가되고, 소오스에 전원전압이 인가되며, 드레인이 상기 제2트랜지스터의 소오스에 연결되는 제4트랜지스터와; 상기 현재발광제어신호가 게이트에 인가되고, 소오스가 상기 제2트랜지스터의 드레인에 연결되며, 드레인이 상기 EL 소자의 일측단자에 연결되는 제5트랜지스터와; 게이트에 상기 현재스캔신호 바로 이전의 스캔신호가 인가되고, 소오스가 상기 캐패시터의 일측단자에 연결되며, 타측단자에 초기화전압이 인가되는 제6트랜지스터와; 상기 제5트랜지스터의 드레인에 일측단자가 연결되고, 타측단자가 접지된 발광소자; 상기 제2트랜지스터의 게이트에 일측단자가 연결되고, 타측단자에 전원전압이 인가되는 캐패시터를 포함하며, 제1, 3, 4, 5 및 6 트랜지스터는 멀티플 게이트를 구비하고, 제2트랜지스터는 단일게이트로 구성되는 유기전계 발광표시장치의 화소회로를 제공한다.

또한, 현재 스캔라인신호에 응답하여 전압레벨의 데이터신호를 전달하는 제1트랜지스터와; 상기 제1트랜지스터를 통해 전달되는 전압레벨의 데이터신호에 따라 구동전류를 발생하는 제2트랜지스터와; 상기 제2트랜지스터의 문턱전압편차를 검출하여 자체 보상하기 위한 제3트랜지스터와; 상기 제2트랜지스터에 전달되는 전압레벨의 데이터신호를 저장하기 위한 캐패시터와; 상기 제2트랜지스터를 통해 발생하는 구동전류에 대응하여 빛을 발광하는 EL소자를 포함하며, 상기 제1트랜지스터와 제3트랜지스터는 멀티플게이트로 구비하고, 상기 제2트랜지스터는 단일 게이트를 구비하며, 상기 제1 및 제3트랜지스터는 각각 다수의 바디부와, 상기 바디부의 일측을 연결하는 다수의 연결부를 구비하는 액티브층과; 상기 액티브층과 교차하도록 배열된 게이트전극을 포함하며, 상기 게이트전극중 상기 액티브층과 오버랩되는 부분이 멀티플게이트로 작용하는 유기전계 발광표시장치의 화소회로를 제공한다.

이하, 본 발명의 실시예를 첨부된 도면을 참조하여 설명하면 다음과 같다.

도 2는 본 발명의 제1실시예에 따른 유기전계 발광표시장치의 화소회로를 도시한 것이다. 본 발명의 제1실시예에 따른 유기전계 발광표시장치는 복수개의 게이트라인, 복수개의 데이터라인, 복수개의 전원라인 및 복수개의 발광제어라인과, 상기 복수개의 게이트라인, 데이터라인, 전원라인 및 발광제어라인중 해당하는 게이트라인, 데이터라인, 전원라인 및 발광제어라인에 각각 배열되는 복수개의 화소를 포함한다. 도 2에는 다수의 화소중 해당하는 게이트라인(n번째 게이트라인), 데이터라인(m번째 데이터라인), 전원라인(m번째 전원라인) 및 발광제어라인(m번째 발광제어라인)에 배열된 하나의 화소에 대하여 회로를 한정 도시한 것이다.

도 2를 참조하면, 본 발명의 유기전계 발광표시장치의 화소회로는 인가되는 구동전류에 대응하는 빛을 발광하는 유기전계 발광소자(EL31)와, 해당하는 스캔라인에 인가되는 현재 스캔라인신호 scan[n]에 응답하여 해당하는 데이터라인에 인가되는 전압레벨의 데이터신호(VDATAm)를 스위칭하기 위한 제1스위칭 트랜지스터(T32)와, 상기 제1스위칭 트랜지스터(T32)를 통해 게이트에 입력되는 상기 데이터신호에 상응하여 상기 유기전계 발광소자의 구동전류를 공급하는 구동용 트랜지스터(T31)를 구비한다.

상기 제1스위칭 트랜지스터(T32)는 게이트에 해당하는 스캔라인에 인가되는 현재 스캔신호 scan[n]가 인가되고 소오스에 해당하는 데이터라인에 인가되는 전압레벨의 데이터신호(VDATAm)가 인가되며, 드레인이 상기 구동 트랜지스터(T31)의 소오스에 연결되는 p형 박막 트랜지스터로 구성된다.

상기 구동용 트랜지스터(T31)는 게이트가 캐패시터(C31)의 일측단자에 연결되고, 캐소드전극이 접지에 연결된 상기 EL소자(EL31)의 애노드 전극에 드레인이 연결되며, 소오스가 트랜지스터(T35)의 드레인에 연결되는 p형 박막 트랜지스터로 구성된다.

본 발명의 화소회로는 상기 구동 트랜지스터(T31)의 문턱전압을 보상하기 위한 문턱전압보상용 트랜지스터(T33)와 상기 구동 트랜지스터(T31)의 게이트에 인가되는 데이터신호를 저장하기 위한 캐패시터(C31)와, 해당하는 스캔라인 바로 이전의 스캔라인에 인가되는 이전 스캔신호 scan[n-1]에 응답하여 상기 캐패시터(C31)에 저장된 데이터신호를 초기화시켜 주기 위한 초기화용 트랜지스터(T34)를 더 포함한다.

상기 문턱전압 보상용 트랜지스터(T33)는 상기 구동 트랜지스터(T31)의 게이트와 드레인에 각각 드레인과 소오스가 각각 연결되고 게이트에 현재 스캔신호 scan[n]가 인가되는 p형 박막 트랜지스터로 구성된다. 상기 캐패시터(C31)의 타측에는 해당하는 전원라인으로부터 전원전압(VDD)이 제공된다. 상기 트랜지스터(T34)는 게이트에 이전 스캔신호 scan[n-1]가 인가되고 소오스가 상기 캐패시터(C31)의 일측단자에 연결되며 드레인에 초기화전압(Vinti)이 인가되는 p형 박막 트랜지스터로 이루어진다.

또한, 화소회로는 현재발광신호 emi[n]에 응답하여 상기 전원전압(VDD)을 구동 트랜지스터(T31)로 제공하기 위한 제2스위칭 트랜지스터(T35)와, 상기 현재발광신호 emi[n]에 응답하여 상기 구동 트랜지스터(T31)를 통해 발생한 구동전류를 상기 EL소자(EL31)로 제공하기 위한 제3스위칭 트랜지스터(T36)를 더 포함한다.

상기 제2스위칭 트랜지스터(T35)는 현재발광신호 emi[n]가 게이트에 인가되고, 소오스에 상기 해당하는 전원전압라인으로부터 전원전압이 인가되며, 드레인이 상기 구동용 트랜지스터(T32)의 소오스에 연결되는 p형 박막 트랜지스터로 구성된다. 상기 제3스위칭 트랜지스터(T36)는 현재 발광신호 emi[n]가 게이트에 인가되고, 소오스가 상기 구동 트랜지스터(T31)의 드레인에 연결되고, 드레인이 상기 EL소자(EL31)의 일단에 연결되는 p형 박막 트랜지스터로 구성된다.

상기한 바와같은 구성을 갖는 화소회로에서, 우수한 온전류특성을 유지하기 위하여 구동트랜지스터는 단일 게이트로 구성한다. 또한, 낮은 오프전류특성을 유지하기 위하여 캐패시터의 데이터신호를 유지하는 데 직접적으로 영향을 미치는 문턱전압보상용 트랜지스터(T33)와, 데이터신호(VDATAm)를 스위칭하는 트랜지스터(T31)를 듀얼게이트로 구성한다.

상기한 바와같은 구성을 갖는 본 발명의 화소회로의 동작을 도 3를 참조하여 설명하면 다음과 같다.

먼저, 초기화동작시에는, 도 3에 도시된 바와같이 이전 스캔신호 scan[n-1]가 로우레벨이고 현재스캔신호 scan[n]와 발광제어신호 emi[n]가 하이레벨인 초기화구간에서, 이전 스캔신호 scan[n-1]에 의해 트랜지스터(T34)가 턴온되고, 현재스캔신호 scan[n]와 현재발광제어신호 emi[n]에 의해 다른 트랜지스터(T31-T33)와 (T35-T36)가 턴오프되므로, 캐패시터(C31)에 저장되어 있던 데이터 즉, 구동 트랜지스터(T31)의 게이트전압은 초기화된다.

다음, 데이터 프로그램 동작시에는, 도 3과 같이 이전스캔신호 scan[n-1]가 하이레벨이고 현재스캔신호 scan[n]가 로우레벨이며 현재발광제어신호 emi[n]가 하이레벨인 프로그램구간에서, 트랜지스터(T34)는 턴오프되고, 로우레벨의 현재스캔신호 scan[n]에 의해 트랜지스터(T33)가 턴온되어 구동 트랜지스터(T31)는 다이오드형태로 연결된다.

이때, 스위칭 트랜지스터(T32)가 턴온되고, 스위칭 트랜지스터(T35), (T36)는 턴오프되어 데이터 프로그램패스가 형성되므로, 해당하는 데이터라인에 인가되는 데이터전압 VDATAm이 문턱전압 보상용 트랜지스터(T33)를 통해 상기 구동 트랜지스터(T31)의 게이트에 제공된다.

마지막으로, 발광시에는 도 3에 도시된 바와같이 이전 스캔신호 scan[n-1]이 하이레벨이고, 현재 스캔신호 scan[n]이 하이레벨로 된 다음 현재발광제어신호 emi[n]가 로우레벨로 되는 발광구간에서, 스위칭 트랜지스터(T35), (T36)가 턴온되고, 초기화 트랜지스터(T34)가 턴오프되며, 문턱전압 보상용 트랜지스터(T33)와 스위칭 트랜지스터(T32)가 턴오프된다.

따라서, 구동 트랜지스터(T31)의 게이트에 인가되는 전압레벨의 데이터신호에 대응하여 발생하는 구동전류가 트랜지스터(T31)를 통해 유기EL소자(EL31)로 제공되어 유기EL소자(EL31)는 발광을 하게 된다.

상기한 바와같이, 본 발명에서는 전류구동용 트랜지스터(T31)의 문턱전압의 편차를 트랜지스터(T33)를 통해 검출하여 자체적으로 보상하여 주기 때문에 유기EL소자에 흐르는 전류를 미세하게 제어할 수 있다. 또한, 스위칭 트랜지스터(T32)와 문턱전압 보상용 트랜지스터(T33)를 듀얼 게이트로 구성하므로, 초기화구간을 제외한 프로그램구간과 발광구간에서 스캔신호 scan[n]에 의해 스위칭 트랜지스터(T32)와 문턱전압 보상용 트랜지스터(T33)가 턴오프시 오프전류를 감소시켜 누설전류를 방지하게 되고, 이에 따라 캐패시터(C31)에 데이터를 안정적으로 유지할 수 있게 된다.

도 4는 본 발명의 제2실시예에 따른 유기전계 발광표시장치의 화소회로의 구성도를 도시한 것이다.

도 4를 참조하면, 제2실시예에 따른 유기전계 발광표시장치의 화소회로는 제1실시예의 화소회로와 마찬가지로, EL소자(EL41)와, 데이터 스위칭용 트랜지스터(T42), 구동 트랜지스터(T41), 문턱전압보상용 트랜지스터(T43), 캐패시터(C41), 초기화용 트랜지스터(T44), 전원전압(VDD)을 스위칭하기 위한 트랜지스터(T45) 및 구동트랜지스터(T42)로부터 EL소자(EL41)로의 구동전류의 흐름을 제어하기 위한 트랜지스터(T46)를 포함하는 6 트랜지스터와 1 캐패시터로 구성된다.

다만, 제2실시예에 따른 유기전계 발광표시장치의 화소회로는 구동 트랜지스터(T41)를 제외한 스위칭 트랜지스터(T42-T46)를 모두 듀얼 게이트로 구성하는 것만이 다르다. 따라서, 제2실시예에 따른 화소회로는 스위칭 트랜지스터의 오프시 보다 더 오프전류특성을 개선하여 누설전류를 감소시킬 수 있다.

도 5는 본 발명의 실시예에 따른 멀티 게이트 박막 트랜지스터의 제1구현예를 도시한 것이다. 도 5를 참조하면, 절연기관(100)상에 액티브층(110)과 게이트전극(120)이 배열된다. 액티브층(110)은 바디부(110a)와 상기 바디부(110a)를 연결하는 연결부(110b)로 이루어진, "ㄷ"자 형태를 갖으며, 게이트전극(120)은 액티브층(110)의 바디부(110a)와 교차하도록 배열된다.

따라서, 액티브층(110)은 상기 게이트전극(120)과 오버랩되는 부분이 채널층(113, 117)로 작용하여 듀얼채널층을 구비하고, 상기 게이트전극(120)은 상기 액티브층(110)과 오버랩되는 부분이 게이트(123, 127)로 작용하여 듀얼 게이트를 구비한다. 액티브층(110)중 게이트전극(120)의 양측부분은 불순물영역으로서, 소오스영역(111, 119)과 드레인영역(115)으로 작용한다.

도 6은 본 발명의 실시예에 따른 멀티 게이트 박막 트랜지스터의 제2구현예를 도시한 것이다. 도 6을 참조하면, 절연기관(200)상에 액티브층(210)과 게이트전극(220)이 배열된다. 액티브층(210)은 바디부(210a)와 상기 바디부(210a)를 연결하는 연결부(210b)로 이루어진, "ㄷ"자 형태를 갖으며, 게이트전극(220)은 액티브층(210)의 바디부(210a)와 교차하는 하나의 슬롯(229)을 구비한다.

따라서, 액티브층(210)은 상기 게이트전극(220)과 오버랩되는 부분이 채널층(212, 214, 216, 218)로 작용하여 멀티채널층을 구비하고, 상기 게이트전극(220)은 상기 액티브층(210)과 오버랩되는 부분이 게이트(222, 224, 226, 228)로 작용하여 멀티 게이트를 구비한다. 액티브층(210)중 게이트전극(220)의 양측부분과 슬롯(229)내의 부분은 불순물영역으로서, 소오스영역(211, 215, 219)과 드레인영역(213, 217)으로 작용한다.

도 7a 및 도 7b는 본 발명의 실시예에 따른 유기전계 발광표시장치의 스위칭 트랜지스터를 듀얼 게이트 박막 트랜지스터로 구성하는 경우와 종래의 스위칭 트랜지스터를 단일 게이트로 구성하는 경우의 누설전류 특성을 도시한 것이다. 도 7a는 EL 소자를 통해 흐르는 전류값에 대한 스위칭 트랜지스터의 누설전류특성을 도시한 것이고, 도 7b는 EL 소자를 통해 흐르는 전류값에 대한 스위칭 트랜지스터의 누설전류의 비를 도시한 것이다. 도 7a 및 도 7b를 참조하면, EL 소자를 통해 흐르는 전류가 증가하면 증가할수록 스위칭 트랜지스터의 누설전류가 증가하는데, 단일의 게이트보다 듀얼 게이트로 구성하는 경우 누설전류를 감소시킬 수 있음을 알 수 있다.

본 발명의 스위칭 트랜지스터를 멀티플 게이트로 구성하여 스위칭 트랜지스터의 오프시 누설전류를 감소시켜 주는 화소회로는 다양한 구성을 갖는 화소회로에 적용가능하다. 또한, 화소회로를 P형 박막 트랜지스터외에 N형 박막 트랜지스터 및 CMOS 박막 트랜지스터로 구성할 수 있을 뿐만 아니라 N형 및 P형 트랜지스터의 조합으로 구성할 수도 있다.

또한, 스위칭 트랜지스터에는 상기 예시한 멀티플 구조외에도 다양한 멀티플 게이트의 구조를 적용할 수 있다. 게다가, 스위칭 트랜지스터중 일부는 듀얼 게이트를 갖는 박막 트랜지스터로 구현하고, 나머지 트랜지스터는 듀얼게이트이상의 멀티플 게이트로 구현할 수도 있다. 한편, 구동트랜지스터는 통상적인 단일게이트를 구비하는 박막 트랜지스터로 구현될 수 있다.

발명의 효과

상기한 바와같은 본 발명의 실시예에 따르면, 구동 트랜지스터를 단일게이트로 구성하고, 스위칭 트랜지스터를 멀티플 게이트로 구현함으로써, 구동 트랜지스터의 우수한 온전류 특성을 유지하면서 스위칭 트랜지스터의 오프전류특성을 개선할 수 있는 이점이 있다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1.

현재 스캔라인신호에 응답하여 전압레벨의 데이터신호를 전달하는 제1트랜지스터와;

상기 제1트랜지스터를 통해 전달되는 전압레벨의 데이터신호에 따라 구동전류를 발생하는 제2트랜지스터와;

상기 제2트랜지스터의 문턱전압편차를 검출하여 자체 보상하기 위한 제3트랜지스터와;

상기 제2트랜지스터에 전달되는 전압레벨의 데이터신호를 저장하기 위한 캐패시터와;

상기 제2트랜지스터를 통해 발생하는 구동전류에 대응하여 빛을 발광하는 EL소자를 포함하며,

상기 제1트랜지스터와 제3트랜지스터는 멀티플게이트로 구비하고, 상기 제2트랜지스터는 단일 게이트를 구비하는 것을 특징으로 하는 유기전계 발광표시장치의 화소회로.

청구항 2.

제1항에 있어서, 상기 현재 스캔신호의 바로 이전의 스캔신호에 응답하여 상기 캐패시터에 저장된 전압레벨의 데이터신호를 방전시켜 주는 초기화용 제4트랜지스터를 더 포함하는 것을 특징으로 하는 유기전계 발광표시장치의 화소회로.

청구항 3.

제1항에 있어서, 제1 및 제3트랜지스터중 하나는 듀얼게이트를 갖는 박막 트랜지스터를 포함하고, 나머지 하나는 듀얼게이트이상의 멀티플 게이트를 구비하는 박막 트랜지스터를 포함하는 것을 특징으로 하는 유기전계 발광표시장치의 화소회로.

청구항 4.

제3항에 있어서, 상기 제4트랜지스터는 멀티플 게이트로 구성되는 것을 특징으로 하는 유기전계 발광표시장치의 화소회로.

청구항 5.

제1항에 있어서, 현재발광제어신호에 의해 응답하여 전원전압을 상기 제2트랜지스터로 제공하기 위한 제5트랜지스터와;

상기 현재발광제어신호에 응답하여 상기 제2트랜지스터를 통해 EL소자로 구동전류를 제공하는 제6트랜지스터를 더 포함하는 것을 특징으로 하는 유기전계 발광표시장치의 화소회로.

청구항 6.

제4항에 있어서, 제5 및 제6트랜지스터는 멀티플 게이트로 구성되는 것을 특징으로 하는 유기전계 발광표시장치의 화소회로.

청구항 7.

제1항에 있어서, 상기 제1트랜지스터는 현재 스캔라인신호가 게이트에 인가되고, 전압레벨의 데이터신호가 소오스에 인가되며, 드레인이 상기 제2트랜지스터에 연결되는 PMOS 트랜지스터로 구성되는 것을 특징으로 하는 유기전계 발광표시장치의 화소회로.

청구항 8.

제1항에 있어서, 상기 제2트랜지스터는 게이트가 상기 캐패시터의 일측단자에 연결되고, 소오스가 제1트랜지스터에 연결되며, 드레인이 상기 EL소자에 연결되는 PMOS 트랜지스터로 구성되는 것을 특징으로 하는 유기전계 발광표시장치의 화소회로.

청구항 9.

제8항에 있어서, 상기 제3트랜지스터는 현재 스캔신호가 게이트에 인가되고 제2트랜지스터의 게이트와 드레인에 각각 드레인과 소오스가 연결되어, 현재 스캔신호에 응답하여 제2트랜지스터를 다이오드형태로 연결시켜 문턱전압을 자체보상시켜 주기 위한 PMOS트랜지스터로 이루어지는 것을 특징으로 하는 유기전계 발광표시장치의 화소회로.

청구항 10.

데이터 프로그램시 현재 스캔라인신호에 응답하여 전압레벨의 데이터신호를 전달하는 제1트랜지스터와;

데이터 프로그램시 전압레벨의 데이터신호를 프로그램하고, 발광시 프로그램된 데이터신호에 응답하여 구동전류를 발생시키는 제2트랜지스터와;

데이터 프로그램시 현재스캔신호에 응답하여 전압레벨의 데이터신호를 상기 제2트랜지스터로 제공하기 위한 제3트랜지스터와;

데이터 프로그램시 제2트랜지스터에 프로그램된 전압레벨의 데이터신호를 유지시켜 주기 위한 상기 제2트랜지스터에 전달되는 전압레벨의 데이터신호를 저장하기 위한 캐패시터와;

발광시 전원전압을 제2트랜지스터에 전달하기 위한 제4트랜지스터와;

발광시 전압레벨의 데이터신호에 따라 제2트랜지스터로부터 제공되는 구동전류를 전달하는 제5트랜지스터와;

초기화시 상기 현재 스캔신호의 바로 이전의 스캔신호에 응답하여 상기 캐패시터에 저장된 전압레벨의 데이터신호를 방전시켜 주는 초기화용 제6트랜지스터와;

상기 제5트랜지스터를 통해 전달되는 구동전류에 대응하여 빛을 발광하는 EL소자를 포함하며,

상기 제1, 3, 4, 5 및 6 트랜지스터는 멀티플 게이트를 구비하고, 제2트랜지스터는 단일 게이트를 구비하는 것을 특징으로 하는 유기전계 발광표시장치의 화소회로.

청구항 11.

제10항에 있어서, 제1, 3, 4, 5 및 제6트랜지스터중 일부는 듀얼게이트를 갖는 박막 트랜지스터를 포함하고, 나머지는 듀얼게이트이상의 멀티플 게이트를 구비하는 박막 트랜지스터를 포함하는 것을 특징으로 하는 유기전계 발광표시장치의 화소회로.

청구항 12.

게이트에 현재 스캔신호가 인가되고, 소오스에 전압레벨의 데이터신호가 인가되는 제1트랜지스터와;

상기 제1트랜지스터의 드레인에 소오스가 연결되는 제2트랜지스터와;

상기 제2트랜지스터의 게이트와 드레인사이에 각각 드레인과 소오스가 각각 연결되는 제3트랜지스터와;

현재발광제어신호가 게이트에 인가되고, 소오스에 전원전압이 인가되며, 드레인이 상기 제2트랜지스터의 소오스에 연결되는 제4트랜지스터와;

상기 현재발광제어신호가 게이트에 인가되고, 소오스가 상기 제2트랜지스터의 드레인에 연결되며, 드레인이 상기 EL 소자의 일측단자에 연결되는 제5트랜지스터와;

게이트에 상기 현재스캔신호 바로 이전의 스캔신호가 인가되고, 소오스가 상기 캐패시터의 일측단자에 연결되며, 타측단자에 초기화전압이 인가되는 제6트랜지스터와;

상기 제5트랜지스터의 드레인에 일측단자가 연결되고, 타측단자가 접지된 발광소자와;

상기 제2트랜지스터의 게이트에 일측단자가 연결되고, 타측단자에 전원전압이 인가되는 캐패시터를 포함하며,

제1, 3, 4, 5 및 6 트랜지스터는 멀티플 게이트를 구비하고, 제2트랜지스터는 단일게이트로 구성되는 것을 특징으로 하는 유기전계 발광표시장치의 화소회로.

청구항 13.

제12항에 있어서, 제1, 3, 4, 5 및 제6트랜지스터중 일부는 듀얼게이트를 갖는 박막 트랜지스터를 포함하고, 나머지는 듀얼게이트이상의 멀티플 게이트를 구비하는 박막 트랜지스터를 포함하는 것을 특징으로 하는 유기전계 발광표시장치의 화소회로.

청구항 14.

현재 스캔라인신호에 응답하여 전압레벨의 데이터신호를 전달하는 제1트랜지스터와;

상기 제1트랜지스터를 통해 전달되는 전압레벨의 데이터신호에 따라 구동전류를 발생하는 제2트랜지스터와;

상기 제2트랜지스터의 문턱전압편차를 검출하여 자체 보상하기 위한 제3트랜지스터와;

상기 제2트랜지스터에 전달되는 전압레벨의 데이터신호를 저장하기 위한 캐패시터와;

상기 제2트랜지스터를 통해 발생하는 구동전류에 대응하여 빛을 발광하는 EL소자를 포함하며,

상기 제1트랜지스터와 제3트랜지스터는 멀티플게이트로 구비하고, 상기 제2트랜지스터는 단일 게이트를 구비하며,

상기 제1 및 제3트랜지스터는 각각

다수의 바디부와, 상기 바디부의 일측을 연결하는 다수의 연결부를 구비하는 액티브층과;

상기 액티브층과 교차하도록 배열된 게이트전극을 포함하며,

상기 게이트전극중 상기 액티브층과 오버랩되는 부분이 멀티플게이트로 작용하는 것을 특징으로 하는 유기전계 발광표시장치의 화소회로.

청구항 15.

제14항에 있어서, 상기 제1 및 제3박막 트랜지스터의 게이트전극은 상기 액티브층과 교차하는 적어도 하나이상의 슬롯을 구비하는 것을 특징으로 하는 유기전계 발광표시장치의 화소회로.

청구항 16.

제14항에 있어서, 제1 및 제3트랜지스터중 하나는 듀얼게이트를 갖는 박막 트랜지스터를 포함하고, 나머지 하나는 듀얼게이트이상의 멀티플 게이트를 구비하는 박막 트랜지스터를 포함하는 것을 특징으로 하는 유기전계 발광표시장치의 화소회로.

청구항 17.

제14항에 있어서, 상기 현재 스캔신호의 바로 이전의 스캔신호에 응답하여 상기 캐패시터에 저장된 전압레벨의 데이터신호를 방전시켜 주는 초기화용 제4트랜지스터와;

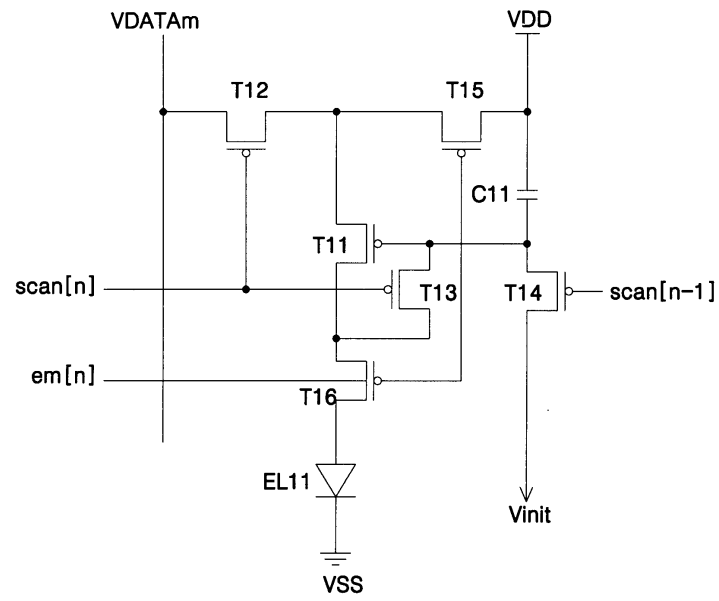
현재발광제어신호에 의해 응답하여 전원전압을 상기 제2트랜지스터로 제공하기 위한 제5트랜지스터와;

상기 현재발광제어신호에 응답하여 상기 제2트랜지스터를 통해 EL소자로 구동전류를 제공하는 제6트랜지스터를 더 포함하고,

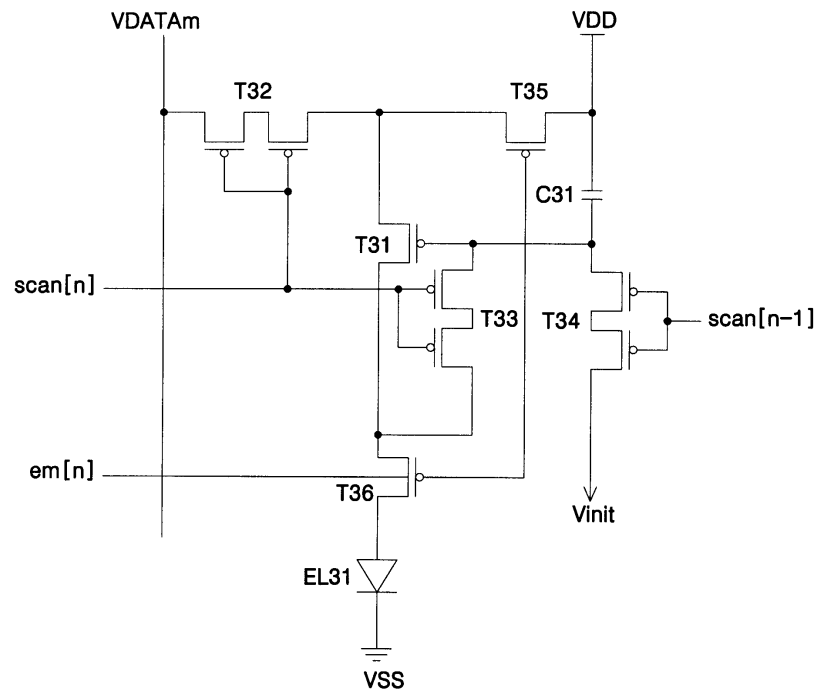
상기 제4 내지 제6트랜지스터는 멀티플 게이트를 구비하는 박막 트랜지스터를 포함하는 것을 특징으로 하는 유기전계 발광표시장치의 화소회로.

도면

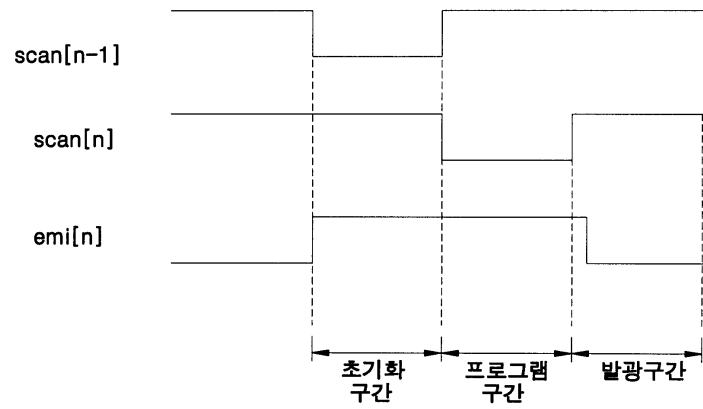
도면1



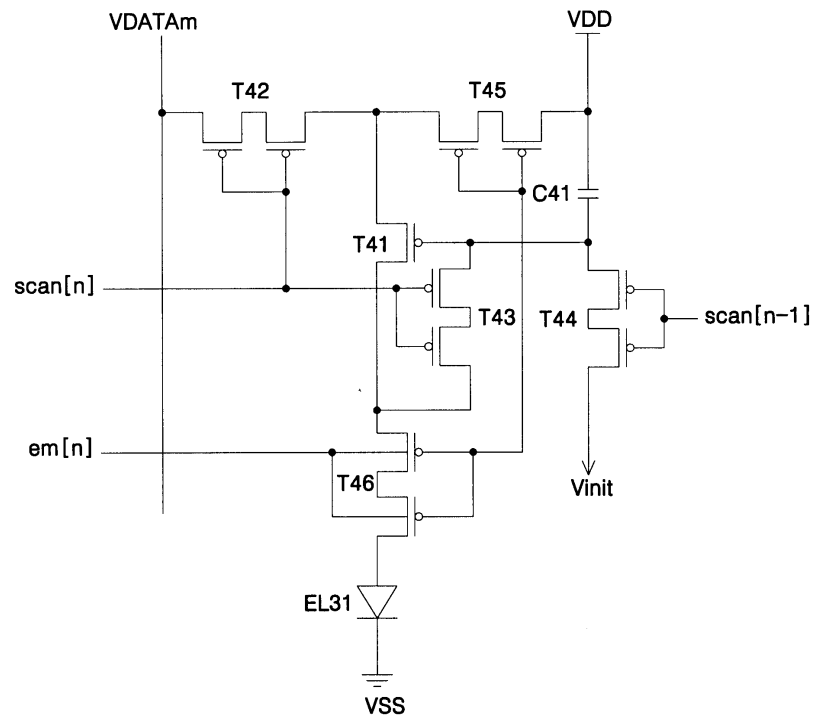
도면2



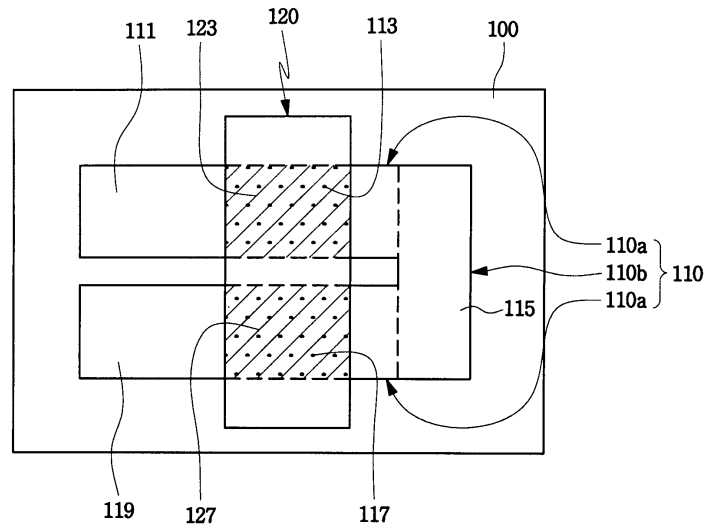
도면3



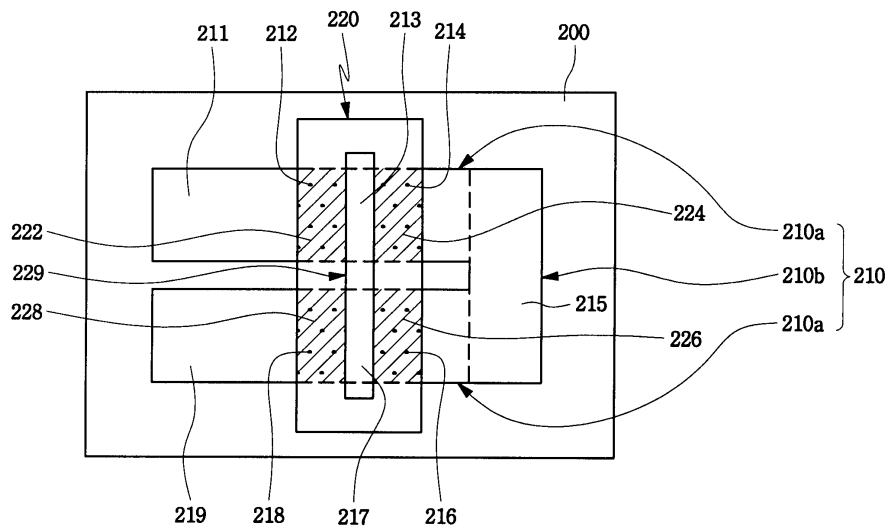
도면4



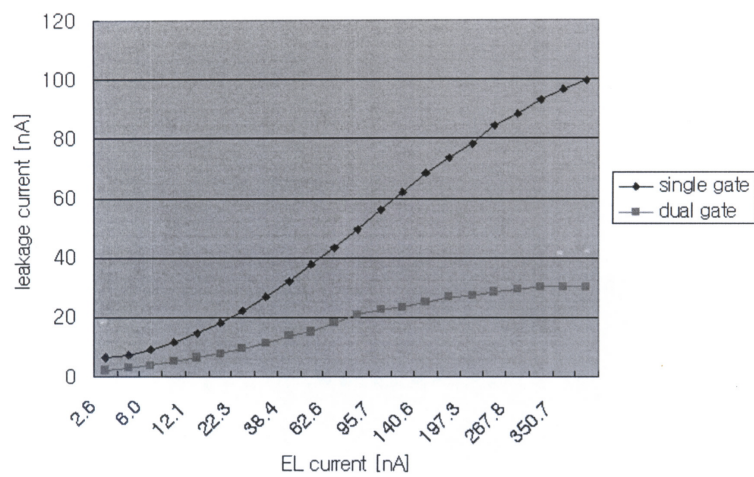
도면5



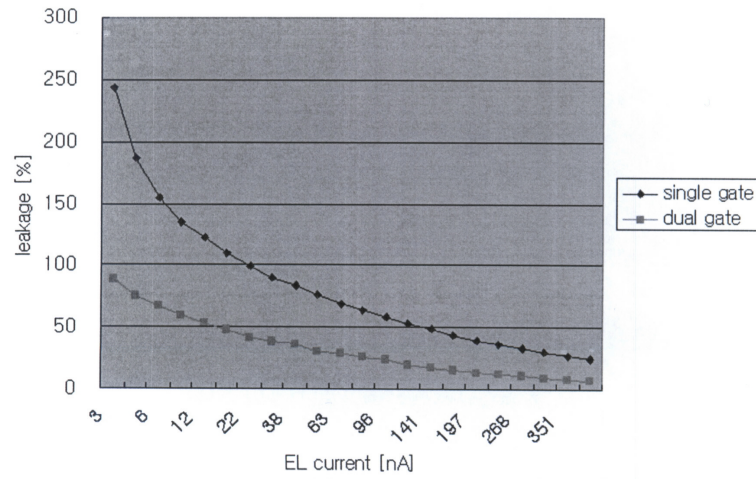
도면6



도면7a



도면7b



专利名称(译)	有机电致发光显示装置的像素电路		
公开(公告)号	KR1020050052033A	公开(公告)日	2005-06-02
申请号	KR1020030085852	申请日	2003-11-28
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	KIM YANGWAN		
发明人	KIM,YANGWAN		
IPC分类号	G09G3/30		
代理人(译)	PARK , 常树		
其他公开文献	KR100570995B1		
外部链接	Espacenet		

摘要(译)

本发明公开了将有源电致发光显示装置形成为多栅极的开关晶体管的像素电路，具有高灰度表示，并且可以减小开关晶体管截止时的漏电流。本发明的像素电路包括：第一晶体管，响应于扫描线信号输出数据程序，存在电压电平的数据信号；第二晶体管，第三晶体管，用于提供电压电平的数据信号作为响应数据编程中的当前扫描信号到第二晶体管，并且第五晶体管传送电容器，用于存储传送到第二晶体管的电压电平的数据信号，用于保持在第二晶体管中的数据程序中编程的电压电平的数据信号第四晶体管用于向第二晶体管提供辐射电源电压和根据来自第二晶体管的电压电平的数据信号在辐射中提供的驱动电流，包括3,4,5，第二晶体管是一个栅极6晶体管包括多栅极。第二晶体管响应于数据编程中的电压电平的数据信号编程数据信号产生电致发光单元的驱动电流，并且以辐射编程。

