(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
H05B 33/00

(11) 공개번호 10-2004-0029242
(43) 공개일자 2004년04월06일

(21) 출원번호 10-2002-0058210
(22) 출원일자 2002년09월25일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 최준후
서울특별시서대문구영천동삼호아파트108동303호

최범락
서울특별시강남구대치1동삼성아파트112-508

채종철
서울특별시마포구신공덕동삼성아파트102-1004

(74) 대리인 박영우

심사청구 : 없음

(54) 유기 전계발광 구동 소자와 이를 갖는 유기 전계발광 표시패널

요약

드라이브 박막트랜지스터의 특성 보상 기능을 갖는 유기 전계발광 구동 소자와 이를 갖는 유기 전계발광 표시 패널을 개시한다. 제1 박막트랜지스터는 제1단에 연결된 게이트 라인을 통해 인가되는 현재의 게이트 신호에 응답하여 제2단에 연결된 데이터 라인을 통해 인가되는 데이터 신호를 제3단을 통해 출력하고, 제2 박막트랜지스터는 제1단을 통해 인가되는 이전의 게이트 신호에 응답하여 제2단에 연결된 기준 전압을 제3단을 통해 출력하며, 제3 박막트랜지스터는 제1단이 제1 박막트랜지스터의 제3단에 연결되고, 제2단과 제3단이 공통 연결된다. 또한, 제4 박막트랜지스터는 제1단이 전류 공급 라인에 연결되고, 제2단이 제3 박막트랜지스터의 공통단에 연결되어, 공통단을 통해 입력되는 신호에 응답하여 제3단을 통해 유기 전계발광 소자에 전류를 제공하여 유기 전계발광 소자를 구동한다.

대표도

도 3

색인어

유기 전계발광, EL, 보상, 공통전극, 기준 전압,

명세서

도면의 간단한 설명

도 1은 일반적인 유기 전계발광 구동 소자의 일례를 설명하기 위한 도면이다.

도 2는 본 발명의 제1 실시예에 따른 유기 전계발광 구동 소자를 설명하기 위한 도면이다.

도 3은 상기한 도 2에 인가되는 신호의 파형을 설명하기 위한 도면이다.

도 4는 상기한 도 3의 동작을 설명하기 위한 신호의 파형도이다.

도 5a 및 도 5b는 상기한 도 3의 동작을 도식적으로 설명하기 위한 도면이다.

도 6은 본 발명의 제2 실시예에 따른 유기 전계발광 구동 소자를 설명하기 위한 도면이다.

도 7은 본 발명의 제3 실시예에 따른 유기 전계발광 구동 소자를 설명하기 위한 도면이다.

도 8은 상기한 도 3의 유기 전계발광 구동 소자를 채용한 유기 전계발광 표시 패널의 일례를 설명하기 위한 도면이다.

도 9는 본 발명의 제4 실시예에 따른 유기 전계발광 구동 소자를 설명하기 위한 도면이다.

도 10은 본 발명의 제5 실시예에 따른 유기 전계발광 구동 소자를 설명하기 위한 도면이다.

도 11은 본 발명의 제6 실시예에 따른 유기 전계발광 구동 소자를 설명하기 위한 도면이다.

도 12는 상기한 도 11에 인가되는 신호의 파형을 설명하기 위한 도면이다.

도 13a와 도 13b는 본 발명에 따른 제3 및 제4 박막트랜지스터의 제조방법을 설명하기 위한 도면이다.

도 14는 상기한 도 3의 유기 전계발광 표시장치의 평면도를 설명하기 위한 도면이다.

도 15 및 도 16은 상기한 도 14의 A-A' 선, B-B' 선에 따른 유기 전계발광 표시장치 각각의 단면도이다.

<도면의 주요부분에 대한 부호의 설명>

T1, T2, T3, T4, T5, T6 : 박막트랜지스터 V_{COM} : 공통전극 전압

OLED : 유기 전계발광 소자 Cst : 스토리지 캐패시터

Gq-1, Gq : 게이트 라인 Dp, Dp+1 : 데이터 라인

Vdd : 전류 공급 라인

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 전계발광 구동 소자와 이를 갖는 유기 전계발광 표시 패널에 관한 것으로, 보다 상세하게는 구동용 박막트랜지스터의 특성 보상 기능을 갖는 유기 전계발광 구동 소자와 이를 갖는 유기 전계발광 표시 패널에 관한 것이다.

현재 사용되는 표시장치로서는 가장 많이 쓰고 있는 것으로 브라운관(CRT)이 있으며, 컴퓨터용으로서는 액정 표시장치(Liquid Crystal Display; LCD)의 비율이 차차 증가하고 있다. 하지만 브라운관의 경우 너무 무겁고 부피가 크며, LCD의 경우 밝지 않고, 측면에서 잘 보이지 않으며, 효율이 낮은 등의 단점을 가지고 있어 사용자들을 완전하게 만족시키지 못하고 있다.

이에 따라 현재 많은 사람들이 보다 저렴하고, 효율이 높고, 얇고, 가벼운 디스플레이 장치를 개발하기 위해 노력하고

있으며, 그러한 차세대 디스플레이 소자로서 주목받고 있는 것 중에 하나가 유기 전계발광 소자(Organic Light Emitting Device)(이하, OLED)이다.

이러한 OLED는 특정 유기물 또는 고분자들의 ElectroLuminescence(EL : 전기를 가하였을 때 빛을 방출하는 현상)를 이용하는 것으로 디스플레이 장치에 별도의 백라이트 장치를 구비하지 않아도 되므로 상기한 액정표시장치(LCD)에 비해 박형화가 가능하고, 더 싸고 쉽게 제작할 수 있으면서도, 넓은 시야각과 밝은 빛을 내는 장점을 가지고 있어 이에 관한 연구가 전세계적으로 뜨겁게 진행되고 있다.

도 1은 일반적인 유기 전계발광 구동 소자의 일례를 설명하기 위한 도면이 다. 도 2는 상기한 도 1에 인가되는 신호 파형을 설명하기 위한 도면이다.

도 1 및 도 2를 참조하면, 일반적인 유기 전계발광 구동 소자는 게이트와 소오스가 게이트 라인과 데이터 라인간에 각각 연결된 스위칭용 박막트랜지스터(Q_S), 일단이 스위칭 박막트랜지스터(Q_S)의 드레인에 연결된 스토리지 캐패시터(Cst), 게이트가 상기 스위칭 박막트랜지스터(Q_S)의 드레인에 연결되고, 소오스가 외부의 바이어스 전압(Vdd)에 연결된 구동용 박막트랜지스터(Q_D) 및 일단이 상기 구동용 박막트랜지스터(Q_D)의 드레인에 연결되고, 타단이 공통전극 전압(V_{COM})에 연결된 유기 전계발광 소자(OLED)로 구성된다. 여기서, 상기 스위칭 박막트랜지스터(Q_S)는 게이트에 전원이 인가됨에 따라 턴-온하는 N 타입 박막트랜지스터이고, 상기 구동용 박막트랜지스터(Q_D)는 게이트에 전원이 인가됨에 따라 턴-오프하는 P 타입 박막트랜지스터이다.

동작시, 게이트 신호에 의해 상기 스위칭 박막트랜지스터(Q_S)가 턴-온되며, 이때 각 데이터 신호가 상기 구동용 박막트랜지스터(Q_D)의 게이트 전압으로 인가된다. 이때 상기 게이트 전압은 상기 스토리지 캐패시터(Cst)에 의해 1프레임 동안 유지된다. 이때 상기 구동용 박막트랜지스터(Q_D)의 채널 컨덕턴스(Chanel conductances)는 상기 구동용 박막트랜지스터(Q_D)에 인가된 게이트 전압과 소오스에 해당하는 바이어스 전압에 의해 결정된다. 그리고 상기 유기 전계발광소자(OLED) 양단에 걸리는 전압의 크기는 상기 바이어스 전압(Vdd)과 상기 공통 전극 전압(V_{COM}) 사이에 인가된 전압이 상기 구동용 박막트랜지스터(Q_D)와 직렬로 연결된 유기 전계발광 소자(OLED)의 전압 분배에 의해 결정되고, 결정된 전압 분배에 해당하는 전류가 상기 유기 전계발광 소자(OLED)를 통해 흐르면서 상기 유기 전계발광 소자(OLED)가 발광하게 된다.

여기서, 각 픽셀에 동일한 데이터 신호가 상기 스위칭 박막트랜지스터(Q_S)를 경유하여 상기 구동용 박막트랜지스터(Q_D)의 게이트에 인가되어 각 픽셀의 구동용 박막트랜지스터(Q_D)의 게이트-소오스간 전압(V_{GS})이 동일하게 결정된다 하더라도 각 구동용 박막트랜지스터(Q_D)의 특성에 따라 전압 분배가 달라져서 상기 유기 전계발광 소자(OLED)들 각각에 흐르는 전류가 달라진다. 따라서 각 픽셀별로 동일한 데이터 신호에 대하여 밝기가 달라지는 화질의 불균일이 발생하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

이에 본 발명의 기술과 과제는 이러한 종래의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 픽셀에 구비되는 구동용 박막트랜지스터의 특성을 보상하여 화질의 불균일을 해결하기 위한 유기 전계발광 구동 소자를 제공하는 것이다.

또한, 본 발명의 다른 목적은 상기한 유기 전계발광 표시소자를 갖는 유기 전계발광 표시 패널을 제공하는 것이다.

발명의 구성 및 작용

상기한 본 발명의 목적을 실현하기 위한 하나의 특징에 따른 유기 전계발광 구동 소자는, 제1 방향으로 배열된 복수의 데이터 라인과 상기 제1 방향과는 상이한 제2 방향으로 배열된 복수의 게이트 라인에 의해 정의되는 영역에 각각 구비되고, 일단이 공통전극단에 연결되며, 흐르는 전류에 응답하여 발광하는 유기 전계발광 소자의 구동 소자에 있어서, 제1단에 연결된 게이트 라인을 통해 인가되는 현재의 게이트 신호에 응답하여 제2단에 연결된 데이터 라인을 통해 인가되는 데이터 신호를 제3단을 통해 출력하는 제1 스위칭 소자; 제1단을 통해 인가되는 이전의 게이트 신호에 응답하여 제2단에 연결된 기준 전압을 제3단을 통해 출력하는 제2 스위칭 소자; 제1단이 상기 제1 스위칭 소자의 제3단에 연결되고, 제2단과 제3단이 공통 연결된 제3 스위칭 소자; 및 제1단이 전류 공급 라인에 연결되고, 제2단이 상기 제3 스위칭 소자의 공통단에 연결되어, 상기 공통단을 통해 입력되는 신호에 응답하여 제3단을 통해 상기 유기 전계발광 소자에 상기 전류를 제공하는 제4 스위칭 소자를 포함하여 이루어진다.

또한, 상기한 본 발명의 다른 목적을 실현하기 위한 하나의 특징에 따른 유기 전계발광 표시 패널은, 제1 방향으로 배열되어, 데이터 신호를 전달하는 데이터 라인; 상기 제1 방향과는 상이한 제2 방향으로 배열되어, 게이트 신호를 전달

하는 게이트 라인; 바이어스 전원을 전달하는 전류 공급 라인; 일단이 공통전극단에 연결되며, 흐르는 전류의 양에 응답하여 발광하는 유기 전계발광 소자; 제1단을 통해 전달되는 현재의 게이트 신호에 응답하여 제2단에 연결된 데이터 라인을 통해 인가되는 데이터 신호를 제3단을 통해 출력하는 제1 스위칭 소자; 제1단을 통해 인가되 는 이전의 게이트 신호에 응답하여 제2단에 연결된 기준 전압을 제3단을 통해 출력하는 제2 스위칭 소자; 제1단이 상기 제1 스위칭 소자의 제3단에 연결되고, 제2단과 제3단이 공통 연결된 제3 스위칭 소자; 및 제1단이 상기 전류 공급 라인에 연결되고, 제2단이 상기 제3 스위칭 소자의 공통단에 연결되어, 상기 공통단을 통해 입력되는 신호에 응답하여 제3단을 통해 상기 유기 전계발광 소자에 상기 전류를 제공하는 제4 스위칭 소자를 포함하여 이루어진다.

이러한 유기 전계발광 구동 소자와 이를 갖는 유기 전계발광 표시 패널에 의하면, 각 픽셀마다 서로 특성이 다른 구동용 박막트랜지스터에 대하여 동일 데이터 신호에 대하여 동일한 전류를 흐르게 할 수 있다.

이하, 첨부한 도면을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.

도 3은 본 발명의 제1 실시예에 따른 유기 전계발광 구동 소자를 설명하기 위한 도면이고, 도 4는 상기한 도 3에 인가되는 신호의 파형을 설명하기 위한 도면이다.

도 3 및 도 4를 참조하면, 본 발명의 제1 실시예에 따른 유기 전계발광 구동 소자는 스위칭 기능을 수행하는 제1 박막트랜지스터(T1), 제2 박막트랜지스터(T2), 제3 박막트랜지스터(T3), 구동 기능을 하는 제4 박막트랜지스터(T4), 제5 박막트랜지스터(T5), 공통전극 전압(V_{COM})에 연결된 유기 전계발광 소자(OLED) 및 스토리지 캐패시터(Cst)로 이루어져 하나의 단위 픽셀을 정의하고, 게이트 신호를 전달하는 게이트 라인들과, 데이터 신호를 전달하는 데이터 라인들에 둘러싸인 영역에 배치 된다. 이때 상기 전류 공급 라인(Vdd)은 몰드브덴텅스텐(MoW)으로 이루어지는 단일 금속층 또는 상기 몰드브덴텅스텐(MoW)층에 적층된 알루미늄네오듐(AlNd)층으로 이루어지는 이중 금속층으로 형성되어, 상기 데이터 라인을 형성할 때 데이터 라인과 평행한 방향, 즉, 수직 방향으로 형성되고, 각 전류 공급 라인에는 게이트 라인 수만큼의 화소가 연결된다.

여기서, 하나의 단위 픽셀은 m×n×3의 해상도를 갖는 유기 전계발광 표시 패널상에서 p 및 p+1번째 데이터 라인과, q-1 및 q번째 게이트 라인에 의해 정의되는 것으로 설명한다. 또한, 상기 제1 및 제2 박막트랜지스터(T1, T2) 각각은 각각의 게이트에 해당 박막트랜지스터의 문턱전압보다 높은 레벨의 게이트 신호가 인가될 때 턴-온하는 N 타입의 박막트랜지스터이고, 상기 제3 내지 제5 박막트랜지스터(T3, T4, T5) 각각은 각각의 게이트에 해당 박막트랜지스터의 문턱전압보다 낮은 레벨의 게이트 신호가 인가될 때 턴-온하는 P 타입의 박막트랜지스터이다.

상기 제1 박막트랜지스터(T1)는 게이트가 현재의 게이트 라인(Gq)에 연결되고, 소오스가 데이터 라인(Dp)에 연결되며, 상기 현재의 게이트 라인(Gq)을 통해 인가되는 게이트 신호에 응답하여 소오스를 통해 입력되는 데이터 신호를 드레인을 통해 상기 제3 박막트랜지스터(T3)에 출력한다.

상기 제2 박막트랜지스터(T2)는 게이트가 이전의 게이트 라인(Gq-1)에 연결되고, 소오스가 기준 전압(Vref)을 공급하는 기준전압 라인에 연결되며, 이전의 게이트 라인을 통해 인가되는 게이트 신호에 응답하여 소오스를 통해 입력되는 상기 기준 전압(V_{REF})을 드레인을 통해 상기 제4 박막트랜지스터(T4)에 출력한다.

상기 제3 박막트랜지스터(T3)는 소오스가 상기 제1 박막트랜지스터(T1)의 드레인에 연결되고, 게이트와 드레인이 공통 연결되어 상기 스토리지 캐패시터(Cst) 및 제4 박막트랜지스터(T4)의 게이트에 연결되며, 상기 제1 박막트랜지스터(T1)로부터 제공되는 데이터 전압을 상기 제4 박막트랜지스터(T4)에 출력한다.

상기 제4 박막트랜지스터(T4)는 소오스가 바이어스 전압(Vdd)을 공급하는 상기 전류공급 라인에 연결되고, 게이트가 상기 스토리지 캐패시터(Cst)의 일단 및 상기 제3 박막트랜지스터(T3)의 드레인에 연결되어, 드레인을 통해 상기 바이어스 전압(Vdd)을 출력한다. 여기서, 상기 제3 박막트랜지스터(T3)와 제4 박막트랜지스터(T4)의 특성은 동일하거나 유사한 것이 바람직하다.

상기 제5 박막트랜지스터(T5)는 소오스가 상기 제4 박막트랜지스터(T4)의 드레인에 연결되고, 게이트가 이전의 게이트 라인에 연결되어, 이전 게이트 신호에 응답하여 상기 제4 박막트랜지스터(T4)를 통해 입력되는 상기 바이어스 전압(Vdd)을 드레인을 통해 출력한다.

상기 스토리지 캐패시터(Cst)는 일단이 상기 제2 내지 제4 박막트랜지스터(T2, T3, T4)의 게이트에 공통 연결되고, 타단이 상기 바이어스 전압(Vdd)에 연결되어, 상기 바이어스 전압(Vdd)을 충전하고 있다가 1 프레임동안 충전된 바이어스 전압(Vdd)을 상기 제4 박막트랜지스터(T4)의 게이트에 제공한다.

상기 유기 전계발광 소자(OLED)는 일단이 상기 제5 박막트랜지스터(T5)의 드 레인에 연결되고, 타단이 상기 공통전극 전압(V_{COM})에 연결되어, 상기 제5 박막트랜지스터(T5)를 통해 입력되는 신호, 바람직하게는 전류에 응답하여

광을 출사한다.

그러면, 첨부하는 도면을 참조하여, 본 발명의 제1 실시예에 따른 유기 전계발광 구동 소자의 동작을 보다 상세히 설명한다.

도 5a 및 도 5b는 상기한 도 3의 동작을 도식적으로 설명하기 위한 도면이다. 특히, 도 5a는 이전의 게이트 라인에 게이트 신호가 인가될 때의 동작을 도식적으로 설명하기 위한 도면이고, 도 5b는 현재의 게이트 라인에 게이트 신호가 인가될 때의 동작을 도식적으로 설명하기 위한 도면이다.

먼저, 도 5a를 참조하면, 이전의 게이트 라인을 선택하는 게이트 신호가 인가됨에 따라 상기 제1 및 제3 내지 제5 박막트랜지스터(T1, T3, T4, T5)는 턴-오프 상태를 유지하고, 상기 제2 박막트랜지스터(T2)는 턴-온되어 상기 제4 박막트랜지스터(T4)의 게이트에는 상기 기준 전압라인으로부터 제공되는 기준 전압(Vref)이 인가된다. 이때의 기준 전압(Vref)은 하기하는 수학식 1의 조건을 만족하는 것이 바람직하다.

수학식 1

$$[V_{gate\text{-}off(T1)}] \leq V_{ref} \leq [V_{data,\min} + V_{th(T3)}]$$

여기서, 상기 $V_{gate\text{-}off(T1)}$ 는 제1 박막트랜지스터(T1)의 게이트 오프 전압이고, 상기 $V_{data,min}$ 은 데이터 라인(Dp)에 인가되는 데이터 전압의 최소치이며, 상기 $V_{th(T3)}$ 는 제3 박막트랜지스터(T3)의 문턱 전압으로, 음(Negative)의 전압이다.

이어, 도 5b를 참조하면, 현재의 게이트 라인을 선택하는 게이트 신호가 인가됨에 따라, 상기 제1 박막트랜지스터(T1)는 턴-온되어 소오스를 통해 인가되는 데이터 전압을 드레인에 연결된 상기 제3 박막트랜지스터(T3)에 제공한다. 이때 상기 스토리지 캐패시터(Cst)에는 전하가 충전되어 상기 제3 박막트랜지스터(T3)의 게이트에는 하이 레벨이 인가되므로 상기 제3 박막트랜지스터(T3)는 턴-온되어 상기 제1 박막트랜지스터(T1)를 경유하는 데이터 전압을 상기 제4 박막트랜지스터(T4)의 게이트에 제공한다. 이때 상기 제4 박막트랜지스터(T4)에 흐르는 전류의 크기를 결정하는 실질적인 게이트-소오스 전압[$Vgs'_{(T4)}$]는 하기하는 수학식 2와 같다.

수학식 2

$$Vgs'_{(T4)} = Vgs_{(T4)} + Vth_{(T4)}$$

여기서, 상기 제4 박막트랜지스터(T4)의 게이트-소오스 전압은 상기 제4 박막트랜지스터(T4)의 게이트 전압과 바이어스 전압(Vdd)의 차 전압이므로 하기하는 수학식 3과 같다.

수학식 3

$$Vgs_{(T4)} = Vg_{(T4)} - Vdd$$

또한, 상기 제4 박막트랜지스터(T4)의 게이트 전압은 데이터 전압과 상기 제3 박막트랜지스터(T3)의 문턱 전압(Vth)간의 차 전압이고, 상기 제3 박막트랜지스터(T3)의 문턱 전압($V_{th(T3)}$)은 음의 전압이므로 하기하는 수학식 4와 같다.

수학식 4

$$Vg_{(T4)} = Vdata + Vth_{(T3)}$$

또한, 상기 제3 박막트랜지스터(T3)와 제4 박막트랜지스터(T4)의 특성은 동일한 것으로 가정하였으므로 상기 제3 박막트랜지스터(T3)의 문턱 전압(Vth)은 하기하는 수학식 5와 같이 상기 제4 박막트랜지스터(T4)의 문턱 전압(Vth)과 동일하다.

수학식 5

$$Vth_{(T3)} = Vth_{(T4)}$$

그러므로, 상기한 수학식 2 내지 5를 근거로 상기한 수학식 3을 다시 정리하면, 상기 제4 박막트랜지스터(T4)에 흐르는 전류의 크기를 결정하는 실질적인 게이트-소오스 전압[Vgs' $_{(T4)}$]는 하기하는 수학식 6과 같다.

수학식 6

$$Vgs'_{(T4)} = Vdata - Vdd$$

상기한 수학식 6에 기재한 바와 같이, 상기 제4 박막트랜지스터(T4)에 흐르는 전류의 크기를 결정하는 실질적인 게이트-소오스 전압[Vgs' $_{(T4)}$]는 상기 데이터 라인(Dp)을 통해 인가되는 데이터 전압(Vdata)과 외부의 전류 공급 라인을 통해 인가되는 바이어스 전압(Vdd)의 차 전압임을 확인할 수 있다.

따라서, 모든 픽셀에 구비되어 구동 동작을 수행하는 상기 제4 박막트랜지스 터(T4)가 느끼는 실질적인 게이트-소오스 전압[Vgs' $_{(T4)}$]는 상기 데이터 라인(Dp)을 경유하여 인가되는 데이터 전압(Vdata)과 외부에서 전류 공급 라인을 경유하여 인가되는 바이어스 전압(Vdd)의 크기에만 유관하고, 상기 제4 박막트랜지스터(T4)의 문턱 전압(Vth)과는 무관함을 확인할 수 있다.

이상에서 설명한 바와 같이, 상기 제3 박막트랜지스터(T3)와 제4 박막트랜지스터(T4)의 특성이 동일 또는 유사하다는 가정하에 본 발명은 각 픽셀마다 특성이 다른 제4 박막트랜지스터(T4)의 문턱 전압(Vth)을 보상하므로써, 각 픽셀마다 서로 특성이 다른 구동용 박막트랜지스터(제4 박막트랜지스터(T4)에 해당)에 대하여 동일 데이터 신호에 대하여 동일한 전류를 흐르게 할 수 있다.

이상에서는 단위 픽셀에 기준 전압을 제공하기 위해 별도의 기준 전압라인을 구비하는 것을 설명하였으나, 상기한 기준 전압라인을 생략하더라도 구현할 수 있을 것이다.

도 6은 본 발명의 제2 실시예에 따른 유기 전계발광 구동 소자를 설명하기 위한 도면으로, 특히 단위픽셀에 제공되는 기준 전압을 이후의 게이트 라인에 인가되는 게이트 신호로 이용하는 유기 전계발광 구동 소자를 도시한다.

도 6을 참조하면, 본 발명의 제2 실시예에 따른 유기 전계발광 구동 소자는 스위칭 기능을 수행하는 제1 박막트랜지스터(T1), 제2 박막트랜지스터(T2), 제3 박막트랜지스터(T3), 구동 기능을 하는 제4 박막트랜지스터(T4), 제5 박막트랜지스터(T5), 공통전극 전압(V $_{COM}$)에 연결된 유기 전계발광 소자(OLED), 스토 리지 캐패시터(Cst)로 이루어져 하나의 단위 픽셀을 형성하고, 게이트 신호를 전달하는 게이트 라인들과, 데이터 신호를 전달하는 데이터 라인들에 둘러싸인 영역에 배치된다. 상기한 도 3과 비교할 때 동일한 구성 요소에 대해서는 동일한 도면 번호를 부여하고, 그 설명은 생략한다. 여기서, 상기 기준 전압(Vref)은 현재의 게이트 라인(Gq)을 통해 인가되는 게이트 신호이다.

동작시, 이전의 게이트 라인에 게이트 신호가 인가됨에 따라 상기 제1 및 제3 내지 제5 박막트랜지스터(T1, T3, T4, T5)는 턴-오프 상태를 유지하고, 상기 제2 박막트랜지스터(T2)는 턴-온되어 상기 제4 박막트랜지스터(T4)의 게이트에는 오프 레벨의 기준 전압(Vref)이 인가된다. 이때의 상기 기준 전압(Vref)은 현재의 게이트 라인에 인가되는 게이트 신호이므로 오프 레벨이다.

한편, 현재의 게이트 라인에 게이트 신호가 인가됨에 따라 상기 제1 박막트랜지스터는 턴-온되어 소오스를 통해 인가되는 데이터 전압을 드레인에 연결된 상기 제3 박막트랜지스터에 제공한다. 이때 상기 스토리지 캐패시터(Cst)에는 전하가 충전되어 상기 제3 박막트랜지스터(T3)의 게이트에는 하이 레벨이 인가되므로 상기 제3 박막트랜지스터(T3)

는 턴-온되어 상기 제1 박막트랜지스터(T1)를 경유하는 데이터 전압을 상기 제4 박막트랜지스터(T4)의 게이트에 제공한다.

이상에서 설명한 바와 같이, 본 발명의 제2 실시예에 따르면 현재의 픽셀을 구동하기 위해 현재의 게이트 라인에는 항시 하이 레벨의 게이트 신호가 인가되므로 별도의 기준 전압라인을 구비하지 않더라도 상기 제2 박막트랜지스터(T2)에 기준 전압(Vref)을 제공할 수 있다.

도 7은 본 발명의 제3 실시예에 따른 유기 전계발광 구동 소자를 설명하기 위한 도면으로, 특히 상기한 도 3에서 제5 박막트랜지스터를 생략한 예이다.

도 7을 참조하면, 본 발명의 제3 실시예에 따른 유기 전계발광 구동 소자는 스위칭 기능을 수행하는 제1 박막트랜지스터(T1), 제2 박막트랜지스터(T2), 제3 박막트랜지스터(T3), 구동 기능을 하는 제4 박막트랜지스터(T4), 공통전극 전압(V_{COM})에 연결된 유기 전계발광 소자(OLED) 및 스토리지 캐패시터(Cst)로 이루어져 하나의 단위 픽셀을 형성하고, 게이트 신호를 전달하는 게이트 라인들과, 데이터 신호를 전달하는 데이터 라인들에 둘러싸인 영역에 배치된다. 상기한 도 3과 비교할 때 동일한 구성 요소에 대해서는 동일한 도면 번호를 부여하고, 그 설명은 생략한다.

동작시, 이전의 게이트 라인에 게이트 신호가 인가됨에 따라 상기 제1, 제3 및 제4 박막트랜지스터(T1, T3, T4)는 턴-오프 상태를 유지하고, 상기 제2 박막트랜지스터(T2)는 턴-온되어 상기 제4 박막트랜지스터(T4)의 게이트에는 기준 전압라인으로부터 제공되는 기준 전압(Vref)이 인가된다. 이때 상기 기준 전압(Vref)은 상기한 수학식 1에서 개시한 바와 같다.

한편, 현재의 게이트 라인에 게이트 신호가 인가됨에 따라 상기 제1 박막트랜지스터(T1)는 턴-온되어 소오스를 통해 인가되는 데이터 전압을 드레인에 연결된 제3 박막트랜지스터(T3)에 제공한다. 이때 상기 스토리지 캐패시터(Cst)에는 전하가 충전되어 상기 제3 박막트랜지스터(T3)의 게이트에는 하이 레벨이 인가되므로 상기 제3 박막트랜지스터(T3)는 턴-온되어 상기 제1 박막트랜지스터(T1)를 경유하 는 데이터 전압을 상기 제4 박막트랜지스터(T4)의 게이트에 제공한다.

이상에서 설명한 바와 같이, 본 발명의 제3 실시예에 따르면 제4 박막트랜지스터에 연결된 제5 박막트랜지스터를 생략하더라도 각 픽셀마다 특성이 다른 제4 박막트랜지스터(T4)의 문턱 전압(Vth)을 보상하므로써, 각 픽셀마다 서로 특성이 다른 구동용 박막트랜지스터(제4 박막트랜지스터(T4)에 해당)에 대하여 동일 데이터 신호에 대하여 동일한 전류를 흐르게 할 수 있다.

한편, 상기한 본 발명의 제1 내지 제3 실시예에서는 현재의 픽셀을 구동하기 위해 반드시 이전의 게이트 라인이 존재해야한다. 그러면, 상기한 본 발명의 제1 내지 제3 실시예를 유기 전계발광 표시 패널에 실제 적용할 때의 일례에 대해서 첨부하는 도면을 참조하여 간략히 설명한다.

도 8은 상기한 도 3의 유기 전계발광 구동 소자를 채용한 유기 전계발광 표시 패널의 일례를 설명하기 위한 도면이다.

도 8을 참조하면, 본 발명의 일실시예에 따른 유기 전계발광 표시 패널은 컬럼 방향으로 n개의 픽셀을 구비하고, 상기 n개의 픽셀에 주사신호인 게이트 신호를 순차적으로 제공하기 위해 n개의 게이트 라인을 구비한다. 이때 실질적으로 화면 구동에 이용되는 n개의 게이트 라인, 즉 제1 내지 제n번째 게이트 라인(G1, G2, ..., Gn-1, Gn)외에 상기 제1 게이트 라인(G1)에 구비되는 상기 제2 및 제5 박막트랜지스터(T2, T5)의 게이트에 게이트 신호를 인가하기 위한 더미 게이트 라인(G0)을 더 구비하고, 상기 더미 게이트 라인(G0)은 상기 n번째 게이트 라인(Gn)과 동기시킨다.

이처럼 상기 더미 게이트 라인(G0)과 최종단의 게이트 라인(Gn)과를 동기를 위해 연결하므로써 상기 더미 게이트 라인(G0)이 플로팅 상태로 남겨지는 것을 회피할 수 있다.

한편, 도시하지는 않았지만 상기한 더미 게이트 라인과 최종단의 게이트 라인과의 연결없이 각각의 게이트 라인에 게이트 신호를 제공하는 게이트 드라이버로부터 별도의 게이트 신호를 더 제공할 수도 있을 것이다. 왜냐하면, 통상적으로 n개의 게이트 라인을 구동하기 위해서는 상기 게이트 드라이버가 n개의 게이트 신호를 순차적으로 게이트 라인에 제공하는데, 이때 상기 최종단의 게이트 라인에 게이트 신호를 인가하면서 이와 동시에 상기 더미 게이트 라인에 게이트 신호를 인가하므로써 상기 더미 게이트 라인이 플로팅 상태로 남겨지는 것을 회피할 수 있을 것이다.

이상의 본 발명의 제1 내지 제3 실시예에서는 하나의 픽셀을 가로 방향으로 신장되며, 세로 방향으로 인접 배열되는 게이트 라인들과, 세로 방향으로 신장되며, 가로 방향으로 인접 배열되는 데이터 라인들에 의해 정의하고, 상기 데이터 라인과 평행하게 세로 방향으로 신장되며, 가로 방향으로 배열되는 전류 공급 라인과 연결된 구동용 박막트랜지스터(즉, 제4 박막트랜지스터(T4))의 문턱 전압을 보상하는 것을 설명하였다.

하지만, 상기 전류 공급 라인이 상기 데이터 라인과 평행하게 되면 크로스토크가 발생할 위험이 있다. 즉, 전류 공급 라인이 세로 방향으로 신장되었을 때 첫 번째 픽셀에는 풀 레벨의 바이어스 전압이 인가되나, 점점 하위 픽셀로 내려갈수록 레벨 저감된 바이어스 전압이 인가된다. 그 결과, 첫 번째 픽셀에 배열되는 제4 박막트랜지스터의 게이트-소오스간 전압($V_{gs1(T4)}$)부터 마지막 번째인 n번째 픽셀에 배열되는 제4 박막트랜지스터의 게이트-소오스간 전압($V_{gsn(T4)}$)간의 차이는 발생한다. 상기한 픽셀간의 게이트-소오스 전압의 차이에 의해 동일 레벨의 데이터 전압이 인접하는 각각의 픽셀에 각각 인가된다 할지라도, 각각의 픽셀에 구비되는 제4 박막트랜지스터들의 소오스에서 느끼는 전압차가 발생하므로 하위 픽셀로 내려갈수록 크로스토크가 심하게 발생한다. 이러한 크로스토크는 결국에는 화질의 악영향을 유발하게 된다.

그러면, 상기한 크로스토크의 발생을 줄이기 위한 변형예들에 대해서 후술하는 도면들을 참조하여 설명한다.

도 9는 본 발명의 제4 실시예에 따른 유기 전계발광 구동 소자를 설명하기 위한 도면이다. 특히, 전류 공급 라인의 신장 방향을 게이트 라인의 신장 방향과 평행하게 구현한 예를 도시한다.

도 9를 참조하면, 본 발명의 제4 실시예에 따른 유기 전계발광 구동 소자는 스위칭 기능을 수행하는 제1 박막트랜지스터(T1), 제2 박막트랜지스터(T2), 제3 박막트랜지스터(T3), 구동 기능을 하는 제4 박막트랜지스터(T4), 제5 박막트랜지스터(T5), 공통전극 전압(V_{COM})에 연결된 유기 전계발광 소자(OLED) 및 스토리지 캐패시터(Cst)로 이루어져 하나의 단위 픽셀을 형성하고, 게이트 신호를 전달하는 게이트 라인들과, 데이터 신호를 전달하는 데이터 라인들에 둘러싸인 영역 에 배치된다. 상기한 도 3과 비교할 때 동일한 구성 요소에 대해서는 동일한 도면 번호를 부여하고, 그 설명은 생략한다. 여기서, 제5 박막트랜지스터(T5)의 게이트는 현재의 게이트 라인(Gq)에 연결되어 현재의 게이트 신호에 응답하여 온/오프된다.

동작시, 이전의 게이트 라인(Gq-1)에 게이트 신호가 인가됨에 따라 상기 제1, 제3 및 제4 박막트랜지스터(T1, T3, T4)는 턴-오프 상태를 유지하고, 상기 제2 및 제5 박막트랜지스터(T2)는 턴-온되며, 상기 제4 박막트랜지스터(T4)의 게이트에는 기준 전압라인으로부터 제공되는 기준 전압(Vref)이 인가된다. 이때 상기 기준 전압(Vref)은 상기한 수학식 1에서 개시한 바와 같다.

한편, 현재의 게이트 라인(Gq)에 게이트 신호가 인가됨에 따라 상기 제1 박막트랜지스터(T1)는 턴-온되어 소오스를 통해 데이터 라인(Dp)으로부터 인가되는 데이터 전압을 드레인에 연결된 상기 제3 박막트랜지스터(T3)에 제공한다. 이때 상기 스토리지 캐패시터(Cst)에는 전하가 충전되어 상기 제3 박막트랜지스터(T3)의 게이트에는 하이 레벨이 인가되므로 상기 제3 박막트랜지스터(T3)는 턴-온되어 상기 제1 박막트랜지스터(T1)를 경유하는 데이터 전압을 상기 제4 박막트랜지스터(T4)의 게이트에 제공한다.

이상에서 설명한 바와 같이, 본 발명의 제4 실시예에 따르면 구동 기능을 수행하는 제4 박막트랜지스터에 소정의 바이어스 전압을 인가하는 전류 공급 라인을 게이트 라인과 평행하게 구성하더라도 상기 제4 박막트랜지스터의 특성을 보상할 수 있을 뿐만 아니라, 세로 방향으로 배열된 픽셀간의 크로스토크를 제거할 수 있 다.

도 10은 본 발명의 제5 실시예에 따른 유기 전계발광 구동 소자를 설명하기 위한 도면이다. 특히, 전류 공급 라인의 신장 방향을 게이트 라인의 신장 방향과 평행하게 구현하면서도 별도의 박막트랜지스터를 더 구비한 예를 도시한다.

도 10을 참조하면, 본 발명의 제5 실시예에 따른 유기 전계발광 구동 소자는 스위칭 기능을 수행하는 제1 박막트랜지스터(T1), 제2 박막트랜지스터(T2), 제3 박막트랜지스터(T3), 구동 기능을 하는 제4 박막트랜지스터(T4), 제5 박막트랜지스터(T5), 제6 박막트랜지스터(T6), 공통전극 전압(V_{COM})에 연결된 유기 전계발광 소자(OLED) 및 스토리지 캐패시터(Cst)로 이루어져 하나의 단위 픽셀을 형성하고, 게이트 신호를 전달하는 게이트 라인들과, 데이터 신호를 전달하는 데이터 라인들에 둘러싸인 영역에 배치된다.

도 9와 비교할 때 동일한 구성 요소에 대해서는 동일한 도면 번호를 부여하고, 그 설명은 생략한다. 여기서, 제5 박막트랜지스터(T5)는 P 타입의 박막트랜지스터로서, 게이트는 이전의 게이트 라인(Gq-1)에 연결되어 이전의 게이트 신호에 응답하여 온/오프된다.

또한, 제6 박막트랜지스터(T6)는 N 타입의 박막트랜지스터로서, 소오스는 상기 제5 박막트랜지스터(T5)의 드레인에 연결되고, 드레인은 유기 전계발광 소자(OLED)에 연결되며, 게이트는 현재의 게이트 라인(Gq)에 연결되어 현재의 게이트 신호에 응답하여 온/오프한다.

동작시, 이전의 게이트 라인(Gq-1)에 게이트 신호가 인가됨에 따라 상기 제1, 제3, 제4, 제5, 제6 박막트랜지스터(T1, T3, T4, T5, T6)는 턴-오프 상태를 유지하고, 상기 제2 박막트랜지스터(T2)는 턴-온되며, 상기 제4 박막트랜지스터(T4)의 게이트에는 기준 전압라인으로부터 제공되는 기준 전압(Vref)이 인가된다. 이때의 기준 전압(Vref)은 상기한 수학식 1에서 개시한 바와 같다.

한편, 현재의 게이트 라인(Gq)에 게이트 신호가 인가됨에 따라 상기 제1 박막트랜지스터(T1)는 턴-온되어 소오스를 통해 데이터 라인(Dp)으로부터 인가되는 데이터 전압을 드레인에 연결된 제3 박막트랜지스터(T3)에 제공한다. 이때 상기 스토리지 캐패시터(Cst)에는 전하가 충전되어 상기 제3 박막트랜지스터(T3)의 게이트에는 하이 레벨이 인가되므로 상기 제3 박막트랜지스터(T3)는 턴-온되어 상기 제1 박막트랜지스터(T1)를 경유하는 데이터 전압을 상기 제4 박막트랜지스터(T4)의 게이트에 제공한다.

이상에서 설명한 바와 같이, 본 발명의 제5 실시예에 따르면 구동 기능을 수행하는 제4 박막트랜지스터에 소정의 바이어스 전압을 인가하는 전류 공급 라인을 게이트 라인과 평행하게 구성하고, 현재의 게이트 신호에 온/오프 응답하는 별도의 박막트랜지스터를 유기 전계발광 소자의 입력단에 구성하더라도 상기 제4 박막트랜지스터의 특성을 보상할 수 있을 뿐만 아니라, 세로 방향으로 배열된 픽셀간의 크로스토크를 제거할 수 있다.

이상에서 설명한 바와 같이, 본 발명의 제1 내지 제5 실시예에서는 하나의 단위 픽셀에 구비되는 상기 제1 및 제2 박막트랜지스터를 N 타입의 박막트랜지스터로 구현하고, 상기 제3 내지 제5 박막트랜지스터를 P 타입의 박막트랜지스터로 구현하는 일례를 위주로 설명하였다. 하지만, 일반적으로 박막트랜지스터가 스위칭 동작을 수행하는 점을 감안하면 후술하는 도 11과 같이, 하나의 단위 픽셀에 구비되는 제1 내지 제4 박막트랜지스터를 P 타입의 박막트랜지스터로 구현하고, 제5 박막트랜지스터를 N 타입의 박막트랜지스터로 구현할 수도 있을 것이다.

도 11은 본 발명의 제6 실시예에 따른 유기 전계발광 구동 소자를 설명하기 위한 도면이고, 도 12는 상기한 도 11에 인가되는 신호의 파형을 설명하기 위한 도면이다.

도 11을 참조하면, 본 발명의 제6 실시예에 따른 유기 전계발광 구동 소자는 스위칭 기능을 하는 제1 박막트랜지스터(T21), 제2 박막트랜지스터(T22), 제3 박막트랜지스터(T23), 구동 기능을 하는 제4 박막트랜지스터(T24), 제5 박막트랜지스터(T25), 유기 전계발광 소자(OLED) 및 스토리지 캐패시터(Cst)로 이루어져 하나의 단위 픽셀을 형성하고, 게이트 신호를 전달하는 게이트 라인들과, 데이터 신호를 전달하는 데이터 라인들에 둘러싸인 영역에 배치된다. 여기서, 상기 제1 내지 제4 박막트랜지스터(T21, T22, T23, T24) 각각은 해당 박막트랜지스터의 게이트에 문턱전압보다 낮은 레벨의 게이트 신호가 인가될 때 턴-온하는 P 타입의 박막트랜지스터이고, 상기 제5 박막트랜지스터(T25)는 해당 박막트랜지스터의 게이트에 문턱전압보다 높은 레벨의 게이트 신호가 인가될 때 턴-온하는 N 타입의 박막트랜지스터이다.

이때 상기 게이트 라인에 인가되는 게이트 신호는 도 12에 도시한 바와 같이, 반전된 게이트 신호이다. 즉, 상기 제1 박막트랜지스터(T21)가 P 타입의 박막트랜지스터이기 때문에 상기 게이트 라인을 선택하는 게이트 신호가 액티브 하이일 때에는 상기 게이트 라인이 비활성 상태를 유지하다가, 상기 게이트 신호가 액티브 로우일 때에는 상기 게이트 라인을 활성 상태로 유지하게된다. 이처럼, 반전된 게이트 신호를 유기 전계발광 구동 소자를 채용하는 유기 전계발광 표시 패널에 제공하기 위해서는 게이트 신호를 순차적으로 출력하는 게이트 드라이버(미도시)에 일종의 반전기를 더 구비시킴으로써 구현이 가능하다.

동작시, 이전의 게이트 라인(Gq-1)을 선택하는 로우 레벨의 게이트 신호가 인가됨에 따라 상기 제1 및 제3 내지 제5 박막트랜지스터(T21, T23, T24, T25)는 턴-오프 상태를 유지하고, 상기 제2 박막트랜지스터(T22)는 턴-온되어 상기 제4 박막트랜지스터(T24)의 게이트에는 기준 전압(Vref)이 인가된다. 이때 상기 기준 전압(Vref)은 하기하는 수학식 7과 8의 조건을 동시에 만족하는 것이 바람직하다.

수학식 7

$$V_{ref} < V_{gate\text{-}off(T21)}$$

여기서, 상기 $V_{gate\text{-}off(T21)}$ 는 상기 제1 박막트랜지스터(T21)의 게이트 오프 전압이다.

수학식 8

$$V_{ref} < [V_{data,\min} + V_{th(T23)}]$$

여기서, 상기 $V_{data,min}$ 은 상기 데이터 라인(Dp)에 인가되는 데이터 전압의 최소치이며, 상기 $V_{th(T23)}$ 는 상기 제3 박막트랜지스터(T23)의 문턱 전압이다.

이어, 현재의 게이트 라인을 선택하는 로우 레벨의 게이트 신호가 인가됨에 따라, 상기 제1 박막트랜지스터(T21)는 턴-온되어 소오스를 통해 인가되는 데이터 전압을 드레인에 연결된 상기 제3 박막트랜지스터(T23)에 제공한다. 이때 상기 스토리지 캐패시터(Cst)에는 전하가 충전되어 상기 제3 박막트랜지스터(T23)의 게이트에는 하이 레벨이 인가되므로 상기 제3 박막트랜지스터(T23)는 턴-온되어 상기 제1 박막트랜지스터(T21)를 경유하는 데이터 전압을 상기 제4 박막트랜지스터(T24)의 게이트에 제공한다. 이때 상기 제4 박막트랜지스터(T24)에 흐르는 전류의 크기를 결정하는 실질적인 게이트-소오스 전압[$Vgs'_{(T24)}$]는 하기하는 수학식 9와 같다.

수학식 9

$$Vgs'_{(T24)} = Vgs_{(T24)} + Vth_{(T24)}$$

여기서, 상기 제4 박막트랜지스터(T24)의 게이트-소오스 전압은 상기 제4 박막트랜지스터(T24)의 게이트 전압과 바이어스 전압(Vdd)의 차 전압이므로 하기하는 수학식 10과 같다.

수학식 10

$$Vgs_{(T24)} = Vg_{(T24)} - Vdd$$

여기서, 상기 제4 박막트랜지스터(T24)의 게이트 전압은 상기 데이터 전압과 상기 제3 박막트랜지스터(T23)의 문턱 전압(Vth)간의 차 전압이므로 하기하는 수학식 11과 같다.

수학식 11

$$Vg_{(T24)} = Vdata + Vth_{(T23)}$$

또한, 상기 제3 박막트랜지스터(T23)와 제4 박막트랜지스터(T24)의 특성은 동일한 것으로 가정하였으므로 상기 제3 박막트랜지스터(T23)의 문턱 전압(Vth)은 하기하는 수학식 12와 같이 상기 제4 박막트랜지스터(T24)의 문턱 전압(Vth)과 동일하다.

수학식 12

$$Vth_{(T23)} = Vth_{(T24)}$$

그러므로, 상기한 수학식 10 내지 12를 근거로 상기한 수학식 9를 다시 정리하면, 하기하는 수학식 13과 같다.

수학식 13

$$Vgs'_{(T24)} = Vdata - Vdd$$

상기한 수학식 13에 기재한 바와 같이, 상기 제4 박막트랜지스터(T24)에 흐르는 전류의 크기를 결정하는 실질적인 게이트-소오스 전압[Vgs' $_{(T24)}$]는 상기 데이터 라인(Dp)을 통해 인가되는 상기 데이터 전압(Vdata)과 외부의 전류 공급 라인을 통해 인가되는 바이어스 전압(Vdd)의 차전압임을 확인할 수 있다.

따라서, 모든 픽셀에 구비되어 구동 동작을 수행하는 제4 박막트랜지스터(T24)가 느끼는 실질적인 게이트-소오스 전압[Vgs' $_{(T24)}$]는 상기 데이터 라인(Dp)을 경유하여 인가되는 데이터 전압(Vdata)과 외부에서 전류 공급 라인을 경유하여 인가되는 바이어스 전압(Vdd)의 크기에만 유관하고, 상기 제4 박막트랜지스터(T24)의 문턱 전압(Vth)과는 무관함을 확인할 수 있다.

이상에서 설명한 바와 같이, 본 발명은 각 픽셀마다 특성이 다른 제4 박막트랜지스터(T4)의 문턱 전압(Vth)을 보상하므로써, 각 픽셀마다 서로 특성이 다른 구동용 박막트랜지스터(제4 박막트랜지스터(T24)에 해당)에 대하여 동일 데이터 신호에 대하여 동일한 전류를 흐르게 할 수 있다. 이때 단위 픽셀에 구비되어 스위칭용 박막트랜지스터(T1)를 통해 전달되는 데이터 신호를 전달하는 상기 제3 박막트랜지스터(T3)와 상기 제3 박막트랜지스터(T3)와 상기 전류 공급라인(Vdd)에 연결되는 구동용 박막트랜지스터인 상기 제4 박막트랜지스터(T4)의 특성이 동일 또는 유사한 것을 조건으로 한다.

한편, 일반적으로 상기한 박막트랜지스터는 다층으로 구성되고 반도체층, 절연층, 보호층 및 전극층으로 나뉘어진다. 여기서, 반도체층으로는 아몰퍼스-실리콘(Amorphous-Silicon) 또는 폴리-실리콘(Poly-silicon)등이 사용되고, 절연층으로는 실리콘 질화막(SiNX), 실리콘 산화막(SiO2), 산화알루미늄(Al2O3), 탄탈옥사이드(TaOX)등이 사용되며, 보호층으로는 투명 유기절연물질 또는 절연물질이 사용되고, 전극층으로는 알루미늄(Al), 크롬(Cr), 몰리 브덴(Mo)등의 금속 도전성 물질이 일반적으로 사용된다. 이들 각 요소에 따른 물질들은 증착장치(Deposition Apparatus) 즉, 스퍼터링(sputtering)장치, 화학기상증착(Chemicalvapor deposition : CVD) 장치 등을 사용하여 성막한 후에 리소그라피(Lithography) 기술을 구사하여 소자의 각 요소로 형성된다.

이와 같이 구성된 각 구성층 중 상기 반도체층은 전자가 흐르는 전도 채널로서 역할을 하고, 상기 전극층은 소오스 전극, 드레인 전극 및 게이트 전극으로 구성된다. 이때, 소오스 전극은 상기 반도체층에 신호 전압을 인가하는 수단이고, 상기 소오스 전극은 상기 반도체층을 통해 신호 전압을 상기 드레인전극으로 방출하는 수단이며, 상기 게이트전극은 상기 소오스전극에서 상기 드레인전극으로 전류의 흐름을 스위칭하는 수단이다.

따라서, 상기한 박막트랜지스터는 스위칭 소자로 사용하게 되며, 액티브 매트릭스 타입의 유기 전계발광 표시장치를 위한 스위칭 요소로 응용된다. 이러한 액티브 매트릭스 유기 전계발광 표시장치는 카드뮴 세레나이드(CdSe), 수소화된 아몰퍼스-실리콘(a-Si:H), 폴리 크리스탈라인 실리콘(Poly crystalline silicon : poly-Si)이 반도체층으로 사용된 박막트랜지스터를 사용함으로써 성공적인 구성이 가능해졌다.

이와 같이, 상기 박막트랜지스터의 반도체층으로 사용되는 물질 중 아몰퍼스-실리콘은 공정이 간단하고 저온에서 처리될 수 있으므로, 이미 솔라셀(Solar cell)과 같은 대면적 소자 제작에 사용되고 있다. 또한, 아몰퍼스-실리콘을 이용한 소자의 제작공정은 최대 온도가 350℃정도의 저온 처리 시스템에서 단독으로 행해질 수 있기 때문에 제작이 편리하다. 그러나, 실제로 상기 아몰퍼스-실리콘내에서의 낮은 전자 이동도는 박막트랜지스터의 스위칭의 동작 특성에 방해의 요인으로 작용하고, 또한, 고속으로 박막트랜지스터를 제어하는 구동회로소자(Drive circuitry)와 박막트랜지스터의 통합을 어렵게 하는 단점이 있다. 이에 반하여, 폴리-실리콘을 반도체층으로 사용한 박막트랜지스터는 액티브매트릭스 유기 전계발광 표시 장치에 적당하다.

상기 폴리-실리콘으로 제조되는 박막트랜지스터는 새로운 처리 단계가 필요하지만, 대신에 액티브 매트릭스 유기 전계발광 표시장치내의 스위칭 소자로서 아몰퍼스-실리콘보다 몇 배 빠른 응답속도를 가지고 있다. 또한, 폭넓게 사용되는 아몰퍼스-박막트랜지스터에 비교하여 폴리-실리콘의 가장 큰 장점은 높은 전계효과 이동도를 가지고 있다는 것이다. 상기한 전계효과 이동도는 박막트랜지스터의 스위칭속도를 결정하며, 아몰퍼스-실리콘보다 수 100배 빠르다.

이러한 차이는 상기 폴리-실리콘이 여러 결정립(Grain)으로 구성되었고, 상기 아몰퍼스-실리콘보다는 적은 디펙트(defect)를 가지고 있는 점에 기인한다. 따라서, 폴리-실리콘은 대면적 스크린을 갖는 차세대 유기 전계발광 표시장치를 위한 스위칭뿐만 아니라, 구동회로 일체화가 가능한 소자로 기대된다.

상기한 폴리-실리콘을 결정화하는 방법으로는 고온에서 아몰퍼스-실리콘을 결정화하는 SPC(Solid phase crystallization) 방법, 아몰퍼스-실리콘 위에 금속을 증착하여 열을 가해줌으로서 결정화하는 MIC(Metal induced crystallization) 방법, 레이저를 사용하여 결정화하는 엑시머레이저 어닐링(Excimer laser annealing) 방법 등이 있다.

상기 레이저(laser)를 사용하는 방법은 저온 공정 처리가 가능하여 저가의 유리 기판을 사용할 수 있기 때문에 가격 경쟁력면에서 우수하다. 특히, 엑시머레이저 어닐링 방법으로 제조된 박막트랜지스터는 고속의 이동 속도를 가질 수

있게 됨으로 소자의 동작 특성이 좋은 장점이 있다.

그러면, 상기한 레이저를 이용하여 아몰퍼스 타입의 박막트랜지스터를 결정화하여 폴리-실리콘 타입의 박막트랜지스터로 변형하는 예들을 첨부하는 도면을 참조하여 간략히 설명한다.

도 13a와 도 13b는 본 발명에 따른 제3 및 제4 박막트랜지스터의 제조방법을 설명하기 위한 도면이다. 특히, 동일 평면상에서 상기 제3 박막트랜지스터(T3)와 제4 박막트랜지스터(T4)를 형성할 때, 레이저 스캔을 이용하여 아몰퍼스 타입의 박막트랜지스터를 결정화시켜 폴리-실리콘 타입으로 변경하기에 적합한 제조방법을 설명하기 위한 도면이다.

도 13a를 참조하면, 유리 기판의 동일 평면상에 아몰퍼스 타입의 상기 제3 박막트랜지스터(T3)와 제4 박막트랜지스터(T4)를 각각 형성한다. 이때 상기 제3 및 제4 박막트랜지스터(T3, T4)의 게이트라인 형성 방향은 서로 평행하고, 액티브층 상부에 형성되는 상기 제3 및 제4 박막트랜지스터(T3, T4)의 각각의 소오스와 드레인의 배열을 상기 게이트라인 형성 방향, 즉 레이저 스캔 방향(Laser Scan Direction)과 수직하도록 형성한다. 그 결과, 상기 아몰퍼스 타입의 박막트랜지스터를 레이저를 통해 결정화하여 폴리-실리콘 타입의 박막트랜지스터로 변형할 수 있다.

한편, 도 13a를 참조하면, 유리 기판의 동일 평면상에 아몰퍼스 타입의 상기 제3 박막트랜지스터(T3)와 제4 박막트랜지스터(T4)를 각각 형성한다. 이때 상기 제3 및 제4 박막트랜지스터(T3, T4)의 게이트라인 형성 방향은 임의의 가상선상에 동일하게 배치되고, 상기 제3 및 제4 박막트랜지스터(T3, T4)의 각각의 소오스와 드레인의 배열을 상기 게이트라인 형성 방향, 즉 레이저 스캔 방향과 평행하도록 형성한다. 그 결과, 상기 아몰퍼스 타입의 박막트랜지스터를 레이저를 통해 결정화하여 폴리-실리콘 타입의 박막트랜지스터로 변형할 수 있다.

결정화 동작시, 상기 기판상에 레이저빔 패턴을 형성하기 위한 마스크와 상기 마스크의 패턴을 축소하여 상기 기판상에 노광하기 위한 투영렌즈를 구성하여 레이저 어닐링을 시작한다. 보다 상세히는, 먼저 일정 수단에 의해 상기 레이저빔을 균일화시키고, 상기 마스크를 통해서 상기 기판 위에 형성될 빔의 형태를 결정한다. 이어, 축소배율의 투영렌즈를 통해서 수 ㎛의 빔 너비를 가진 빔을 형성한다. 이어, X-Y스테이지 위에 놓인 상기 기판을 이동시키거나 또는 상기 레이저빔을 이동시키면서 상기 레이저빔을 통해 상기 아몰퍼스 타입의 박막트랜지스터를 결정화하여 상기 폴리-실리콘 타입의 박막트랜지스터를 형성한다.

도 14는 상기한 도 3의 유기 전계발광 구동 소자의 평면도를 설명하기 위한 도면이고, 도 15 및 도 16은 상기한 도 14의 A-A' 선, B-B' 선에 따른 유기 전계발광 표시장치 각각의 단면도이다. 여기서, 도면부호 10은 유리, 석영, 사파이어와 같은 절연 기판, 20은 차단막(blocking layer), 30은 게이트 절연막, 40은 층간절 연막(InterLayer Dielectric, ILD), 50은 패시베이션(Passivation layer)막이다.

도 14 내지 16을 참조하면, 본 발명에 따른 유기 전계발광 표시장치는 유리 기판(10) 상에 실리콘 산화물을 플라즈마-증대 화학기상증착(plasma-enhanced chemical vapor deposition; PECVD) 방법에 의해 대략 2000Å의 두께로 증착된 차단막(20) 상에 형성된 5개의 박막트랜지스터(T1, T2, T3, T4, T5)와 1개의 스토리지 캐패시터(C), 그리고 5개의 배선(Gn-1, Gn, DL, Vdd, V_{REF})으로 구성된다. 이때 차단막(20)은 폴리-실리콘막으로 변경하기 위한 비정질실리콘막의 결정화 동안에 열손실을 방지하기 위함이다.

또한, 하나의 단위 픽셀은 제1 방향으로 신장되는 제1 및 제2 게이트 라인(Gn-1, Gn)과, 상기 제1 방향과는 상이한 제2 방향으로 신장되는 데이터 라인(DL) 및 전류 공급 라인(Vdd)에 의해 정의되고, 기준 전압라인(V_{REF})은 상기 제1 방향으로 신장되어 상기 단위 픽셀의 중간에 배치된다.

보다 상세히는, 상기 제1 게이트 라인(Gn-1)은 이전 컬럼의 픽셀에 구비되는 제1 박막트랜지스터(T1)를 온/오프하여 데이터 라인(DL)을 통해 초기 데이터 전압 및 계조 데이터 전압을 인가하는 역할과 함께 현재 컬럼의 픽셀에 구비되는 상기 제2 박막트랜지스터(T2)와 제5 박막트랜지스터(T5)를 온/오프하는 역할을 한다.

또한, 상기 제2 게이트 라인(Gn)은 현재 컬럼의 픽셀에 구비되어 스위칭 기능을 하는 상기 제1 박막트랜지스터(T1)를 온/오프하여 상기 데이터 라인(DL)을 통해 초기 데이터 전압 및 계조 데이터 전압을 인가하는 역할과 함께 다음 컬럼의 픽 셀에 구비되는 상기 제2 박막트랜지스터(T2)와 제5 박막트랜지스터(T5)를 온/오프하는 역할을 한다. 또한, 상기 전류 공급 라인(Vdd)에는 디스플레이 신호의 최대 값이 직류 상태로 일정하게 인가된다. 또한, 상기 기준 전압라인(V_{REF})은 외부로부터 공급되는 기준 전압을 상기 제2 박막트랜지스터(T2)에 공급한다.

상기 제1 박막트랜지스터(T1)는 상기 제2 게이트 라인(Gn)과 데이터 라인(DL)의 교차점 부근에 배치된 제1 액티브 패턴(110)과, 상기 제2 게이트 라인(Gn)으로부터 연장되어 상기 제1 액티브 패턴(110) 위를 지나가는 게이트 전극(112)과, 상기 데이터 라인(DL)으로부터 연장되어 게이트 전극(112) 일측의 제1 액티브 패턴(110)과 콘택되는 소오스 전극(114)과, 그리고 상기 게이트 전극(112) 타측의 제1 액티브 패턴(110)과 콘택되는 제1 드레인 전극(116)을 포함한다. 여기서, 상기 제1 박막트랜지스터(T1)의 게이트 전극은 상기 제2 게이트 라인(Gn)과 연결되고, 상기 제1 소오

스 전극은 상기 데이터 라인(DL)과 연결된다.

상기 제2 박막트랜지스터(T2)는 제2 액티브 패턴(120)과, 제1 게이트 라인(Gn-1)으로부터 연장되어 상기 제2 액티브 패턴(120) 위를 지나는 게이트 전극(122)과, 상기 기준 전압라인(V_{REF})으로부터 연장되어 상기 게이트 전극(122) 일측의 제2 액티브 패턴(120)과 콘택되는 소오스 전극(124)과, 그리고 상기 게이트 전극(122) 타측의 제2 액티브 패턴(120)과 콘택되는 드레인 전극(126)을 포함한다.

상기 제3 박막트랜지스터(T3)는 제1 액티브 패턴(110)과, 상기 제1 게이트 라인(Gn-1) 형성시 형성된 메탈라인(G_M)으로부터 연장되어 상기 제1 액티브 패턴(110) 위를 지나가는 게이트 전극(132)과, 상기 기준 전압라인(V_{REF})으로부터 연장되어 상기 게이트 전극(132) 일측의 제1 액티브 패턴(110)과 콘택되는 소오스 전극(134)과, 그리고 상기 게이트 전극(132) 타측의 제1 액티브 패턴(110)과 콘택되는 드레인 전극(136)을 포함한다.

상기 제4 박막트랜지스터(T4)는 제3 액티브 패턴(140)과, 상기 메탈라인(G_M)으로부터 연장되어 상기 제3 액티브 패턴(140) 위를 지나가는 게이트 전극(142)과, 상기 기준 전압라인(V_{REF})으로부터 연장되어 상기 게이트 전극(142) 일측의 제3 액티브 패턴(140)과 콘택되는 소오스 전극(144)과, 그리고 상기 게이트 전극(142) 타측의 제3 액티브 패턴과 콘택되는 드레인 전극(146)으로 포함한다.

상기 제5 박막트랜지스터(T5)는 제4 액티브 패턴(140)과, 상기 제1 게이트 라인(Gn-1)으로부터 연장되어 제4 액티브 패턴(140) 위를 지나는 게이트 전극(152)과, 상기 제4 박막트랜지스터(T4)의 드레인 전극(146)으로부터 연장되어 상기 게이트 전극(152) 일측의 제4 액티브 패턴(140)과 콘택되는 소오스 전극(154)과, 그리고 상기 게이트 전극(152) 타측의 제4 액티브 패턴(140)과 유기 전계발광 소자(EL)의 애노드 전극과 콘택되는 드레인 전극(156)을 포함한다. 여기서, 상기 제1 및 제2 박막트랜지스터(T1, T2)는 N 타입의 박막트랜지스터이고, 상기 제3 내지 제5 박막트랜지스터(T3, T4, T5)는 P 타입의 박막트랜지스터로 형성하는 것이 바람직하다.

상기 스토리지 캐패시터(Cst)는 상기 제1 게이트 라인 형성시 형성된 메탈라 인(G_M)과, 상기 메탈라인(G_M)의 상부에 배치된 전류 공급 라인(Vdd)에 의해 형성되어, 1 프레임 시간 동안 데이터 전압을 일정하게 유지시키는 역할을 한다.

한편, 상기한 5개의 박막트랜지스터(T1, T2, T3, T4, T5)와 1개의 스토리지 캐패시터(C), 그리고 5개의 배선(Gn-1, Gn, DL, Vdd, V_{REF})으로 구성되는 유기 전계발광 표시 패널의 단위 픽셀 상부에 형성되어 ITO 애노드 전극이 노출된 개구부 및 유기 절연막(WALL) 상에 정공 수송층(hole transfer layer; HTL)(미도시), 발광층 및 전자 수송층(electron transfer layer; ETL)(미도시)을 순차적으로 형성한 후, 그 위에 음극 전극(cathode electrode)(미도시)을 형성함으로써 유기 전계발광 표시 패널의 단위 픽셀을 완성한다.

이상에서 도시한 바와 같이, 본 발명에 따른 상기 제3 박막트랜지스터와 제4 박막트랜지스터는 데이터 라인의 형성 방향과 평행하게 형성된다. 이처럼, 상기 제3 및 제4 박막트랜지스터를 데이터 라인의 형성 방향과 평행하게 형성하므로써, 아몰퍼스 타입의 박막트랜지스터를 구성한 후 소정의 레이져 스캔 방법을 통해 결정화하므로써, 상기 제3 및 제4 박막트랜지스터의 특성을 동일 또는 유사하게 구현할 수 있다.

이상에서는 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명에 따르면 유기 전계발광 표시 패널의 단위 픽셀에 구비되는 구동용 박막트랜지스터의 문턱전압을 보상하므로써, 화질의 불균일을 제거할 수 있다. 즉, 상기 구동용 박막트랜지스터가 느끼는 실질적인 게이트-소오스 전압이 상기 구동용 박막트랜지스터의 문턱전압과는 무관하게 외부로부터 인가되는 바이어스 전압과 데이터 전압에만 영향을 받으므로 화질의 불균일을 제거할 수 있다.

또한, 상기 유기 전계발광 표시 패널에 구비되어 각각의 단위 픽셀에 바이어스 전압을 공급하기 위한 전류 공급 라인을 게이트 라인과 평행하게 형성하므로써 컬럼 방향으로 배열된 픽셀들간의 크로스토크를 제거할 수 있다.

(57) 청구의 범위

청구항 1.

제1 방향으로 배열된 복수의 데이터 라인과 상기 제1 방향과는 상이한 제2 방향으로 배열된 복수의 게이트 라인에 의해 정의되는 영역에 각각 구비되고, 일단이 공통전극단에 연결되며, 흐르는 전류에 응답하여 발광하는 유기 전계발광 소자의 구동 소자에 있어서,

제1단에 연결된 게이트 라인을 통해 인가되는 현재의 게이트 신호에 응답하여 제2단에 연결된 데이터 라인을 통해 인가되는 데이터 신호를 제3단을 통해 출력하는 제1 스위칭 소자;

제1단을 통해 인가되는 이전의 게이트 신호에 응답하여 제2단에 연결된 기준 전압을 제3단을 통해 출력하는 제2 스위칭 소자;

제1단이 상기 제1 스위칭 소자의 제3단에 연결되고, 제2단과 제3단이 공통 연결된 제3 스위칭 소자; 및

제1단이 전류 공급 라인에 연결되고, 제2단이 상기 제3 스위칭 소자의 공통단에 연결되어, 상기 공통단을 통해 입력되는 신호에 응답하여 제3단을 통해 상기 유기 전계발광 소자에 상기 전류를 제공하는 제4 스위칭 소자를 포함하는 유기 전계발광 구동 소자.

청구항 2.
제1항에 있어서, 상기 제1 내지 제4 스위칭 소자는 폴리-실리콘 타입의 박막트랜지스터인 것을 특징으로 하는 유기 전계발광 구동 소자.

청구항 3.
제1항에 있어서, 상기 제3 스위칭 소자와 제4 스위칭 소자의 스위칭 특성은 동일한 것을 특징으로 하는 유기 전계발광 구동 소자.

청구항 4.
제3항에 있어서, 상기 제3 및 제4 스위칭 소자는 게이트, 소오스 및 드레인을 각각 갖는 박막트랜지스터로 이루어지고,

상기 제3 스위칭 소자의 게이트 형성 방향은 상기 제4 스위칭 소자의 게이트 형성 방향과 평행하고, 상기 평행 방향에 수직하는 임의의 가상선상에 상기 제3 스위칭 소자의 소오스와 드레인 및 상기 제3 스위칭 소자의 소오스와 드레인이 형성되는 것을 특징으로 하는 유기 전계발광 구동 소자.

청구항 5.
제3항에 있어서, 상기 제3 및 제4 스위칭 소자는 게이트, 소오스 및 드레인을 각각 갖는 박막트랜지스터로 이루어지고,

상기 제3 스위칭 소자의 게이트와 상기 제4 스위칭 소자의 게이트가 임의의 가상선상에 형성되고, 상기 제3 스위칭 소자의 소오스와 드레인 형성 방향은 상기 제4 스위칭 소자의 소오스와 드레인 형성 방향과 평행한 것을 특징으로 하는 유기 전계발광 구동 소자.

청구항 6.
제1항에 있어서, 일단이 상기 전류 공급 라인에 연결되고, 타단이 상기 제3 스위칭 소자의 공통단에 연결된 캐패시터를 더 포함하는 것을 특징으로 하는 유기 전계발광 구동 소자.

청구항 7.
제1항에 있어서, 상기 전류 공급 라인은 상기 데이터 라인과 평행한 것을 특징으로 하는 유기 전계발광 구동 소자.

청구항 8.
제1항에 있어서, 제1단이 이전의 게이트 라인에 연결되고, 제2단이 상기 제4 스위칭 소자의 제3단에 연결되며, 상기 제1단이 이전의 게이트 신호에 응답하여 온/오프되어 상기 제4 스위칭 소자를 경유하는 전류를 출력하는 제5 스위칭 소자를 더 포함하는 것을 특징으로 하는 유기 전계발광 구동 소자.

청구항 9.
제8항에 있어서, 상기 제1 및 제2 스위칭 소자는 N 타입의 박막트랜지스터이고, 상기 제3 내지 제5 스위칭 소자는 P 타입의 박막트랜지스터인 것을 특징으로 하는 유기 전계발광 구동 소자.

청구항 10.

제9항에 있어서, 상기 기준 전압(Vref)은,

$$[V_{gate\text{-}off(T1)}] \leq V_{ref} \leq [V_{data,\min} + V_{th(T3)}]$$

(여기서, 상기 $V_{gate\text{-}off(T1)}$ 는 제1 스위칭 소자의 게이트 오프 전압, 상기 V_{ref} 는 기준 전압, 상기 $V_{data,min}$ 은 데이터 전압의 최소치, 상기 $V_{th(T3)}$ 는 제3 스위칭 소자의 문턱 전압으로서 음의 전압)의 조건을 만족하는 것을 특징으로 하는 유기 전계 발광 구동 소자.

청구항 11.
제8항에 있어서, 상기 제1 내지 제4 스위칭 소자는 P 타입의 박막트랜지스터이고, 상기 제5 스위칭 소자는 N 타입의 박막트랜지스터인 것을 특징으로 하는 유기 전계발광 구동 소자.

청구항 12.
제11항에 있어서, 상기 기준 전압(Vref)은,

$$V_{ref} < V_{gate\text{-}off(T21)}$$

(여기서, 상기 $V_{gate\text{-}off(T21)}$ 는 제1 박막트랜지스터(T21)의 게이트 오프 전압)의 조건을 만족하는 것을 특징으로 하는 유기 전계발광 구동 소자.

청구항 13.
제12항에 있어서, 상기 기준 전압(Vref)은,

$$V_{ref} < [V_{data,\min} + V_{th(T23)}]$$

(여기서, 상기 $V_{data,min}$ 은 데이터 라인(Dp)에 인가되는 데이터 전압의 최소치이며, 상기 $V_{th(T23)}$ 는 제3 박막트랜지스터(T23)의 문턱 전압)의 조건을 더 만족하는 것을 특징으로 하는 유기 전계발광 구동 소자.

청구항 14.
제1항에 있어서, 상기 기준 전압은 현재의 게이트 라인에 인가되는 게이트 신호인 것을 특징으로 하는 유기 전계발광 구동 소자.

청구항 15.
제1항에 있어서, 상기 전류 공급 라인은 상기 게이트 라인과 평행하고,

상기 유기 전계발광 구동 소자는,

제1단이 현재의 게이트 라인에 연결되고, 제2단이 상기 제4 스위칭 소자의 제3단에 연결되며, 상기 제1단이 이전의 게이트 신호에 응답하여 온/오프되어 상기 제4 스위칭 소자를 경유하는 전류를 출력하는 제5 스위칭 소자를 더 포함하는 것을 특징으로 하는 유기 전계발광 구동 소자.

청구항 16.
제1항에 있어서, 상기 전류 공급 라인은 상기 게이트 라인과 평행하고,

상기 유기 전계발광 구동 소자는,

제1단이 이전의 게이트 라인에 연결되고, 제2단이 상기 제4 스위칭 소자의 제3단에 연결되며, 상기 제1단이 이전의 게이트 신호에 응답하여 온/오프되어 상기 제4 스위칭 소자를 경유하는 전류를 출력하는 제5 스위칭 소자; 및

제1단이 상기 제5 스위칭 소자의 제3단에 연결되고, 제2단이 현재의 게이트 라인에 연결되어 상기 현재의 게이트 라인에 인가되는 게이트 신호에 응답하여 온/오프되어 상기 제5 스위칭 소자를 경유하는 전류를 출력하는 제6 스위칭 소자를 더 포함하는 것을 특징으로 하는 유기 전계발광 구동 소자.

청구항 17.

제16항에 있어서, 상기 제5 및 제6 스위칭 소자는 폴리-실리콘 타입의 박막 트랜지스터인 것을 특징으로 하는 유기 전계발광 구동 소자.

청구항 18.
제1 방향으로 배열되어, 데이터 신호를 전달하는 데이터 라인;

상기 제1 방향과는 상이한 제2 방향으로 배열되어, 게이트 신호를 전달하는 게이트 라인;

바이어스 전원을 전달하는 전류 공급 라인;

일단이 공통전극단에 연결되며, 흐르는 전류의 양에 응답하여 발광하는 유기 전계발광 소자;

제1단을 통해 전달되는 현재의 게이트 신호에 응답하여 제2단에 연결된 데이터 라인을 통해 인가되는 데이터 신호를 제3단을 통해 출력하는 제1 스위칭 소자;

제1단을 통해 인가되는 이전의 게이트 신호에 응답하여 제2단에 연결된 기준 전압을 제3단을 통해 출력하는 제2 스위칭 소자;

제1단이 상기 제1 스위칭 소자의 제3단에 연결되고, 제2단과 제3단이 공통 연결된 제3 스위칭 소자; 및

제1단이 상기 전류 공급 라인에 연결되고, 제2단이 상기 제3 스위칭 소자의 공통단에 연결되어, 상기 공통단을 통해 입력되는 신호에 응답하여 제3단을 통해 상기 유기 전계발광 소자에 상기 전류를 제공하는 제4 스위칭 소자를 포함하는 유기 전계발광 패널.

청구항 19.
제18항에 있어서, 상기 유기 전계발광 패널은 일단이 상기 전류 공급 라인에 연결되고, 타단이 상기 제3 스위칭 소자의 공통단에 연결된 캐패시터를 더 포함하는 것을 특징으로 하는 유기 전계발광 패널.

청구항 20.
제18항에 있어서, 상기 전류 공급 라인은 상기 제1 방향으로 배열되는 것을 특징으로 하는 유기 전계발광 패널.

청구항 21.
제20에 있어서, 상기 제1 내지 제2 스위칭 소자는 N 타입의 박막트랜지스터이고, 상기 제3 및 제4 스위칭 소자는 P 타입의 박막트랜지스터인 것을 특징으로 하는 유기 전계발광 패널.

청구항 22.
제20항에 있어서, 상기 유기 전계발광 패널은 제1단이 이전의 게이트 라인에 연결되고, 제2단이 상기 제4 스위칭 소자의 제3단에 연결되며, 상기 제1단이 이전의 게이트 신호에 응답하여 온/오프되어 상기 제4 스위칭 소자를 경유하는 전류를 출력하는 제5 스위칭 소자를 더 포함하는 것을 특징으로 하는 유기 전계발광 패널.

청구항 23.
제22항에 있어서, 상기 제5 스위칭 소자는 P 타입의 박막트랜지스터인 것을 특징으로 하는 유기 전계발광 패널.

청구항 24.
제18항에 있어서, 상기 전류 공급 라인은 상기 제2 방향으로 배열되는 것을 특징으로 하는 유기 전계발광 패널.

청구항 25.
제18항에 있어서, 상기 유기 전계발광 패널은 기준전압을 전달하기 위한 기준전압라인을 더 구비하고, 상기 기준전압라인은 상기 제2 스위칭 소자의 제2단에 연결되어, 상기 기준전압을 제공하는 것을 특징으로 하는 유기 전계발광 패널.

청구항 26.
제18항에 있어서, 상기 기준전압은 현재의 게이트 라인에 인가되는 게이트 신호인 것을 특징으로 하는 유기 전계발광 패널.

청구항 27.

제18항에 있어서, 상기 유기 전계발광 패널은 라인 방향으로 신장되고, 컬럼 방향으로 배열된 복수의 게이트 라인과, 컬럼 방향으로 신장되고, 라인 방향으로 배열된 인접하는 2개의 데이터 라인으로 컬럼 방향으로 배열된 복수의 픽셀을 정의하고,

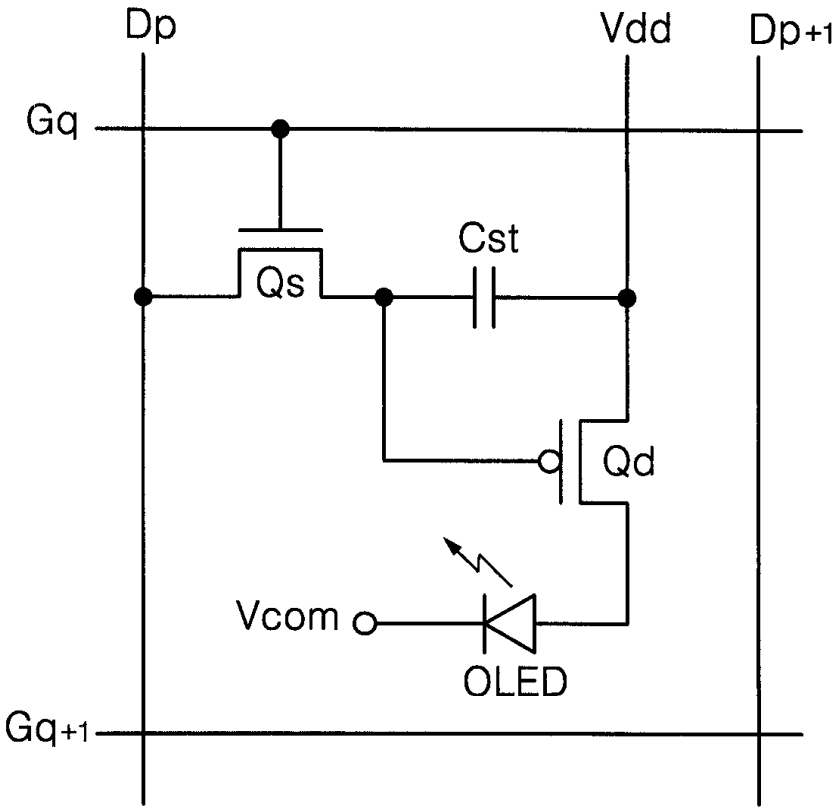
첫 번째 픽셀을 정의하는 2개의 게이트 라인중 최상단에 구비되는 게이트 라인에 공급되는 게이트 신호는 마지막 픽셀을 정의하는 2개의 게이트 라인중 최하단에 구비되는 게이트 라인에 공급되는 게이트 신호와 동기하는 것을 특징으로 하는 유기 전계발광 패널.

청구항 28.

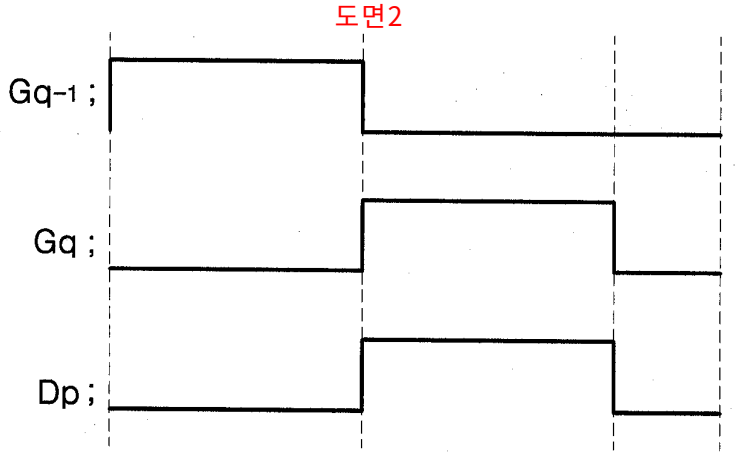
제27항에 있어서, 상기 최상단에 구비되는 게이트 라인은 상기 최하단에 구비되는 게이트 라인과 연결되는 것을 특징으로 하는 유기 전계발광 패널.

도면

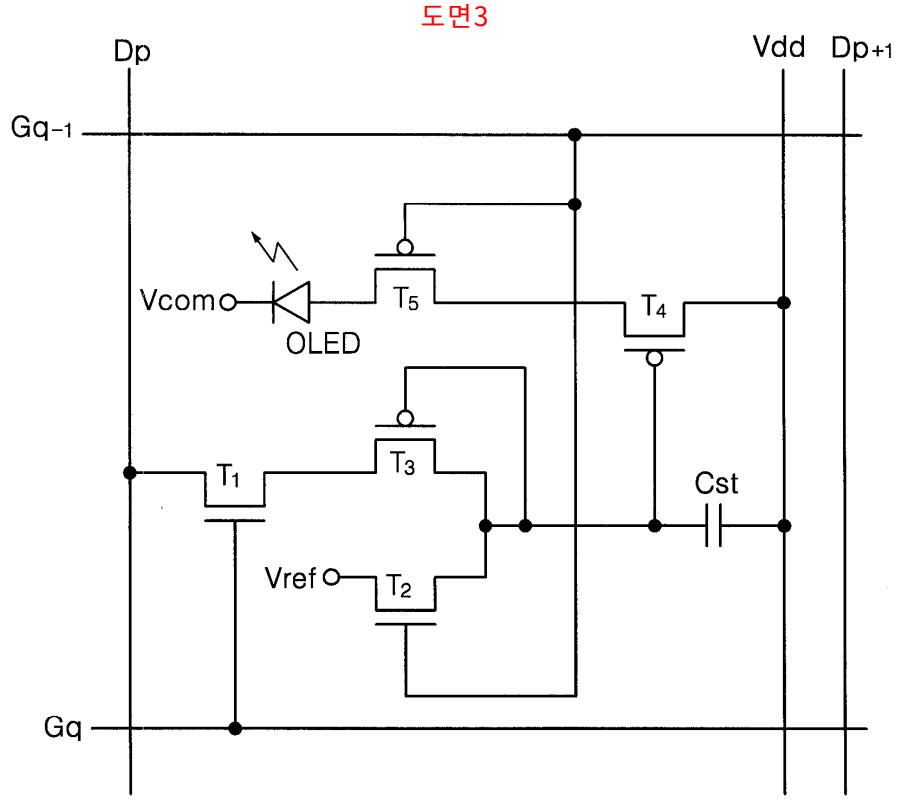
도면1



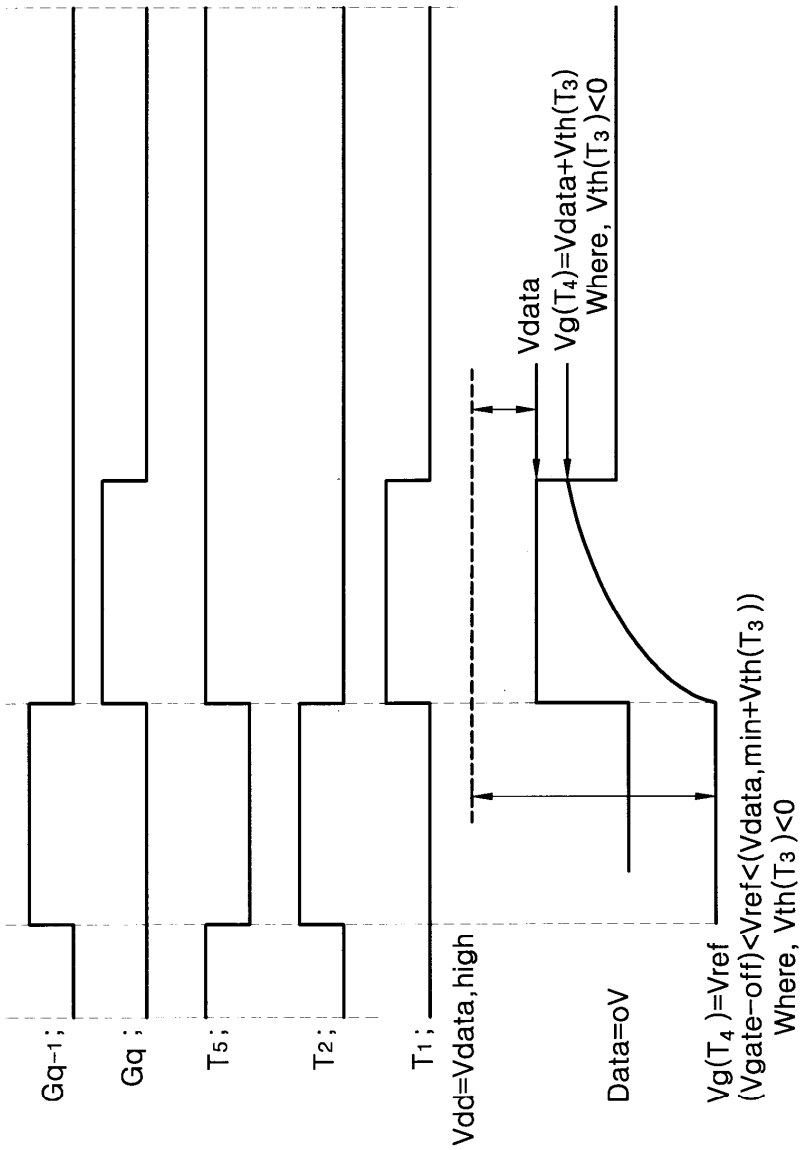
도면2



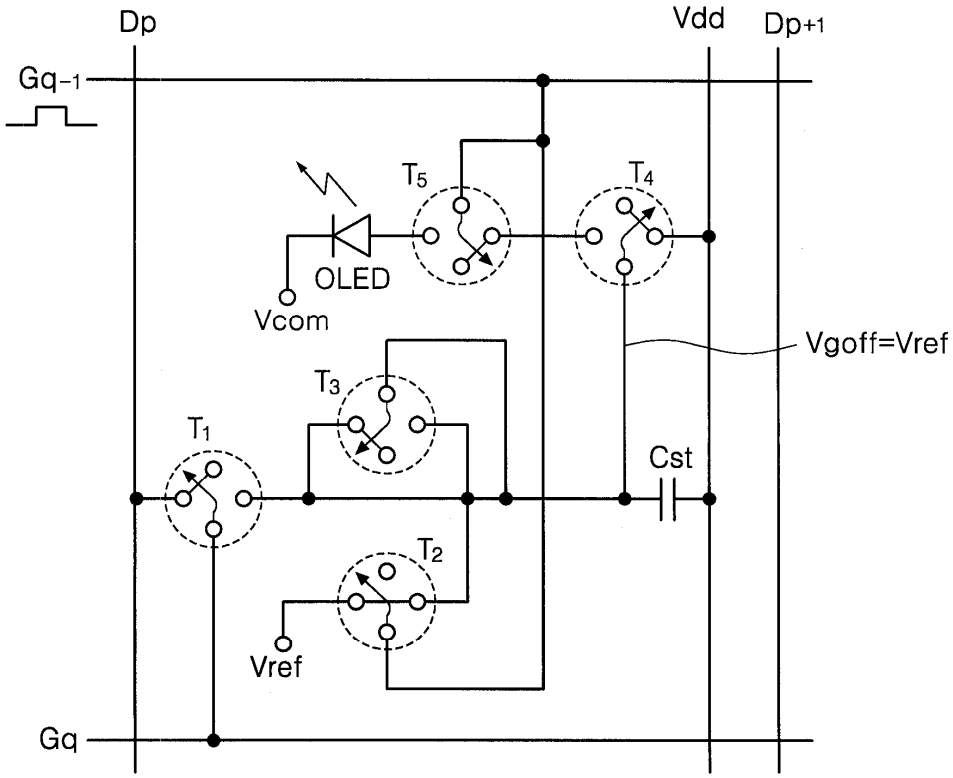
도면3



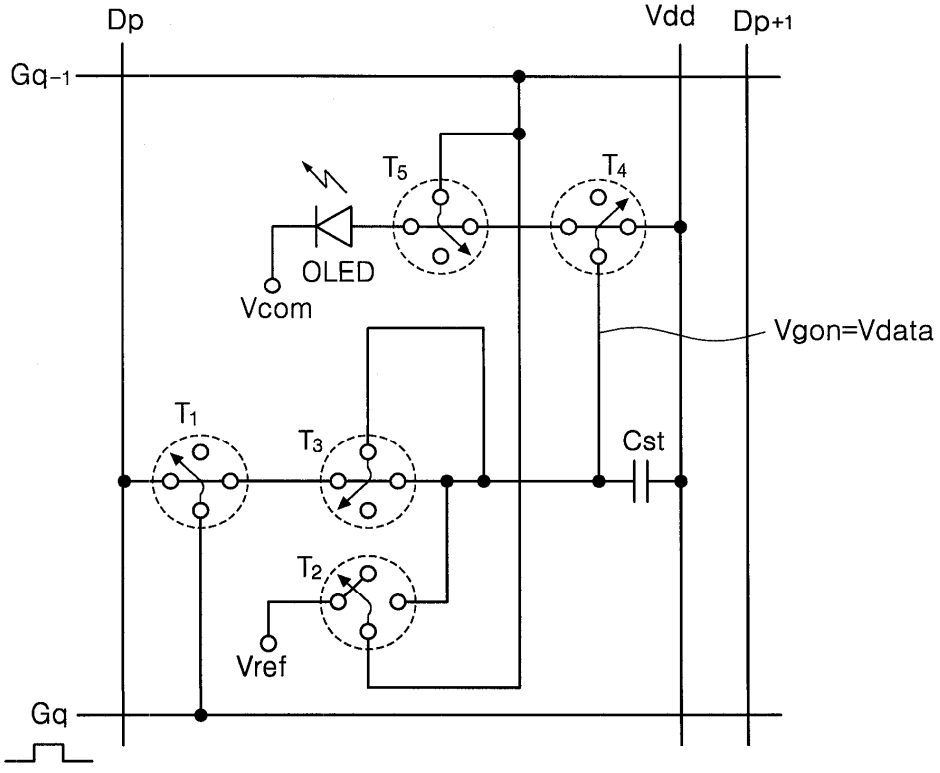
도면4


Gq-1;
Gq ;
T5;
T2;
T1;
Vdd=Vdata,high
Data=oV
Vdata
Vg(T4)=Vdata+Vth(T3)
Where, Vth(T3)<0
Vg(T4)=Vref
(Vgate-off)<Vref<(Vdata,min+Vth(T3))
Where, Vth(T3)<0

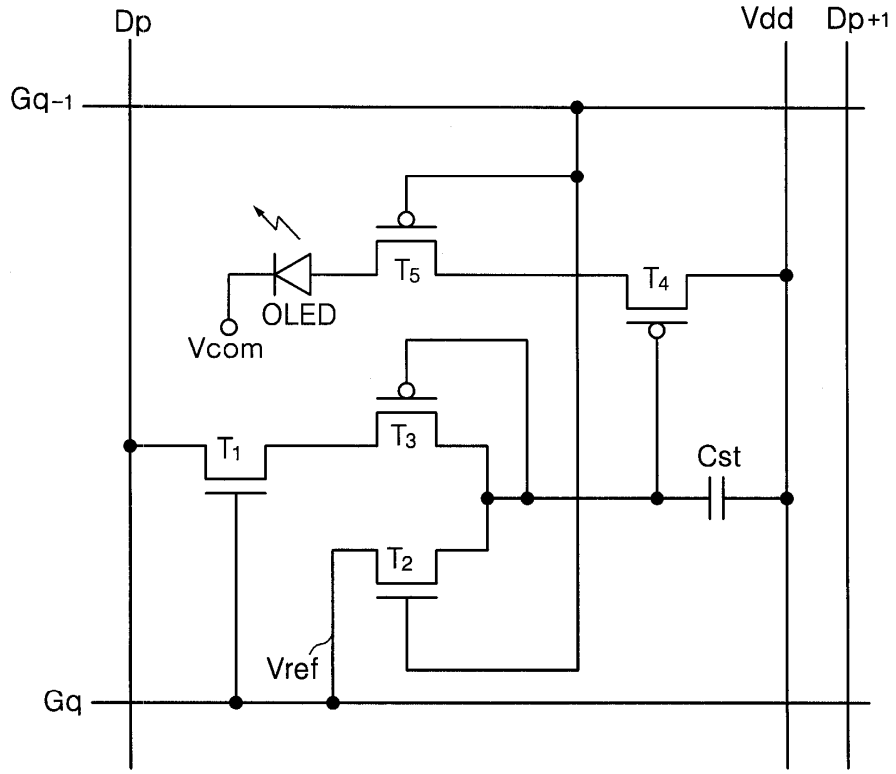
도면5a


Dp
Vdd
Dp+1
Gq-1
T5
T4
OLED
Vcom
Vgoff=Vref
T3
T1
Cst
T2
Vref
Gq

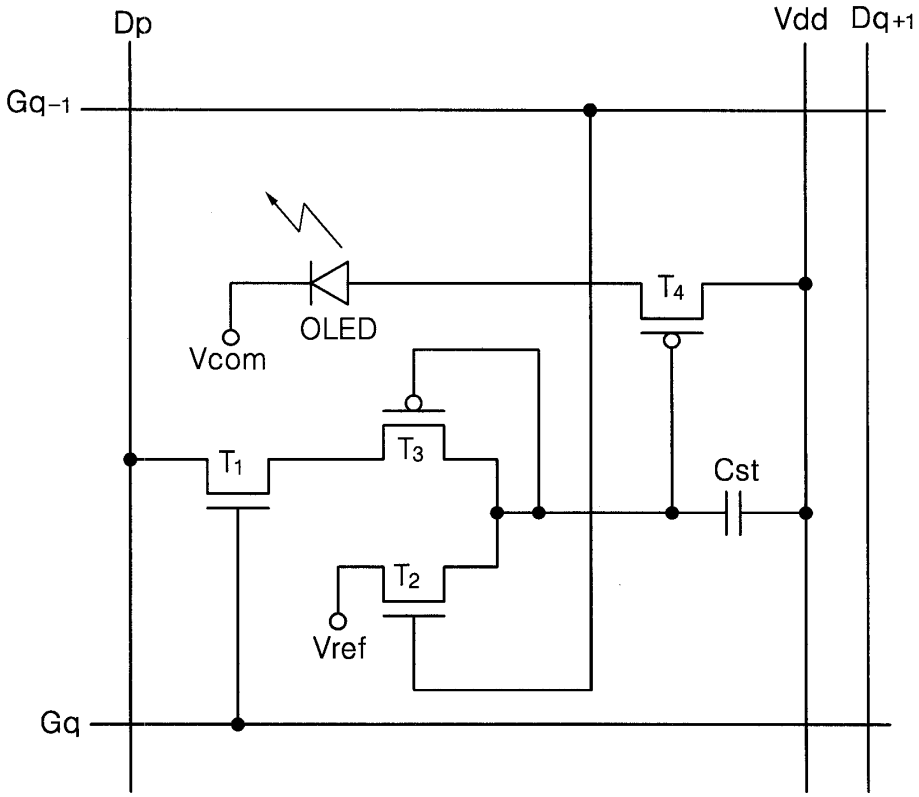
도면5b


Dp
Vdd
Dp+1
Gq-1
T5
T4
OLED
Vcom
Vgon=Vdata
T1
T3
Cst
T2
Vref
Gq

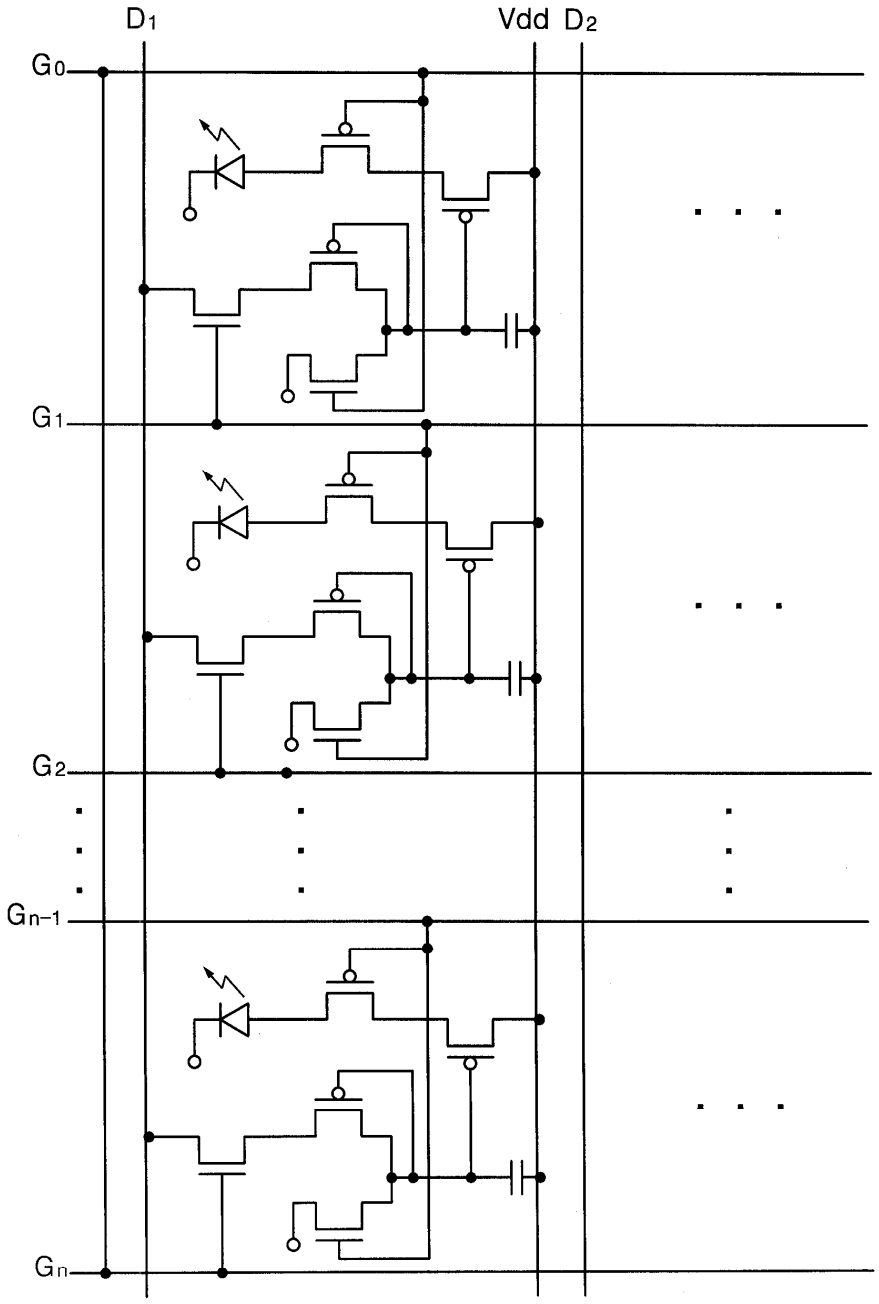
도면6


Dp
Vdd
Dp+1
Gq-1
OLED
Vcom
T5
T4
T1
T3
Cst
T2
Vref
Gq

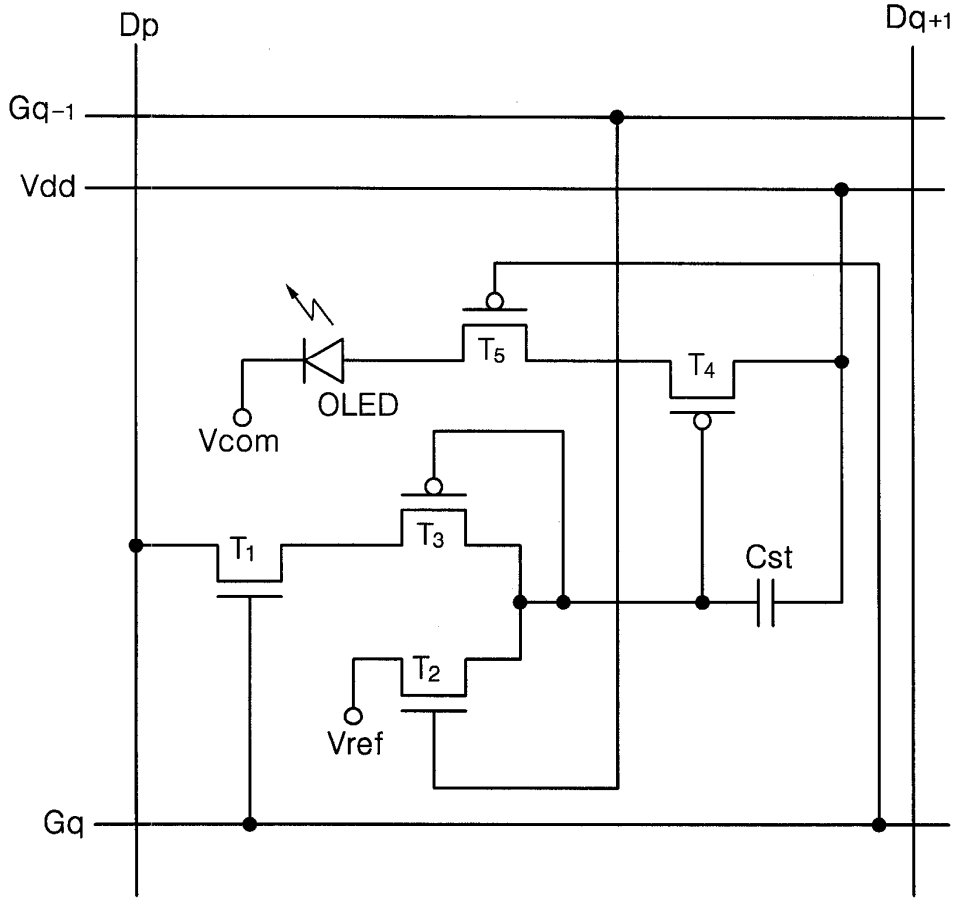
도면7


Dp
Vdd
Dq+1
Gq-1
OLED
Vcom
T4
T1
T3
Cst
T2
Vref
Gq

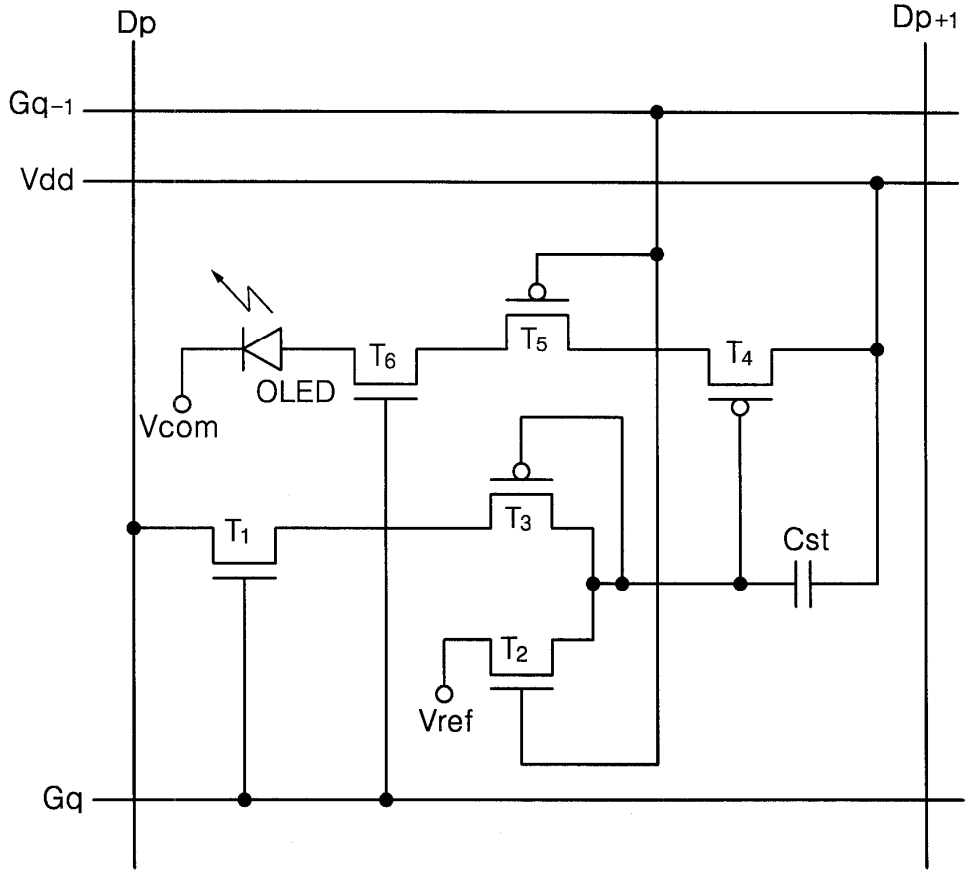
도면8



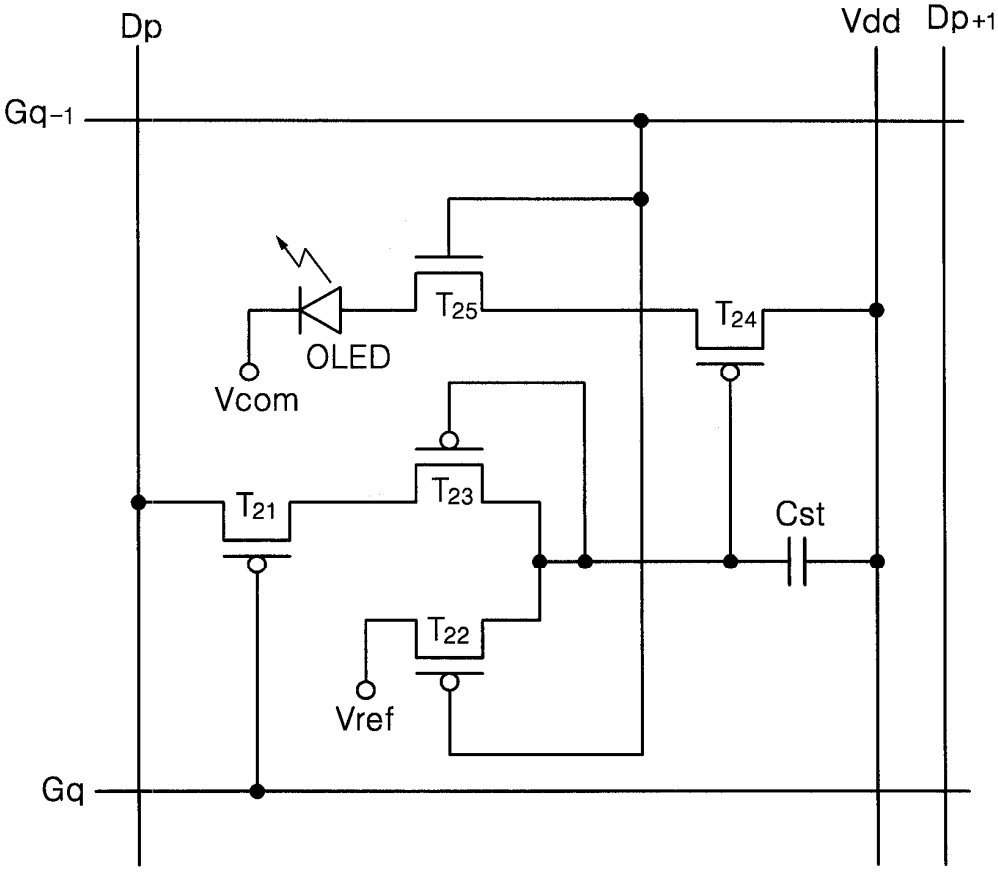
도면9


Dp
Dq+1
Gq-1
Vdd
T5
T4
OLED
Vcom
T1
T3
Cst
T2
Vref
Gq

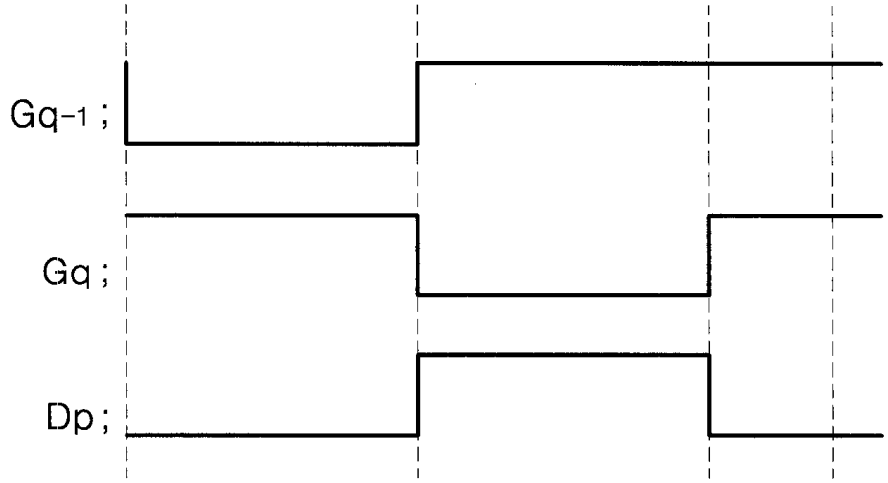
도면10


Dp
Dp+1
Gq-1
Vdd
T6
T5
T4
OLED
Vcom
T1
T3
Cst
T2
Vref
Gq

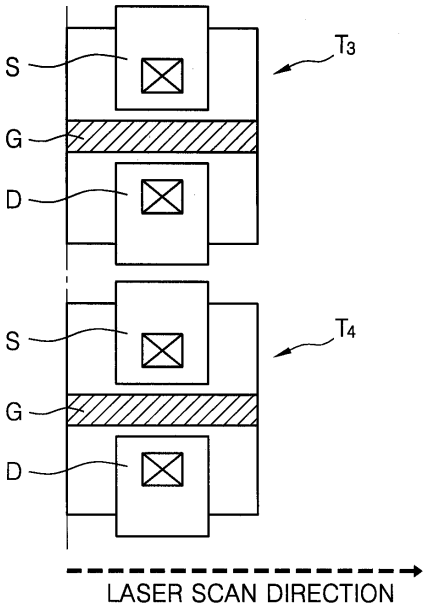
도면11


Dp
Vdd
Dp+1
Gq-1
OLED
Vcom
T25
T24
T21
T23
Cst
T22
Vref
Gq

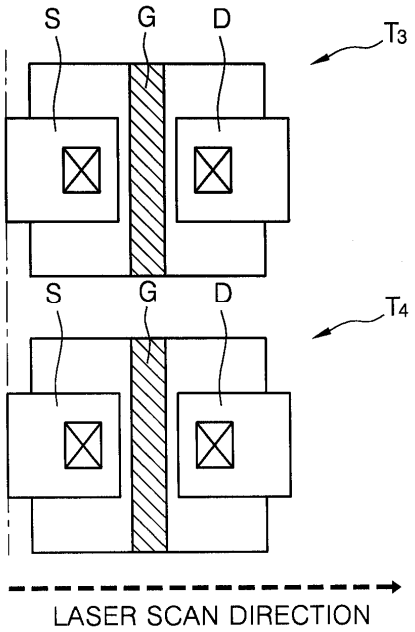
도면12


Gq-1 ;
Gq ;
Dp ;

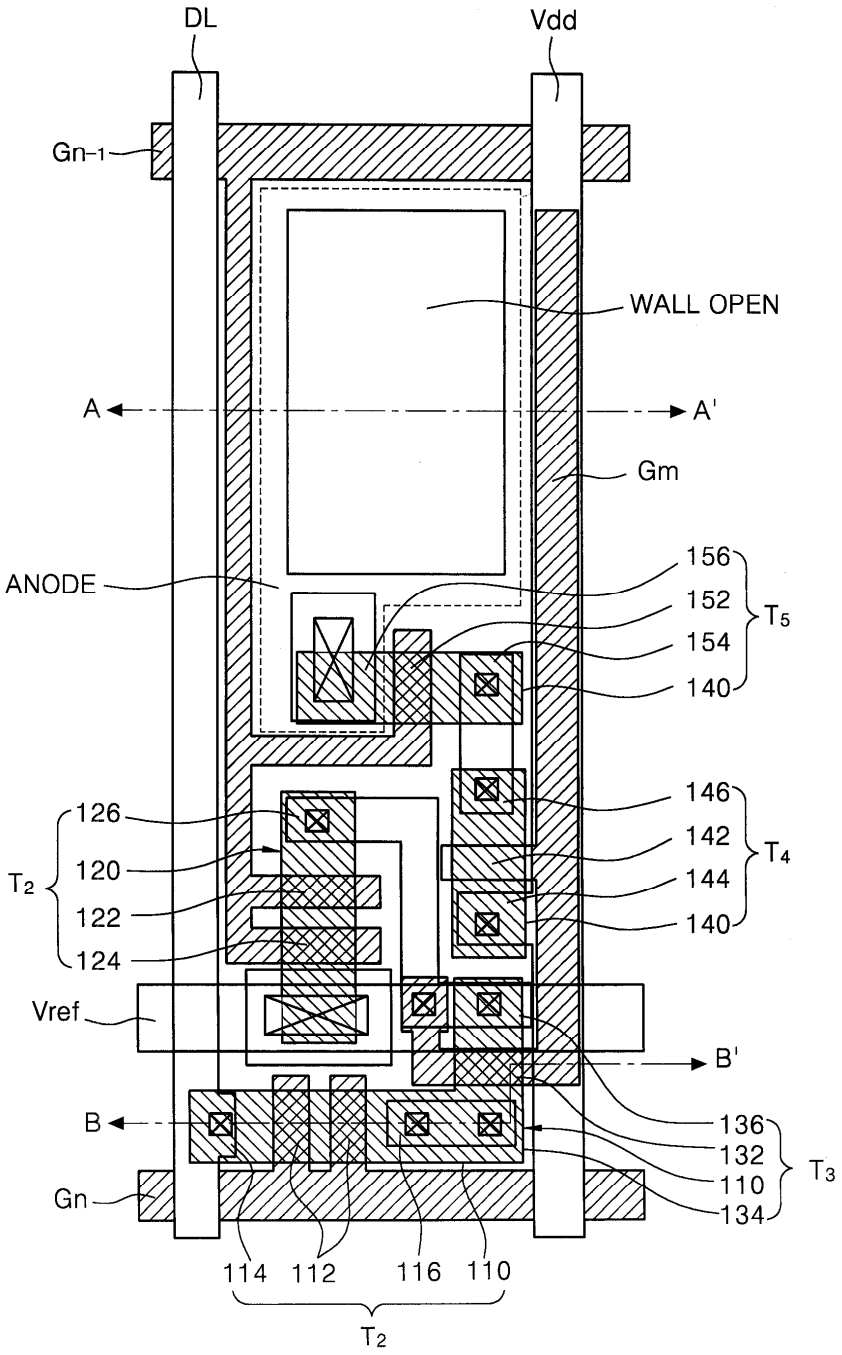
도면13a


S
G
D
T3
S
G
D
T4
LASER SCAN DIRECTION

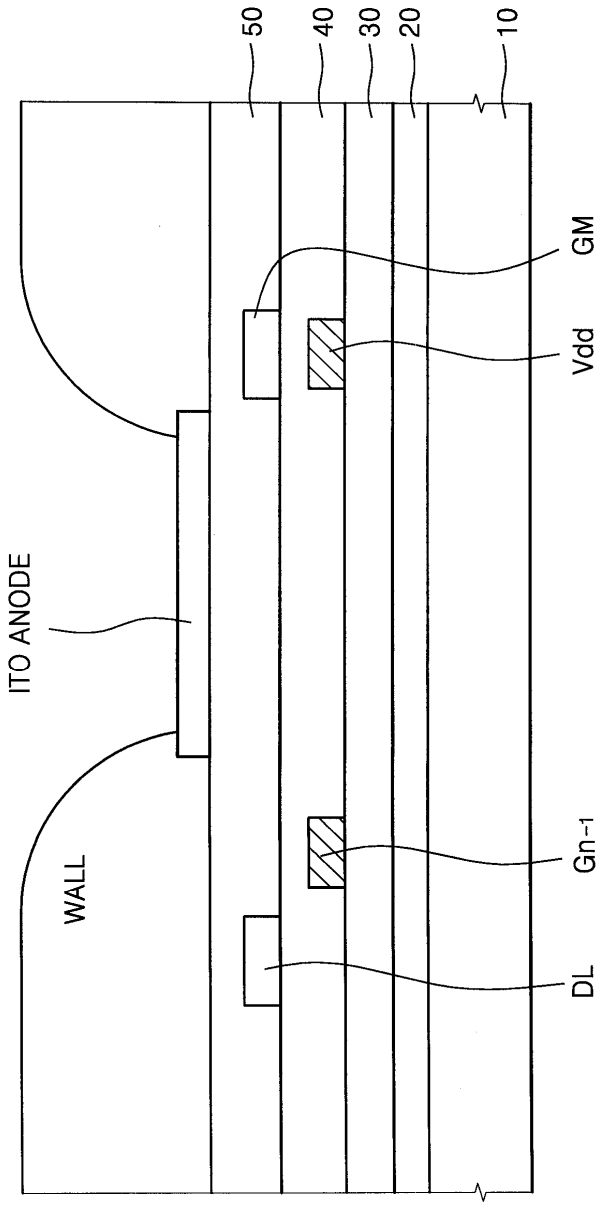
도면13b


S
G
D
T3
S
G
D
T4
LASER SCAN DIRECTION

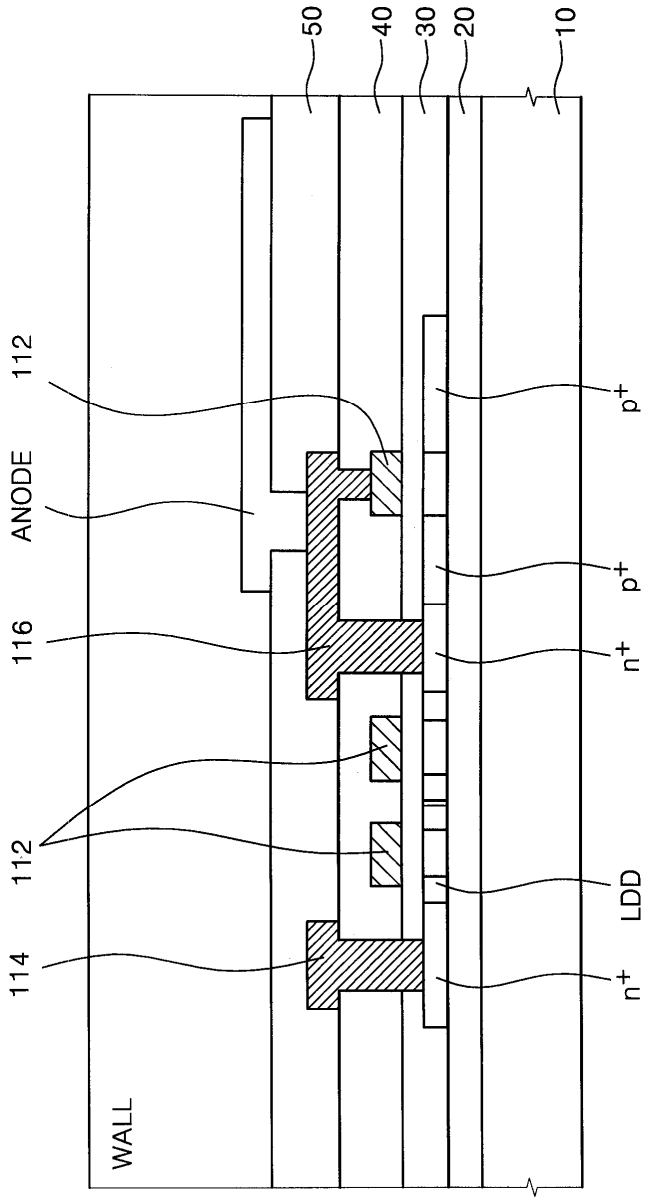
도면14


DL
Vdd
Gn-1
WALL OPEN
A
A'
Gm
ANODE
156
152
154
140
T5
126
120
122
124
T2
146
142
144
140
T4
Vref
B'
B
136
132
110
134
T3
Gn
114
112
116
110
T2

도면15



도면16



专利名称(译)	有机电致发光显示装置和具有该有机电致发光显示装置的有机电致发光显示面板		
公开(公告)号	KR1020040029242A	公开(公告)日	2004-04-06
申请号	KR1020020058210	申请日	2002-09-25
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	CHOI JOONHOO 최준후 CHOI BEOHMROCK 최범락 CHAI CHONGCHUL 채종철		
发明人	최준후 최범락 채종철		
IPC分类号	G09G3/30 H01L21/77 H01L51/50 G09G3/32 G09G3/20 H05B33/00		
CPC分类号	G09G2300/0842 G09G2300/0861 G09G2320/043 G09G3/3233 G09G2300/0417 G09G2300/0819 H01L27/1296 G09G2320/0223		
代理人(译)	PARK，YOUNG WOO		
其他公开文献	KR100906964B1		
外部链接	Espacenet		

摘要(译)

本发明公开了一种具有驱动薄膜晶体管的特性补偿功能的有机电致发光驱动元件，以及具有该驱动薄膜晶体管的有机电致发光显示器。通过连接到第二端的数据线施加的数据信号响应于当前栅极信号而输出，其中通过连接到第一步骤到第三档的栅极线施加薄膜晶体管。响应于通过第一步骤将第二薄膜晶体管施加到第二端的先前的栅极信号而连接的参考电压通过第三档输出。并且第三步骤的第三薄膜晶体管连接到薄膜晶体管的第三齿轮。第二端和第三齿轮共同连接。而且，第一步骤的第四薄膜晶体管连接到电流供应线。第二端连接到第三薄膜晶体管的公共端口。响应于通过第三齿轮的输入信号将电流提供给有机电致发光器件，并且通过公共端口驱动有机电致发光器件。有机电致发光，EL，补偿，公共电极，参考电压，。