

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
H05B 33/12

(11) 공개번호 10-2004-0021407
(43) 공개일자 2004년03월10일

(21) 출원번호 10-2002-0053236
(22) 출원일자 2002년09월04일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 박재용
경기도안양시동안구관양동한가람한양아파트307-801

이남양
경기도성남시분당구내정동(파크타운)삼익아파트120-604

버디맨사스트라
서울시서대문구연희동74-14동도아카데미하우스702

(74) 대리인 정원기

심사청구 : 있음

(54) 듀얼패널타입 유기전계발광 소자 및 그의 제조방법

요약

본 발명에 따른 듀얼패널타입 유기전계발광 소자 및 그의 제조 방법에 의하면, 첫째, 어레이 소자와 유기전계발광 다이오드 소자를 서로 다른 기판 상에 형성하기 때문에 생산수율 및 생산관리 효율을 향상시킬 수 있고, 제품수명을 늘릴 수 있고, 둘째, 상부발광방식이기 때문에 박막트랜지스터 설계가 용이해지고 고개구율/고해상도 구현이 가능하며, 셋째, 탄성구조를 가지는 전기적 연결패턴을 이용하여, 어레이 소자층과 유기전계발광 다이오드 소자를 연결하기 때문에, 전술한 전기적 연결패턴의 탄성력에 의해 위치 복원력이 높아져, 합착력이 가해져도 어레이 소자와 유기전계발광 다이오드 소자 간의 연결특성을 향상시킬 수 있는 장점을 가진다.

대표도

도 5

명세서

도면의 간단한 설명

도 1은 일반적인 액티브 매트릭스형 유기전계발광 소자의 기본 픽셀 구조를 나타낸 도면.

도 2는 종래의 유기전계발광 소자에 대한 단면도.

도 3은 종래의 유기전계발광 소자의 제조 공정에 대한 공정 흐름도.

도 4는 본 발명에 따른 듀얼패널타입 유기전계발광 소자에 대한 단면도.

도 5는 본 발명의 제 2 실시예에 따른 듀얼패널타입 유기전계발광 소자에 대한 단면도.

도 6a 내지 6d는 본 발명에 따른 듀얼패널타입 유기전계발광 소자용 탄성구조 전기적 연결패턴에 대한 다양한 변형예를 나타낸 도면.

도 7a 내지 7c는 본 발명에 따른 듀얼패널타입 유기전계발광 소자용 기판의 제조 공정을 단계별로 나타낸 단면도.

<도면의 주요부분에 대한 부호의 설명>

210 : 제 1 기판 240 : 어레이 소자층

244 : 전기적 연결패턴 250 : 제 2 기판

252 : 제 1 전극 260 : 유기전계발광층

262 : 제 2 전극 E : 유기전계발광 다이오드 소자

T : 박막트랜지스터 I : 찍임부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기전계발광 소자(Organic Electroluminescent Device)에 관한 것이며, 특히 듀얼패널타입 유기전계발광 소자 및 그의 제조방법에 관한 것이다.

새로운 평판 디스플레이(FPD ; Flat Panel Display)중 하나인 유기전계발광 소자는 자체발광형이기 때문에 액정표시장치에 비해 시야각, 콘트라스트 등이 우수하며 백라이트가 필요하지 않기 때문에 경량박형이 가능하고, 소비전력 측면에서도 유리하다. 그리고, 직류저전압 구동이 가능하고 응답속도가 빠르며 전부 고체이기 때문에 외부충격에 강하고 사용온도범위도 넓으며 특히 제조비용 측면에서도 저렴한 장점을 가지고 있다.

특히, 상기 유기전계발광 소자의 제조공정에는, 액정표시장치나 PDP(Plasma Display Panel)와 달리 증착(deposition) 및 인캡슐레이션 장비가 전부라고 할 수 있기 때문에, 공정이 매우 단순하다.

종래에는 이러한 유기전계발광 소자의 구동방식으로 별도의 스위칭 소자를 구비하지 않는 패시브 매트릭스형(passive matrix)이 주로 이용되었다.

상기 패시브 매트릭스 방식에서는 주사선(scan line)과 신호선(signal line)이 교차하면서 매트릭스 형태로 소자를 구성하므로, 각각의 픽셀을 구동하기 위하여 주사선을 시간에 따라 순차적으로 구동하므로, 요구되는 평균 휘도를 나타내기 위해서는 평균 휘도에 라인수를 곱한 것 만큼의 순간 휘도를 내야만 한다.

그러나, 액티브 매트릭스 방식에서는, 픽셀(pixel)을 온/오프(on/off)하는 스위칭 소자인 박막트랜지스터(Thin Film Transistor)가 서브픽셀(sub pixel)별로 위치하고, 이 박막트랜지스터와 연결된 제 1 전극은 서브픽셀 단위로 온/오프되고, 이 제 1 전극과 대향하는 제 2 전극은 공통전극이 된다.

그리고, 상기 액티브 매트릭스 방식에서는 픽셀에 인가된 전압이 스토리지 캐패시터(C_{ST} ; storage capacitance)에 충전되어 있어, 그 다음 프레임(frame) 신호가 인가될 때까지 전원을 인가해 주도록 함으로써, 주사선 수에 관계없이 한 화면동안 계속해서 구동한다.

따라서, 액티브 매트릭스 방식에 의하면 낮은 전류를 인가하더라도 동일한 휘도를 나타내므로 저소비전력, 고정세, 대형화가 가능한 장점을 가진다.

이하, 이러한 액티브 매트릭스형 유기전계발광 소자의 기본적인 구조 및 동작특성에 대해서 도면을 참조하여 상세히 설명한다.

도 1은 일반적인 액티브 매트릭스형 유기전계발광 소자의 기본 픽셀 구조를 나타낸 도면이다.

도시한 바와 같이, 제 1 방향으로 주사선이 형성되어 있고, 이 제 1 방향과 교차되는 제 2 방향으로 형성되며, 서로 일정간격 이격된 신호선 및 전력공급 라인(powersupply line)이 형성되어 있어, 하나의 서브픽셀 영역을 정의한다.

상기 주사선과 신호선의 교차지점에는 어드레싱 엘리먼트(addressing element)인 스위칭 박막트랜지스터(switching TFT)가 형성되어 있고, 이 스위칭 박막트랜지스터 및 전력공급 라인과 연결되어 스토리지 캐패시터(C_{ST})가 형성되어 있으며, 이 스토리지 캐패시터(C_{ST}) 및 전력공급 라인과 연결되어, 전류원 엘리먼트(current source element)인 구동 박막트랜지스터가 형성되어 있고, 이 구동 박막트랜지스터와 연결되어 유기전계발광 다이오드(Electroluminescent Diode)가 구성되어 있다.

이 유기전계발광 다이오드는 유기발광물질에 순방향으로 전류를 공급하면, 정공 제공층인 양극(anode electrode)과 전자 제공층인 음극(cathode electrode)간의 P(positive) - N(negative) 접합(Junction)부분을 통해 전자와 정공이 이동하면서 서로 재결합하여, 상기 전자와 정공이 떨어져 있을 때보다 작은 에너지를 가지게 되므로, 이때 발생하는 에너지 차로 인해 빛을 방출하는 원리를 이용하는 것이다.

이하, 도 2는 종래의 유기전계발광 소자에 대한 개략적인 단면도이다.

도시한 바와 같이, 화면을 구현하는 최소단위인 서브픽셀 단위로 서로 일정간격 이격되게 제 1, 2 기판(10, 50)이 배치되어 있고, 제 1 기판(10)의 내부면에는 서브픽셀 단위로 형성된 다수 개의 박막트랜지스터(T)를 포함한 어레이 소자층(30)이 형성되어 있고, 어레이 소자층(30) 상부에는 박막트랜지스터(T)와 연결되어 서브픽셀 단위로 제 1 전극(32)이 형성되어 있고, 제 1 전극(32) 상부에는 서브픽셀 단위로 적, 녹, 청 컬러를 발광시키는 유기전계발광층(34)이 형성되어 있고, 유기전계발광층(36) 상부 전면에는 제 2 전극(38)이 형성되어 있다.

상기 제 1, 2 전극(32, 38) 및 제 1, 2 전극(32, 38) 사이에 개재된 유기전계발광층(36)은 유기전계발광 다이오드 소자(E)를 이룬다.

그리고, 상기 제 2 기판(50)은 인캡슐레이션 기판으로 이용되며, 이러한 제 2 기판(50)의 내부 중앙부에는 오목부(52)가 형성되어 있고, 오목부(52) 내에는 외부로부터의 수분흡수를 차단하여 유기전계발광 다이오드 소자(E)를 보호하기 위한 흡습제(54)가 봉입되어 있다.

그리고, 상기 제 1, 2 기판(10, 50)의 가장자리부는 씰패턴(70)에 의해 인캡슐레이션되어 있다.

도 3은 종래의 유기전계발광 소자의 제조 공정에 대한 공정 흐름도이다.

st1은 제 1 기판 상에 어레이 소자를 형성하는 단계로서, 상기 제 1 기판은 투명 기판을 지칭하는 것으로, 제 1 기판 상에 주사선과, 주사선과 교차되며 서로 일정간격 이격되는 신호선 및 전력 공급선과, 주사선 및 신호선과 교차되는 지점에 형성되는 스위칭 박막트랜지스터 및 주사선 및 전력 공급선이 교차되는 지점에 형성되는 구동 박막트랜지스터를 포함하는 어레이 소자를 형성하는 단계를 포함한다.

st2는 유기전계발광 다이오드의 제 1 구성요소인 제 1 전극을 형성하는 단계로서, 제 1 전극은 구동 박막트랜지스터와 연결되어 서브픽셀별로 패턴화된다.

st3은 상기 제 1 전극 상부에 유기전계발광 다이오드의 제 2 구성요소인 유기전계발광층을 형성하는 단계로서, 상기 제 1 전극을 양극으로 구성하는 경우에, 상기 유기전계발광층은 정공주입층, 정공수송층, 발광층, 전자수송층 순으로 적층구성될 수 있다.

st4에서는, 상기 유기전계발광층 상부에 유기전계발광 다이오드의 제 3 구성요소인 제 2 전극을 형성하는 단계로서, 상기 제 2 전극은 공통 전극으로 기판 전면에서 형성된다.

상기 유기전계발광 다이오드는, 제 1, 2 전극과, 제 1, 2 전극 사이에 개재된 유기전계발광층으로 구성된다.

st5에서는, 또 하나의 기판인 제 2 기판을 이용하여 제 1 기판을 인캡슐레이션하는 단계로서, 이 단계에서는 제 1 기판의 외부충격으로부터 보호하고, 외기(外氣) 유입에 따른 유기전계발광층의 손상을 방지하기 위해 제 1 기판의 외곽을 제 2 기판으로 인캡슐레이션하는 단계로서, 상기 제 2 기판의 내부면에는 흡습제가 포함된다.

이와 같이, 기존의 하부발광방식 유기전계발광 소자는 어레이 소자 및 유기전계발광 다이오드가 형성된 기판과 별도의 인캡슐레이션용 기판의 합착을 통해 소자를 제작하였다. 이런 경우, 어레이 소자의 수율과 유기전계발광 다이오드의 수율의 곱이 유기전계발광 소자의 수율을 결정하기 때문에, 기존의 유기전계발광 소자 구조에서는 후반 공정에 해당되는 유기전계발광 다이오드 공정에 의해 전체 공정 수율이 크게 제한되는 문제점이 있었다. 예를 들어, 어레이 소자가 양호하게 형성되었다 하더라도, 1000 Å 정도의 박막을 사용하는 유기전계발광층의 형성시 이물이나 기타 다른 요소에 의해 불량률이 발생하게 되면, 유기전계발광 소자는 불량 등급으로 판정된다.

이로 인하여, 양품의 어레이 소자를 제조하는데 소요되었던 제반 경비 및 재료비 손실이 초래되고, 생산수율이 저하되는 문제점이 있었다.

그리고, 하부발광방식은 인캡슐레이션에 의한 안정성 및 공정이 자유도가 높은 반면 개구율의 제한이 있어 고해상도 제품에 적용하기 어려운 문제점이 있고, 상부발광방식은 박막트랜지스터 설계가 용이하고 개구율 향상이 가능하기 때문에 제품수명 측면에서 유리하지만, 기존의 상부발광방식 구조에서는 유기전계발광층 상부에 통상적으로 음극이 위치함에 따라 재료선택폭이 좁기 때문에 투과도가 제한되어 광효율이 저하되는 점과, 광투과도의 저하를 최소화하기 위해 박막형 보호막을 구성해야 하는 경우 외기를 충분히 차단하지 못하는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

상기 문제점을 해결하기 위하여, 본 발명에서는 수율 및 생산성이 향상되고, 고해상도/고개구율 구조의 유기전계발광 소자 및 그의 제조방법을 제공하는 것을 목적으로 한다.

이를 위하여, 본 발명에서는 어레이 소자와 유기전계발광 다이오드 소자를 서로 다른 기판에 형성하고, 별도의 전기적 연결패턴을 통해 두 소자를 연결시키는 듀얼패널타입 유기전계발광 소자를 제공하는 것이다.

본 발명의 또 하나의 목적은, 전술한 듀얼패널타입 유기전계발광 소자에서 어레이 소자와 유기전계발광 다이오드 소자간의 전기적 접촉특성을 향상시키기 위하여, 탄성을 가지는 구조의 전기적 연결패턴을 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 제 1 특징에서는 화면을 구현하는 최소단위인 서브픽셀 영역이 정의되어 있으며, 서로 일정간격 이격된 상태에서 대향되게 배치된 제 1, 2 기판과; 상기 제 1 기판 내부면에 서브픽셀 단위로 형성된 다수 개의 박막트랜지스터를 포함하는 어레이 소자층과; 상기 어레이 소자층 상부에서 박막트랜지스터와 연결된 기동 형상의 전기적 연결패턴과; 상기 제 2 기판의 내부 전면에 형성된 제 1 전극과; 상기 제 1 전극 하부에 형성된 유기전계발광층과; 상기 유기전계발광층 하부에, 서브픽셀 단위로 형성된 제 2 전극과; 상기 어레이 소자층과 제 2 전극 사이 구간에서 경사지게 꺾어진 구조를 가지며, 상기 박막트랜지스터와 제 2 전극을 연결시키는 전기적 연결패턴과; 상기 제 1, 2 기판의 가장자리부를 인캡슐레이션(encapsulation)하는 씰패턴을 포함하는 듀얼패널타입 유기전계발광 소자를 제공한다.

상기 전기적 연결패턴은, 상기 박막트랜지스터와 접촉되는 제 1 패턴과, 상기 제 1 패턴 상부에서 제 1 패턴과 일정 거리를 가지며, 서로 간에 일정간격 이격되게 위치하는 제 2, 3 패턴과, 상기 제 1, 2 패턴 및 제 1, 3 패턴과 각각 일체형 패턴을 이루는 경사 패턴인 제 4, 5 패턴으로 이루어지고, 상기 제 2, 3 패턴 중 적어도 어느 한 패턴은, 상기 제 2 전극의 하부면과 접촉되는 것을 특징으로 한다.

상기 제 4, 5 패턴은, 상기 제 2, 3 패턴의 서로 마주보는 안쪽 끝단과 연결되거나, 또는 상기 제 2, 3 패턴의 서로 마주보는 바깥쪽 끝단과 연결되는 것을 특징으로 한다.

상기 전기적 연결패턴은, 상기 드레인 전극과 연결되는 'V(브이)'자형 제 1 패턴과, 상기 제 1 패턴의 양 끝단에서, 상기 제 2 전극과 평행한 방향으로 형성된 제 2, 3 패턴으로 이루어진 것을 특징으로 한다.

상기 제 2, 3 패턴 중 어느 한 패턴의 일 끝단에는 이웃하는 패턴과 직교하는 적어도 두 개 이상의 꺾임부가 형성되어 있으며, 상기 꺾임부의 일 끝단과 제 2 전극이 접촉되는 것을 특징으로 한다.

상기 전기적 연결패턴은, 상기 박막트랜지스터와 접촉되는 제 1 패턴과, 상기 제 2 전극과 접촉되는 제 2 패턴과, 상기 제 1, 2 패턴과 일체형 패턴을 이루며, 경사진 패턴을 이루는 제 3 패턴으로 이루어지는 것을 특징으로 한다.

상기 제 3 패턴은, 상기 제 1, 2 패턴의 서로 반대방향 끝단과 연결되거나, 또는 상기 제 1, 2 패턴의 서로 동일방향 끝단과 연결되는 것을 특징으로 한다.

상기 제 1 패턴 길이는, 상기 제 2 패턴 길이보다 긴 것을 특징으로 한다.

그리고, 상기 박막트랜지스터를 덮는 기판 전면에는, 상기 박막트랜지스터를 일부 노출시키는 콘택홀을 가지는 보호층이 형성되며, 상기 전기적 연결패턴은 콘택홀을 통해 박막트랜지스터와 연결되고 지지되는 것을 특징으로 하고, 상기 제 2 전극 하부에는, 상기 제 2 전극과 대응되는 패턴 구조를 가지는 보호용 전극이 추가로 형성되며, 상기 전기적 연결패턴은 실질적으로 상기 보호용 전극과 접촉되는 것을 특징으로 한다.

상기 전기적 연결패턴과 어레이 소자층 사이에는, 상기 박막트랜지스터와 실질적으로 접촉되는 연결 전극이 추가로 포함되며, 상기 연결 전극과 전기적 연결패턴이 접촉되고, 상기 전기적 연결패턴 구조는 탄성력을 가지며, 상기 탄성력에 의해 상기 박막트랜지스터와 제 2 전극을 연결시키는 것을 특징으로 한다.

본 발명의 제 2 특징에서는, 서브픽셀 영역이 정의된 기판 상에, 서브픽셀 단위로 다수 개의 박막트랜지스터를 형성하는 단계와; 상기 박막트랜지스터를 덮는 기판 전면에, 상기 박막트랜지스터 어느 한 전극을 노출시키는 콘택홀을 가지는 제 1, 2 보호층을 차례대로 형성하는 단계와; 상기 제 2 보호층 상부에서 상기 콘택홀을 통해 박막트랜지스터와 연결되며, 경사지게 깎여진 구조를 가지는 전기적 연결패턴을 형성하는 단계와; 상기 전기적 연결패턴의 주변부를 덮는 제 2 보호층을 제거하는 단계를 포함하는 듀얼패널타입 유기전계발광 소자용 기판의 제조 방법을 제공한다.

상기 제 1 보호층은 무기 절연물질에서 선택되고, 상기 제 2 보호층은 유기 절연물질에서 선택되며, 상기 제 2 보호층을 제거하는 단계에서는, 산소(O_2) 가스를 포함한 반응 가스를 이용하여 에칭(ashing)처리하는 단계를 포함하는 것을 특징으로 한다.

상기 박막트랜지스터를 형성하는 단계에서는, 기판 상에 게이트 전극, 게이트 절연막, 반도체층, 소스 전극 및 드레인 전극을 차례대로 형성하여, 역스태거드 형(inverted staggered type) 박막트랜지스터를 형성하는 단계를 포함하며, 상기 전기적 연결패턴은 상기 드레인 전극과 연결되거나, 또는 기판 상에 반도체층, 게이트 절연막, 게이트 전극, 소스 전극 및 드레인 전극을 차례대로 형성하여, 탑 게이트형(top gate type) 박막트랜지스터를 형성하는 단계를 포함하며, 상기 전기적 연결패턴은 상기 드레인 전극과 연결되는 것을 특징으로 한다.

이하, 본 발명에 따른 바람직한 실시예를 도면을 참조하여 상세히 설명한다.

-- 실시예 1 --

본 실시예는, 어레이 소자와 유기전계발광 다이오드 소자를 서로 다른 기판에 형성하고, 두 소자를 기동형상의 전기적 연결패턴에 의해 연결하는 듀얼패널타입 유기전계발광 소자에 대한 것이다.

도 4는 본 발명에 따른 듀얼패널타입 유기전계발광 소자에 대한 단면도이다.

도시한 바와 같이, 화면을 구현하는 최소단위인 서브픽셀 단위로 제 1, 2 기판(110, 150)이 서로 일정간격을 유지하며, 대향되게 배치되어 있다.

상기 제 1 기판(110, 150)의 내부면에는 서브픽셀 단위로 형성된 다수 개의 박막트랜지스터(T)를 포함하는 어레이 소자층(140)이 형성되어 있고, 어레이 소자층(140) 상부에는 박막트랜지스터(T)와 연결되어 연결 전극(142)이 형성되어 있고, 연결 전극(142) 상부와 접촉되어 기동 형상의 전기적 연결 패턴(144)이 형성되어 있다.

상기 연결 전극(142) 및 전기적 연결 패턴(144)은 전도성 물질에서 선택되며, 상기 전기적 연결 패턴(144)은 두께감 있게 형성되기 위해 절연물질을 포함하는 다중층으로 형성될 수도 있고, 상기 연결 전극(142)을 생략하고 전기적 연결 패턴(144)을 박막트랜지스터(T)와 직접적으로 연결구성할 수도 있다.

그리고, 상기 박막트랜지스터(T)는 반도체층(112), 게이트 전극(114), 소스 전극(116) 및 드레인 전극(118)으로 이루어지고, 실질적으로 전술한 연결 전극(142)은 드레인 전극(118)과 연결되어 있다.

그리고, 상기 제 2 기판(150) 내부 전면에는 제 1 전극(152)이 형성되어 있고, 제 1 전극(152) 하부에는 서브픽셀 단위로 반복배열되는 적, 녹, 청 발광층(156a, 156b, 156c)을 포함하는 유기전계발광층(160)이 형성되어 있고, 유기전계발광층(160) 하부에는 서브픽셀 단위로 제 2 전극(162)이 형성되어 있다.

좀 더 상세히 설명하면, 상기 유기전계발광층(160)에는 제 1 전극(152) 하부 면과 접촉되는 제 1 캐리어 전달층(154)과, 적, 녹, 청 발광층(156a, 156b, 156c) 하부에 위치하며, 제 2 전극(162) 상부면과 접촉되는 제 2 캐리어 전달층(158)이 더욱 포함된다.

한 예로, 상기 제 1 전극(152)이 양극, 제 2 전극(162)이 음극에 해당될 경우, 제 1 캐리어 전달층(154)은 차례대로 정공주입층, 정공수송층에 해당되고, 제 2 캐리어 전달층(158)은 차례대로 전자수송층, 전자주입층에 해당된다.

그리고, 상기 제 1, 2 전극(152, 162)과 제 1, 2 전극(152, 162) 사이에 개재된 유기전계발광층(160)은 유기전계발광 다이오드 소자(E)에 해당된다.

본 발명에서는, 상기 전기적 연결패턴(144)의 최상부면이 제 2 전극(162) 하 부면과 연결되어, 박막트랜지스터(T)로부터 공급되는 전류가 연결 전극(142) 및 전기적 연결패턴(144)을 통해 제 2 전극(162)으로 전달되는 것을 특징으로 한다.

그리고, 상기 제 1, 2 기판(110, 150)의 가장자리는 씰패턴(170)에 의해 인캡슐레이션되어 있다.

도면으로 상세히 제시하지는 않았지만, 본 발명에 따른 유기전계발광 소자에는 스위칭 박막트랜지스터와, 유기전계발광 다이오드 소자에 전류를 공급하는 구동 박막트랜지스터를 서브픽셀 단위로 적어도 각각 하나씩 포함하며, 전술한 도면 상의 박막트랜지스터는 구동 박막트랜지스터에 해당된다.

그러나, 전술한 듀얼패널타입 유기전계발광 소자에 있어서, 각 서브픽셀마다 전기적 연결패턴을 통한 전기적 연결이 제대로 이루어지지 않으면, 점결함 및 휘도 불균일 등의 화질에 문제가 야기된다. 또한, 화면이 커질수록 각 서브픽셀마다의 전기적 연결이 제대로 되지 않는 단점이 있다.

이러한 단점을 보완하기 위하여, 후술하는 또 하나의 실시예에서는 탄성력을 가지는 구조의 전기적 연결패턴을 이용하고자 한다.

-- 실시예 2 --

도 5는 본 발명의 제 2 실시예에 따른 듀얼패널타입 유기전계발광 소자에 대한 단면도로서, 탄성구조를 가지는 전기적 연결패턴 구조를 중심으로 도시하였고, 상기 도 4와 중복되는 부분에 대해서는 간략히 설명한다.

도시한 바와 같이, 어레이 소자층(240)이 형성된 제 1 기판(210)과, 제 1, 2 전극(252, 262) 및 제 1, 2 전극(252, 262) 사이에 개재된 유기전계발광층(260)으로 이루어진 유기전계발광 다이오드 소자(E)가 형성된 제 2 기판(250)이 서로 일정간격 이격되게 배치되어 있고, 제 1, 2 기판(210, 250) 사이 구간에는 어레이 소자층(240)과 유기전계발광 다이오드 소자(E)를 연결시키며, 경사지게 깎여진 구조에 의해 탄성력을 가지는 전기적 연결패턴(244)이 형성되어 있다.

상기 전기적 연결패턴(244)은 서브픽셀 단위로 형성되는 것을 특징으로 한다.

도면으로 상세히 제시하지는 않았지만, 상기 전기적 연결패턴(244)은 상기 어레이 소자층(240)과 일정간격 이격된 상부에서 서로 이격되게 위치하는 제 1, 2 패턴과, 상기 제 1, 2 패턴과 어레이 소자층(240)을 연결시키는 'V'자형의 제 3 패턴으로 이루어지며, 상기 제 2 패턴의 일 끝단은 직각 방향의 두 번 꺾임부(I)를 더욱 포함한다.

이때, 상기 제 2 패턴의 일 끝단은 전술한 제 2 전극(262)의 하부면과의 접촉되기 위하여, 제 2 전극(262)과 수평한 방향으로 배치된 것을 특징으로 한다.

이와 같이, 상기 제 1 내지 3 패턴으로 이루어진 전기적 연결패턴(244) 구조에 의하면, 탄성력에 의해 위치 복원력이 강화되어 합착 압력에 의해 전기적 연결패턴(244)을 통한 어레이 소자(240)와 유기전계발광 다이오드 소자(E) 간의 연결력이 약화되는 것을 효과적으로 방지할 수 있다.

도면으로 제시하지는 않았지만, 상기 제 2 전극(262)과 전기적 연결패턴(244) 사이 구간에는, 상기 제 2 전극(262)과 대응되는 패턴 구조를 가지는 제 2 전극 보호용 전극이 추가로 포함될 수 있으며, 이럴 경우 전기적 연결패턴(244)은 보호용 전극을 통해 제 2 전극(262)과 전기적으로 연결되고, 상기 전기적 연결패턴(244)은 박막트랜지스터(T)용 보호층의 콘택홀을 통해 박막트랜지스터(T)와 접촉됨과 동시에 전기적 연결패턴(244)의 구조를 지지할 수 있다.

상기 듀얼패널타입 유기전계발광 소자는, 유기전계발광층(260)으로부터 발광된 빛을 상부 전극인 제 1 전극(252) 쪽으로 발광시키는 상부발광 방식으로 구현하는 것을 특징으로 하며, 이에 따라 기존의 유기전계발광 소자와 비교시 별

도의 투명 보호막 대신에 내구성이 우수한 기판을 통해 빛을 투과시키기 때문에 제품 신뢰성을 높일 수 있고, 어레이 소자층과 별도의 기판 상에 유기전계발광 다이오드 소자를 구성하기 때문에, 박막트랜지스터 구조와 관계없이 개구율을 높일 수 있다.

또한, 도면으로 제시하지는 않았지만, 본 실시예에 따른 전기적 연결패턴의 평면적인 구조는, 한 예로 일정 면적을 가지는 패널 형태의 패턴이 경사지게 깎여진 구조일 수 있다.

도 6a 내지 6d는 본 발명에 따른 듀얼패널타입 유기전계발광 소자용 탄성구조 전기적 연결패턴에 대한 다양한 변형예를 나타낸 도면이다.

도 6a의 탄성구조 전기적 연결패턴(344)은, 제 1 패턴(344a)과, 제 1 패턴(344a) 상부에서 일정간격 이격된 상부에서 제 1 패턴(344a)을 중심으로 하여, 서로 일정간격 이격된 제 2, 3 패턴(344b, 344c)과, 상기 제 1, 2 패턴(344a, 344b)과, 제 1, 3 패턴(344a, 344c)을 연결시키는 경사 패턴인 제 4, 5 패턴(344d, 344e)으로 이루어진다.

상기 제 1 내지 5 패턴(344a, 344b, 344c, 344d, 344e)은 일체형 패턴을 이루며, 전체적으로 상광하협 구조를 이루는 것을 특징으로 한다.

그리고, 상기 제 4, 5 패턴(344d, 344e)은 상기 제 2, 3 패턴(344b, 344c)의 서로 마주보는 안쪽 부분에서 연결되어, 전체적인 구조는 'V'자형 패턴의 양끝이 바깥쪽으로 꺾인 패턴 구조를 가진다.

이때, 제 1 패턴(344a)은 패턴 구조를 안정화시키는 역할 및 어레이 소자층과 접촉되는 패턴에 해당되며, 상기 제 2, 3 패턴(344b, 344c)은 유기전계발광 다이오드 소자와 접촉되는 패턴에 해당된다.

도 6b의 탄성구조 전기적 연결패턴(444)은, 상, 하 방향으로 서로 일정간격 이격되게 배치된 제 1, 2 패턴(444a, 444b)과, 제 1, 2 패턴(444a, 444b) 사이 구간에서 제 1, 2 패턴(444a, 444b)을 연결시키는 경사패턴인 제 3 패턴(444c)으로 이루어진 것을 특징으로 한다.

특히, 상기 하부 패턴을 이루는 제 1 패턴(444a)의 길이는 상부 패턴을 이루는 제 2 패턴(444b) 길이보다 큰 값을 가지는 것이 구조를 보다 안정화시킬 수 있다.

도 6c에 따른 탄성구조 전기적 연결패턴(544)은, 제 1 패턴(544a)과, 제 1 패턴(544a) 상부에서 일정간격 이격된 상부에서 제 1 패턴(544a)을 중심으로 하여, 서로 일정간격 이격된 제 2, 3 패턴(544b, 544c)과, 상기 제 1, 2 패턴(544a, 544b)과, 제 1, 3 패턴(544a, 544c)을 연결시키는 경사 패턴인 제 4, 5 패턴(544d, 544e)으로 이루어진다.

상기 제 1 내지 5 패턴(544a, 544b, 544c, 544d, 544e)은 일체형 패턴을 이루며, 전체적으로 상광하협 구조를 이루고, 상기 제 4, 5 패턴(544d, 544e)은 상기 제 2, 3 패턴(544b, 544c)의 양끝과 연결되어, 전체적인 구조는 'V'자형 패턴 안쪽으로 꺾인 패턴 구조를 가진다.

상기 제 1 패턴(544a)은 전기적 연결패턴(544) 구조를 안정화시키고, 어레이 소자층과 연결되는 패턴에 해당되며, 상기 제 2, 3 패턴(544b, 544c)은 유기전계발광 다이오드 소자와 연결되는 패턴에 해당된다.

도 6d의 탄성구조 전기적 연결패턴(644)은, 서로 일정간격 이격된 상태에서 평행한 방향으로 비대응위치에서 배치된 제 1, 2 패턴(644a, 644b)과, 제 1, 2 패턴(644a, 644b)의 동일 방향 일 끝단을 연결하는 경사 패턴인 제 3 패턴(644c)으로 이루어진다.

특히, 상기 제 1 패턴(644a)의 길이는 제 2 패턴(644b)의 길이보다 큰 값을 가지는 것이 구조를 보다 안정화시킬 수 있다.

이와 같이, 본 발명에 따른 전기적 연결패턴에 탄성력을 부여하기 위해서는, 기본적으로 경사지게 깎여진 구조를 가지는 것이 중요하며, 또한 꺾인 상부 및 하부 패턴은 각각 어레이 소자 및 유기전계발광 다이오드 소자와 연결되도록 구성되고, 하부 패턴 길이가 상부 패턴 길이보다 큰 값을 가져 구조를 안정화시키는 것이 바람직하며, 하부 패턴은 어레이 소자층과의 결합(예를 들어, 콘택홀을 통한 고정)을 통해 안정된 구조를 가지도록 하는 것이 중요하다.

도 7a 내지 7c는 본 발명에 따른 듀얼패널타입 유기전계발광 소자용 기판의 제조 공정을 단계별로 나타낸 단면도로써, 탄성구조 전기적 연결패턴의 제조 공정을 중심으로 설명하며, 상기 도 4, 5에서는 탑 게이트형(top gate type) 박막트랜지스터를 일 예로 하였으나, 본 도면에서는 역 스테거드형(inverted staggered type) 박막트랜지스터를 일 예로 설명한다.

도 5에서와 다른 박막트랜지스터 구조를 일 예로 하여 도시하였다.

도 7a는, 기판(710) 상에 게이트 전극(712), 반도체층(714), 소스 전극(716) 및 드레인 전극(718)으로 이루어진 박막트랜지스터(T)를 형성하는 단계와, 박막트랜지스터(T)를 덮는 기판 전면에서 제 1, 2 보호층(720, 722)을 차례대로 형성하는 단계와, 상기 제 1, 2 보호층(720, 722)에 공통적으로 전술한 드레인 전극(718)을 일부 노출시키는 드레인 콘택홀(724)을 형성하는 단계이다.

한 예로, 상기 제 1 보호층(720)은 무기 절연물질에서 선택되고, 제 2 보호층(722)은 유기 절연물질에서 선택되는 것이 바람직하다.

그리고, 상기 제 1 보호층(720)에 드레인 콘택홀(724)을 우선적으로 형성한 다음, 상기 제 2 보호층(722)에 전술한 드레인 콘택홀(724)과 대응되는 콘택홀을 형성할 수도 있다.

도 7b에서는, 상기 드레인 콘택홀(724)을 통해 드레인 전극(718)과 연결되는 탄성구조 전기적 연결패턴(726)을 형성하는 단계이다.

상기 탄성구조 전기적 연결패턴(726)은, 드레인 전극(718)과 연결되며, 드레인 콘택홀(724)의 측벽과 접촉되게 형성되는 'V'자형의 제 1 패턴(726a)과, 제 1 패턴(726a)의 양끝에서 바깥방향으로 형성된 제 2, 3 패턴(726b, 726c)으로 이루어진 것을 특징으로 한다.

도 7c에서는, 상기 제 2 보호층(722)을 제거하여 전기적 연결패턴(726)을 완성하는 단계이다.

한 예로, 상기 제 2 보호층(722)은 O_2 가스를 포함하는 반응 가스를 이용하는 에칭(ashing) 공정에 의해 제거할 수 있다.

즉, 상기 제 2 보호층(722)은 전기적 연결패턴(726)을 몰드방식으로 완성하는데 요구된다.

그러나, 본 발명은 상기 실시예들로 한정되지 않고, 본 발명의 취지에 어긋나지 않는 한도 내에서 다양하게 변경하여 실시할 수 있다.

한 예로, 상기 실시예 1, 2에 따른 도면에서는 설명의 편의상 적, 녹, 청 서브픽셀로 이루어지는 픽셀이 두 개 배치된 구조를 예로 하였으나, 실제 구조에서는 다수 개의 픽셀이 구성된 구조를 가진다.

발명의 효과

이상과 같이, 본 발명에 따른 탄성구조 듀얼패널타입 유기전계발광 소자 및 그의 제조 방법에 의하면 다음과 같은 효과를 가진다.

첫째, 어레이 소자와 유기전계발광 다이오드 소자를 서로 다른 기판 상에 형성하기 때문에 생산수율 및 생산관리 효율을 향상시킬 수 있고, 제품수명을 늘릴 수 있다.

둘째, 상부발광방식이기 때문에 박막트랜지스터 설계가 용이해지고 고개구율/고해상도 구현이 가능하다.

셋째, 탄성구조를 가지는 전기적 연결패턴을 이용하여, 어레이 소자층과 유기전계발광 다이오드 소자를 연결하기 때문에, 전술한 전기적 연결패턴의 탄성력에 의해 위치 복원력이 높아져, 합착력이 가해져도 어레이 소자와 유기전계발광 다이오드 소자 간의 연결특성을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1.

화면을 구현하는 최소단위인 서브픽셀 영역이 정의되어 있으며, 서로 일정간격 이격된 상태에서 대향되게 배치된 제 1, 2 기판과;

상기 제 1 기판 내부면에 서브픽셀 단위로 형성된 다수 개의 박막트랜지스터를 포함하는 어레이 소자층과;

상기 어레이 소자층 상부에서 박막트랜지스터와 연결된 기둥 형상의 전기적 연결패턴과;

상기 제 2 기판의 내부 전면에 형성된 제 1 전극과;

상기 제 1 전극 하부에 형성된 유기전계발광층과;

상기 유기전계발광층 하부에, 서브픽셀 단위로 형성된 제 2 전극과;

상기 어레이 소자층과 제 2 전극 사이 구간에서 경사지게 깎여진 구조를 가지며, 상기 박막트랜지스터와 제 2 전극을 연결시키는 전기적 연결패턴과;

상기 제 1, 2 기판의 가장자리부를 인캡슐레이션(encapsulation)하는 씰패턴

을 포함하는 듀얼패널타입 유기전계발광 소자.

청구항 2.

제 1 항에 있어서,

상기 전기적 연결패턴은, 상기 박막트랜지스터와 접촉되는 제 1 패턴과, 상기 제 1 패턴 상부에서 제 1 패턴과 일정 거리를 가지며, 서로 간에 일정간격 이격 되게 위치하는 제 2, 3 패턴과, 상기 제 1, 2 패턴 및 제 1, 3 패턴과 각각 일체형 패턴을 이루는 경사 패턴인 제 4, 5 패턴으로 이루어지고, 상기 제 2, 3 패턴 중 적어도 어느 한 패턴은, 상기 제 2 전극의 하부면과 접촉되는 듀얼패널타입 유기전계발광 소자.

청구항 3.

제 2 항에 있어서,

상기 제 4, 5 패턴은, 상기 제 2, 3 패턴의 서로 마주보는 안쪽 끝단과 연결되는 듀얼패널타입 유기전계발광 소자.

청구항 4.

제 2 항에 있어서,

상기 제 4, 5 패턴은, 상기 제 2, 3 패턴의 서로 마주보는 바깥쪽 끝단과 연결되는 듀얼패널타입 유기전계발광 소자.

청구항 5.

제 1 항에 있어서,

상기 전기적 연결패턴은, 상기 드레인 전극과 연결되는 'V(브이)'자형 제 1 패턴과, 상기 제 1 패턴의 양 끝단에서, 상기 제 2 전극과 평행한 방향으로 형성된 제 2, 3 패턴으로 이루어진 것을 특징으로 하는 듀얼패널타입 유기전계발광 소자.

청구항 6.

제 5 항에 있어서,

상기 제 2, 3 패턴 중 어느 한 패턴의 일 끝단에는 이웃하는 패턴과 직교하는 적어도 두 개 이상의 꺾임부가 형성되어 있으며, 상기 꺾임부의 일 끝단과 제 2 전극이 접촉되는 것을 특징으로 하는 듀얼패널타입 유기전계발광 소자.

청구항 7.

제 1 항에 있어서,

상기 전기적 연결패턴은, 상기 박막트랜지스터와 접촉되는 제 1 패턴과, 상기 제 2 전극과 접촉되는 제 2 패턴과, 상기 제 1, 2 패턴과 일체형 패턴을 이루며, 경사진 패턴을 이루는 제 3 패턴으로 이루어지는 것을 특징으로 하는 듀얼패널타입 유기전계발광소자.

청구항 8.

제 7 항에 있어서,

상기 제 3 패턴은, 상기 제 1, 2 패턴의 서로 반대방향 끝단과 연결되는 듀얼패널타입 유기전계발광소자.

청구항 9.

제 7 항에 있어서,

상기 제 3 패턴은, 상기 제 1, 2 패턴의 서로 동일방향 끝단과 연결되는 듀얼패널타입 유기전계발광소자.

청구항 10.

제 7 항에 있어서,

상기 제 1 패턴 길이는, 상기 제 2 패턴 길이보다 긴 것을 특징으로 하는 듀얼패널타입 유기전계발광소자.

청구항 11.

제 1 항에 있어서,

상기 박막트랜지스터를 덮는 기판 전면에는, 상기 박막트랜지스터를 일부 노출시키는 콘택홀을 가지는 보호층이 형성되며, 상기 전기적 연결패턴은 콘택홀을 통해 박막트랜지스터와 연결되고 지지되는 것을 특징으로 하는 듀얼패널타입 유기전계발광소자.

청구항 12.

제 1 항에 있어서,

상기 제 2 전극 하부에는, 상기 제 2 전극과 대응되는 패턴 구조를 가지는 보호용 전극이 추가로 형성되며, 상기 전기적 연결패턴은 실질적으로 상기 보호용 전극과 접촉되는 듀얼패널타입 유기전계발광소자.

청구항 13.

제 1 항에 있어서,

상기 전기적 연결패턴과 어레이 소자층 사이에는, 상기 박막트랜지스터와 실질적으로 접촉되는 연결 전극이 추가로 포함되며, 상기 연결 전극과 전기적 연결패턴이 접촉되는 듀얼패널타입 유기전계발광소자.

청구항 14.

제 1 항에 있어서,

상기 전기적 연결패턴 구조는 탄성력을 가지며, 상기 탄성력에 의해 상기 박막트랜지스터와 제 2 전극을 연결시키는 것을 특징으로 하는 듀얼패널타입 유기전계발광소자.

청구항 15.

서브픽셀 영역이 정의된 기판 상에, 서브픽셀 단위로 다수 개의 박막트랜지스터를 형성하는 단계와;

상기 박막트랜지스터를 덮는 기판 전면에, 상기 박막트랜지스터 어느 한 전극을 노출시키는 콘택홀을 가지는 제 1, 2 보호층을 차례대로 형성하는 단계와;

상기 제 2 보호층 상부에서 상기 콘택홀을 통해 박막트랜지스터와 연결되며, 경사지게 깎여진 구조를 가지는 전기적 연결패턴을 형성하는 단계와;

상기 전기적 연결패턴의 주변부를 덮는 제 2 보호층을 제거하는 단계

를 포함하는 듀얼패널타입 유기전계발광 소자용 기판의 제조 방법.

청구항 16.

제 15 항에 있어서,

상기 제 1 보호층은 무기 절연물질에서 선택되는 듀얼패널타입 유기전계발광 소자용 기판의 제조 방법.

청구항 17.

제 15 항에 있어서,

상기 제 2 보호층은 유기 절연물질에서 선택되는 듀얼패널타입 유기전계발광 소자용 기판의 제조 방법.

청구항 18.

제 15 항 또는 제 17 항 중 어느 하나의 항에 있어서,

상기 제 2 보호층을 제거하는 단계에서는, 산소(O_2) 가스를 포함한 반응 가스를 이용하여 에칭(ashing)처리하는 단계를 포함하는 듀얼패널타입 유기전계발광 소자용 기판의 제조 방법.

청구항 19.

제 15 항에 있어서,

상기 박막트랜지스터를 형성하는 단계에서는, 기판 상에 게이트 전극, 게이트 절연막, 반도체층, 소스 전극 및 드레인 전극을 차례대로 형성하여, 역스태거드형(inverted staggered type) 박막트랜지스터를 형성하는 단계를 포함하며, 상기 전기적 연결패턴은 상기 드레인 전극과 연결되는 듀얼패널타입 유기전계발광 소자용 기판의 제조 방법.

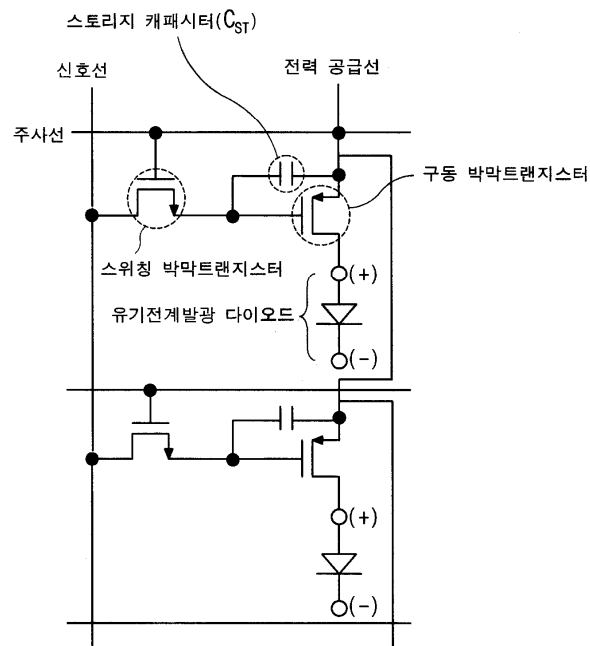
청구항 20.

제 15 항에 있어서,

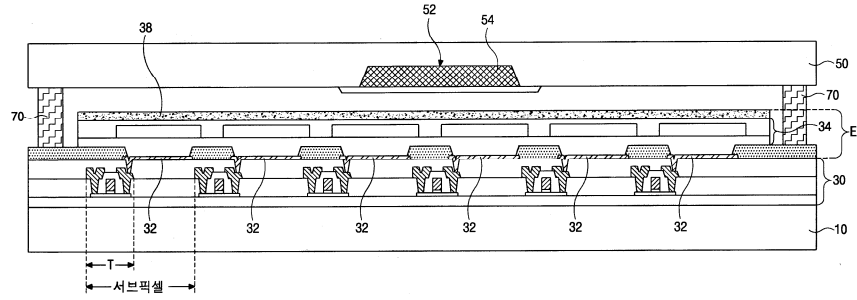
상기 박막트랜지스터를 형성하는 단계에서는, 기판 상에 반도체층, 게이트 절연막, 게이트 전극, 소스 전극 및 드레인 전극을 차례대로 형성하여, 탑 게이트형(top gate type) 박막트랜지스터를 형성하는 단계를 포함하며, 상기 전기적 연결패턴은 상기 드레인 전극과 연결되는 듀얼패널타입 유기전계발광 소자용 기판의 제조 방법.

도면

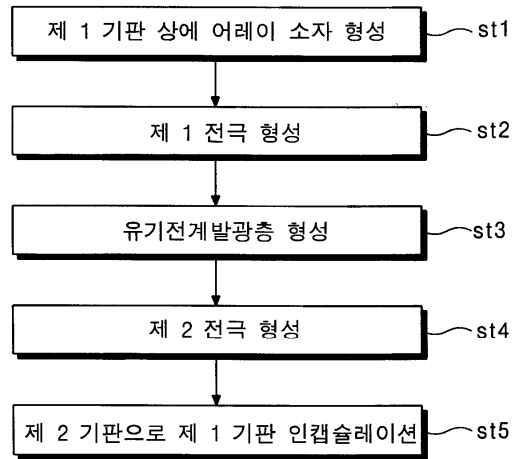
도면1



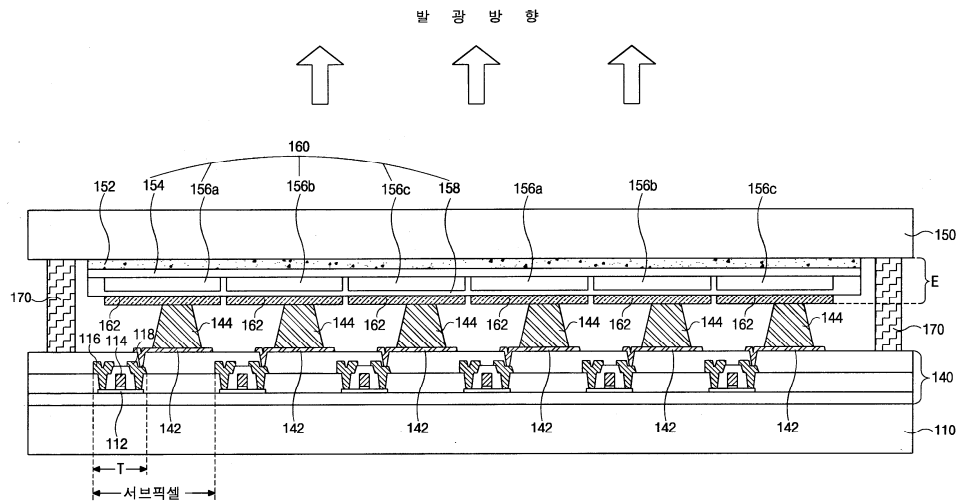
도면2



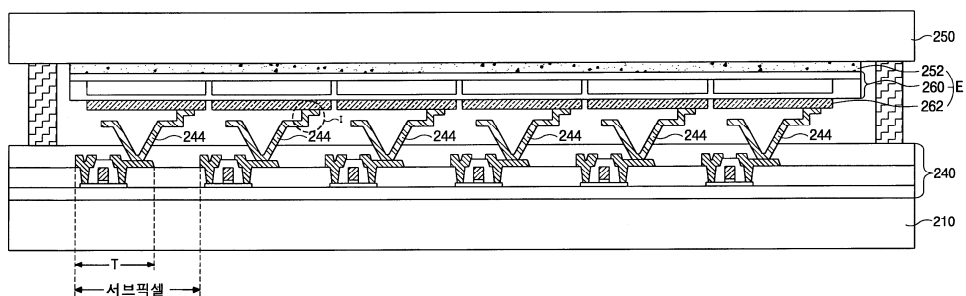
도면3



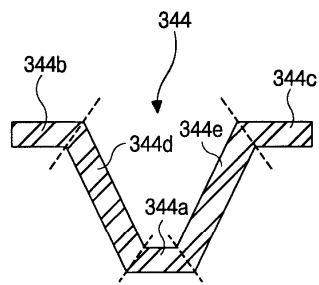
도면4



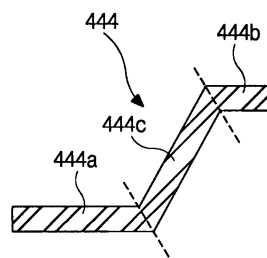
도면5



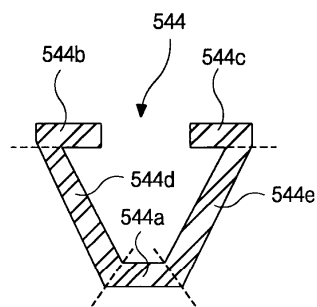
도면6a



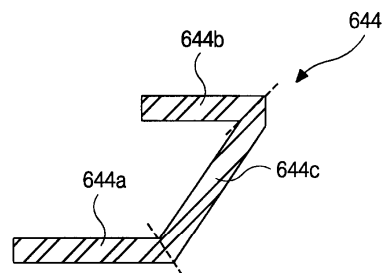
도면6b



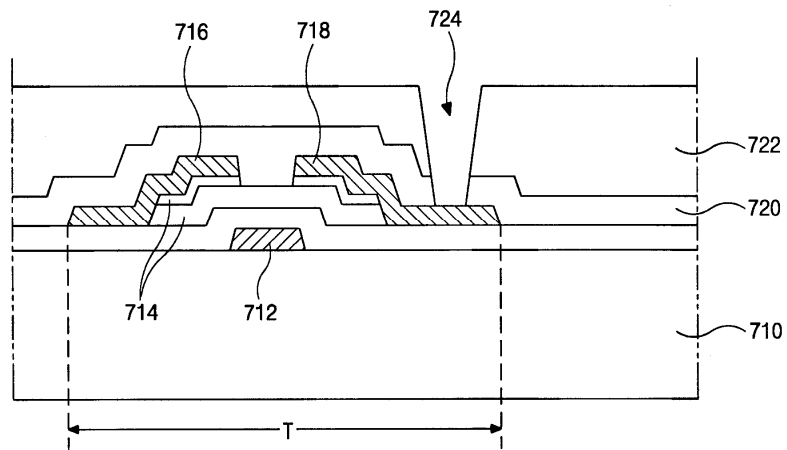
도면6c



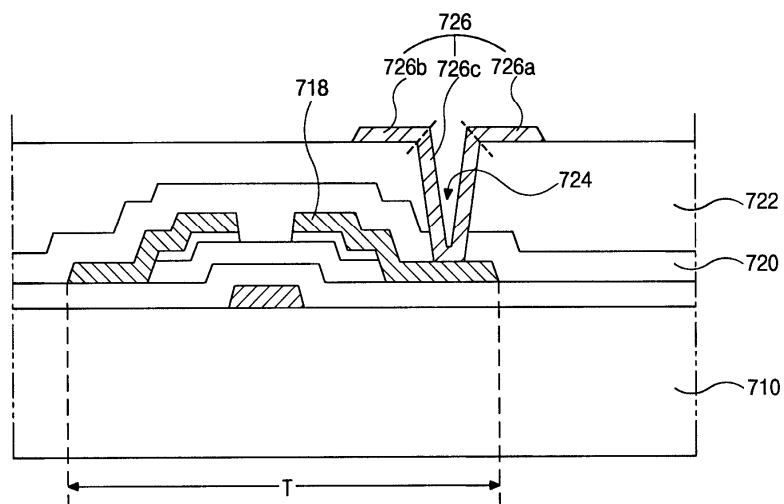
도면6d



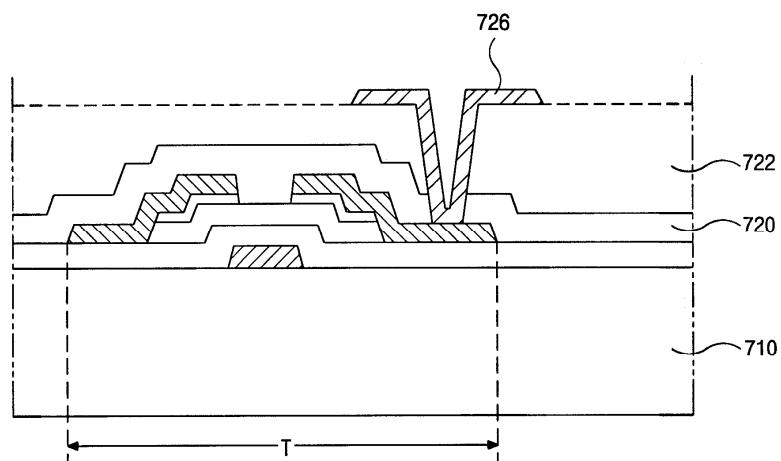
도면7a



도면7b



도면7c



专利名称(译)	双面板型有机电致发光器件及其制造方法		
公开(公告)号	KR1020040021407A	公开(公告)日	2004-03-10
申请号	KR1020020053236	申请日	2002-09-04
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK JAEYONG 박재용 LEE NAMYANG 이남양 SASTRA BUDIMAN 버디맨사스트라		
发明人	박재용 이남양 버디맨사스트라		
IPC分类号	H05B33/12		
CPC分类号	H01L27/3251 H01L51/5246 H01L51/56		
其他公开文献	KR100479002B1		
外部链接	Espacenet		

摘要(译)

根据本发明的双面板型有机电致发光器件及其制造方法，首先，由于阵列器件和有机电致发光二极管器件形成在不同的基板上，因此可以提高产量和生产管理效率，可以实现高孔径比/高分辨率，第三，通过使用具有弹性结构的电连接图案，可以增加阵列元件层和有机发光二极管元件的寿命。通过电连接图案的弹力增加位置恢复力，并且即使施加结合力，也可以改善阵列元件和有机发光二极管元件之间的连接特性。 五

