



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년01월15일
(11) 등록번호 10-1352105
(24) 등록일자 2014년01월08일

(51) 국제특허분류(Int. Cl.)

H05B 33/02 (2006.01)

(21) 출원번호 10-2007-0028223

(22) 출원일자 2007년03월22일

심사청구일자 2012년03월08일

(65) 공개번호 10-2008-0086251

(43) 공개일자 2008년09월25일

(56) 선행기술조사문헌

KR1020030058148 A*

KR1020040062095 A*

KR1020050049838 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

신동수

경기도 안양시 동안구 귀인로172번길 22 무궁화아파트 305동 602호(호계동, 무궁화경남아파트)

오재영

서울특별시 영등포구 도신로 31, 303동 1204호 (대림동, 현대3차아파트)

(74) 대리인

김용인, 박영복

전체 청구항 수 : 총 7 항

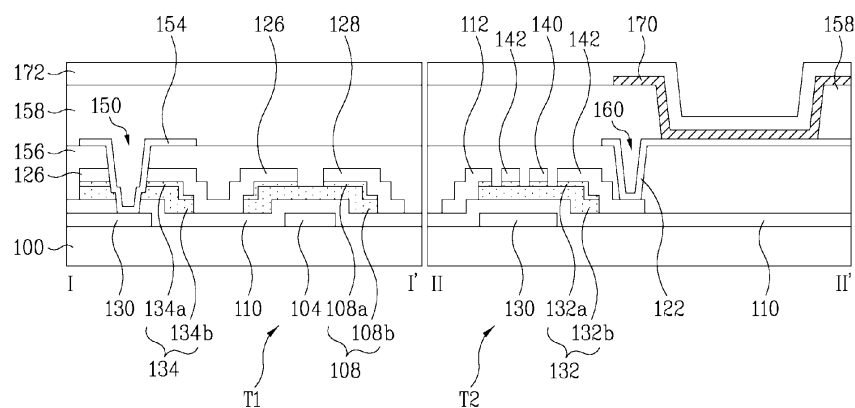
심사관 : 금복희

(54) 발명의 명칭 유기발광표시장치 및 그 제조방법

(57) 요약

본 발명은 유기발광표시장치 및 그 제조방법에 관한 것으로, 기판 상에 화소 영역을 정의하는 복수의 게이트 라인과 데이터 라인과, 상기 게이트 라인과 교차하며 상기 데이터 라인과 평행하게 형성된 전원 라인과, 상기 게이트 라인 및 데이터 라인과 접속된 스위칭 박막 트랜지스터와, 상기 스위칭 박막 트랜지스터 및 전원 라인과 접속된 구동 박막 트랜지스터와, 상기 구동 박막 트랜지스터와 접속된 발광층과, 상기 스위칭 박막 트랜지스터의 드레인 전극과 구동 박막 트랜지스터의 게이트 전극의 중첩부에 형성된 반도체층과, 상기 스위칭 박막 트랜지스터의 드레인 전극, 반도체층, 게이트 절연막을 관통하여 구동 박막 트랜지스터의 게이트 전극을 노출시킨 하나의 콘택홀과, 상기 콘택홀을 통해 상기 스위칭 박막 트랜지스터의 드레인 전극 및 구동 박막 트랜지스터의 게이트 전극을 접속시킨 연결 전극을 포함하는 것을 특징으로 한다.

대표도 - 도4



특허청구의 범위

청구항 1

기관 상에 화소 영역을 정의하는 게이트 라인과 데이터 라인과,
 상기 게이트 라인과 교차하며 상기 데이터 라인과 평행하게 형성된 전원 라인과,
 상기 게이트 라인 및 데이터 라인과 접속된 스위칭 박막 트랜지스터와,
 상기 스위칭 박막 트랜지스터 및 전원 라인과 접속된 구동 박막 트랜지스터와,
 상기 스위칭 박막 트랜지스터 및 상기 구동 박막 트랜지스터를 덮도록 상기 기관 전면에 형성된 보호막과,
 상기 구동 박막 트랜지스터와 접속되도록 상기 보호막 상에 형성되며, 화소 전극, 발광층 및 음극을 포함하는 유기발광 다이오드와,
 상기 스위칭 박막 트랜지스터의 드레인 전극, 반도체층, 게이트 절연막 및 상기 보호막을 관통하여 상기 구동 박막 트랜지스터의 게이트 전극 상부면을 노출시키는 콘택홀과,
 상기 콘택홀에 의해 노출된 상기 구동 박막 트랜지스터의 게이트 전극 상부면을 덮도록 상기 화소 전극과 동일 물질로 상기 보호막 상에 형성되어, 상기 스위칭 박막 트랜지스터의 드레인 전극과 상기 구동 박막 트랜지스터의 게이트 전극을 서로 연결시키는 연결 전극을 포함하는 것을 특징으로 하는 유기발광표시장치.

청구항 2

삭제

청구항 3

제 1 항에 있어서,
 상기 전원 라인과 상기 구동 박막 트랜지스터의 게이트 전극이 상기 게이트 절연막을 사이에 두고 중첩되어 형성된 스토리지 캐패시터를 추가로 구비하는 것을 특징으로 하는 유기발광표시장치.

청구항 4

제 1 항에 있어서,
 상기 콘택홀은 상기 스위칭 박막 트랜지스터의 드레인 전극 및 반도체층을 관통하여 형성된 개구부에 대응되는 상기 게이트 절연막 및 보호막을 더 제거하여 형성된 것을 특징으로 하는 유기발광표시장치.

청구항 5

기관 상에 게이트 라인 및 데이터 라인과 접속된 스위칭 박막 트랜지스터와, 상기 스위칭 박막 트랜지스터 및 전원 라인과 접속된 구동 박막 트랜지스터를 형성하는 단계와,
 상기 스위칭 박막 트랜지스터와 상기 구동 박막 트랜지스터를 덮도록 상기 기관 상에 보호막을 형성하는 단계와,
 상기 스위칭 박막 트랜지스터의 드레인 전극, 반도체층, 게이트 절연막 및 상기 보호막을 관통하여 상기 구동 박막 트랜지스터의 게이트 전극 상부면을 노출시키는 콘택홀을 형성하는 단계와,
 상기 구동 박막 트랜지스터와 접속되도록 상기 보호막 상에 화소 전극, 발광층 및 음극을 포함하는 유기발광 다이오드를 형성하는 단계와,
 상기 스위칭 박막 트랜지스터의 드레인 전극과 상기 구동 박막 트랜지스터의 게이트 전극을 서로 연결하기 위해, 상기 콘택홀에 의해 노출된 상기 구동 박막 트랜지스터의 게이트 전극 상부면을 덮도록 상기 보호막 상에 상기 화소 전극과 동일 물질로 연결 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 유기발광표시장치의 제조방법.

청구항 6

제 5 항에 있어서,

상기 전원 라인과 상기 구동 박막 트랜지스터의 게이트 전극이 상기 게이트 절연막을 사이에 두고 중첩되도록 스토리지 캐패시터를 형성하는 단계를 추가로 구비하는 것을 특징으로 하는 유기발광표시장치의 제조방법.

청구항 7

제 5 항에 있어서,

상기 콘택홀은 상기 스위칭 박막 트랜지스터의 드레인 전극 및 반도체층을 관통하여 형성된 개구부에 대응되는 상기 게이트 절연막 및 보호막을 더 제거하여 형성된 것을 특징으로 하는 유기발광표시장치의 제조방법.

청구항 8

기관 상에 게이트 라인 및 제 1 및 제 2 게이트 전극을 포함한 게이트 패턴을 형성하는 단계와,

상기 게이트 패턴이 형성된 기관 상에 게이트 절연막과, 상기 게이트 절연막 상에 상기 게이트 패턴과 중첩되도록 제 1 및 제 2 반도체층과, 상기 제 2 게이트 전극과 중첩된 영역에 개구부를 갖는 제 3 반도체층을 포함한 반도체 패턴을 형성하는 단계와,

상기 반도체 패턴이 형성된 상기 게이트 절연막 상에 데이터 라인과, 제 1 및 제 2 소스 전극과, 상기 제 3 반도체층의 개구부와 중첩된 영역에 개구부를 갖는 제 1 드레인 전극 및 제 2 드레인 전극을 포함하는 소스/드레인 패턴을 형성하는 단계와,

상기 소스/드레인 패턴 상에 상기 제 3 반도체층의 개구부 및 상기 제 1 드레인 전극의 개구부를 경유하고, 상기 제 2 게이트 전극을 노출하는 제 1 콘택홀 및 제 2 드레인 전극을 노출하는 제 2 콘택홀을 포함하는 보호막을 형성하는 단계와,

상기 보호막 상에 제 2 게이트 전극 및 제 1 드레인 전극을 상기 제 1 콘택홀을 통해 연결하는 연결 전극 및 상기 제 2 콘택홀을 통해 제 2 드레인 전극과 전기적으로 연결되는 화소 전극을 포함하는 투명 도전 패턴을 형성하는 단계와,

상기 투명 도전 패턴을 포함하는 상기 보호막 전면에 화소홀을 갖는 बैं크 절연막을 형성하는 단계와,

상기 बैं크 절연막의 화소홀을 경유하도록 발광층을 형성하는 단계와,

상기 발광층 및 상기 बैं크 절연막 상에 음극을 형성하는 단계를 포함하고,

상기 제 3 반도체층은 상기 제 2 게이트 전극과 제 1 드레인 전극의 중첩부에 형성되고, 상기 제 1 콘택홀은 상기 중첩부에 형성된 것을 특징으로 하는 유기발광표시장치의 제조방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0017] 본 발명은 유기발광표시장치에 관한 것으로 특히, 개구율을 향상시킬 수 있는 유기발광표시장치 및 그 제조방법에 관한 것이다.
- [0018] 유기발광표시장치는 유기 발광 물질에 순 방향으로 전류를 공급하면, 정공 제공층인 양극(anode electrode)과 전자 제공층인 음극(cathode electrode)간의 P(positive)-N(negative) 접합(Junction)부분을 통해 전자와 정공이 이동하면서 서로 재결합하여, 전자와 정공이 떨어져 있을 때보다 작은 에너지를 가지게 되므로, 이때 발생하는 에너지 차로 인해 빛을 방출하는 원리를 이용하는 것이다.
- [0019] 이러한 유기발광표시장치는 자체발광형이기 때문에 액정표시장치에 비해 시야각, 콘트라스트 등이 우수하며 백라이트가 필요하지 않기 때문에 경량 박형이 가능하고, 따라서 저전압 구동을 실현할 수 있어서 소비전력 측면에서도 유리하다.

- [0020] 도 1은 종래의 유기발광표시장치의 기본 화소에 대한 등가 회로도이고, 도 2는 도 1에 도시된 A부분의 확대도이다.
- [0021] 도 1에 도시된 유기발광표시장치의 한 화소는 유기발광 다이오드(OLED)와, 게이트 라인(GL)과, 데이터 라인(DL) 및 전원 라인(PL) 사이에 접속된 유기발광 다이오드(OLED)를 구동하는 화소 구동부(P)를 구비한다.
- [0022] 화소 구동부(P)는 게이트 라인(GL) 및 데이터 라인(DL)과 접속된 스위칭 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T1)와 전원 라인(PL) 및 유기발광 다이오드(OLED) 사이에 접속된 구동 박막 트랜지스터(T2)와, 구동 박막 트랜지스터(T2)의 게이트 전극(30)과 전원 라인(PL) 사이에 접속된 스토리지 캐패시터(C)를 구비한다.
- [0023] 스위칭 박막 트랜지스터(T1)는 게이트 라인(GL)의 스캔 신호에 응답하여 데이터 라인(DL)의 데이터 신호를 구동 박막 트랜지스터(T2)의 게이트 전극(30) 및 스토리지 캐패시터(C)에 공급한다. 구동 박막 트랜지스터(T2)는 스위칭 박막 트랜지스터(T1)로부터 데이터 신호에 응답하여 전원 라인(PL)으로부터 유기발광 다이오드(OLED)로 공급되는 전류를 조절하여 유기발광 다이오드(OLED)의 밝기를 제어한다. 스토리지 캐패시터(C)는 스위칭 박막 트랜지스터(T1)로부터의 데이터 신호를 충전하고, 충전된 전압을 구동 박막 트랜지스터(T2)에 공급하여 스위칭 박막 트랜지스터(T1)가 오프(OFF)되더라도 구동 박막 트랜지스터(T2)가 일정한 전류를 공급할 수 있다.
- [0024] 화소 구동부(P)에서 스위칭 박막 트랜지스터(T1)의 드레인 전극(26)과 구동 박막 트랜지스터(T2)의 게이트 전극(30)은 절연막을 사이에 두고 서로 다른 층에 형성되므로 도 2와 같이, 연결 전극(54)을 통해 접속된다. 연결 전극(54)은 제 1 및 제 2 콘택홀(10, 20)을 통해 스위칭 박막 트랜지스터(T1)의 드레인 전극(26)과 구동 박막 트랜지스터(T2)의 게이트 전극(30)을 전기적으로 접속한다. 이로 인하여, 스위칭 박막 트랜지스터(T1)의 드레인 전극(26)과 구동 박막 트랜지스터(T2)의 게이트 전극(30)의 콘택부 면적이 증가되므로 화소 구동부(P)의 면적이 증가하고 그만큼 유기발광 다이오드(OLED)의 면적이 감소하여 개구율이 감소되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- [0025] 따라서, 본 발명은 상기와 같은 종래의 문제점을 해결하기 위한 것으로 스위칭 박막 트랜지스터와 구동 박막 트랜지스터 콘택부의 면적을 감소시켜 유기발광 다이오드의 개구율을 향상시킬 수 있는 유기발광표시장치 및 그 제조방법을 제공하는 것에 그 목적이 있다.

발명의 구성 및 작용

- [0026] 상기 목적을 달성하기 위하여, 본 발명의 한 특징에 따른 유기발광표시장치는 기판 상에 화소 영역을 정의하는 복수의 게이트 라인과 데이터 라인과, 상기 게이트 라인과 교차하며 상기 데이터 라인과 평행하게 형성된 전원 라인과, 상기 게이트 라인 및 데이터 라인과 접속된 스위칭 박막 트랜지스터와, 상기 스위칭 박막 트랜지스터 및 전원 라인과 접속된 구동 박막 트랜지스터와, 상기 구동 박막 트랜지스터와 접속된 발광층과, 상기 스위칭 박막 트랜지스터의 드레인 전극과 구동 박막 트랜지스터의 게이트 전극의 중첩부에 형성된 반도체층과, 상기 스위칭 박막 트랜지스터의 드레인 전극, 반도체층, 게이트 절연막을 관통하여 구동 박막 트랜지스터의 게이트 전극을 노출시킨 하나의 콘택홀과, 상기 콘택홀을 통해 상기 스위칭 박막 트랜지스터의 드레인 전극 및 구동 박막 트랜지스터의 게이트 전극을 접속시킨 연결 전극을 포함한다.
- [0027] 본 발명의 다른 특징에 따른 유기발광표시장치의 제조 방법은 기판 상에 게이트 라인 및 데이터 라인과 접속된 스위칭 박막 트랜지스터와, 상기 스위칭 박막 트랜지스터 및 전원 라인과 접속된 구동 박막 트랜지스터를 형성하는 단계와, 상기 구동 박막 트랜지스터와 접속되도록 발광층을 형성하는 단계와, 상기 스위칭 박막 트랜지스터의 드레인 전극과 구동 박막 트랜지스터의 게이트 전극의 중첩부에 반도체층을 형성하는 단계와, 상기 스위칭 박막 트랜지스터의 드레인 전극, 반도체층, 게이트 절연막을 관통하여 구동 박막 트랜지스터의 게이트 전극을 노출시키는 하나의 콘택홀을 형성하는 단계와, 상기 콘택홀을 통해 상기 스위칭 박막 트랜지스터의 드레인 전극 및 구동 박막 트랜지스터의 게이트 전극을 접속시킨 연결 전극을 형성하는 단계를 포함한다.
- [0028] 본 발명의 또 다른 특징에 따른 유기발광표시장치의 제조 방법은 기판 상에 게이트 라인 및 제 1 및 제 2 게이트 전극을 포함한 게이트 패턴을 형성하는 단계와, 상기 게이트 패턴이 형성된 기판 상에 게이트 절연막과, 상기 게이트 절연막 상에 상기 게이트 패턴과 중첩되도록 제 1 내지 제 3 반도체층을 포함한 반도체 패턴을 형성하는 단계와, 상기 반도체 패턴이 형성된 상기 게이트 절연막 상에 데이터 라인과, 제 1 및 제 2 소스 전극과, 제 1 및 제 2 드레인 전극을 포함하는 소스/드레인 패턴을 형성하는 단계와, 상기 소스/드레인 패턴 상에 제 1 드레인 전극 및 제 2 게이트 전극을 노출하는 제 1 콘택홀 및 제 2 드레인 전극을 노출하는 제 2 콘택홀을 포함하는 보호막을 형성하는 단계와, 상기 보호막 상에 제 2 게이트 전극 및 제 1 드레인 전극을 상기 제 1 콘택홀

을 통해 연결하는 연결 전극 및 상기 제 2 콘택홀을 통해 제 2 드레인 전극과 전기적으로 연결되는 화소 전극을 포함하는 투명 도전 패턴을 형성하는 단계와, 상기 투명 도전 패턴을 포함하는 상기 보호막 전면에 화소홀을 갖는 बैं크 절연막을 형성하는 단계와, 상기 बैं크 절연막의 화소홀을 경유하도록 발광층을 형성하는 단계와, 상기 발광층 및 상기 बैं크 절연막 상에 음극을 형성하는 단계를 포함한다.

[0029] 이하, 첨부된 도면을 참고하여 본 발명의 실시예에 따른 유기발광표시장치와 그 제조방법을 상세히 설명하면 다음과 같다.

[0030] 도 3은 본 발명의 실시예에 따른 유기발광표시장치의 기본 화소 구조를 나타내는 평면도이며, 도 4는 도 3에 도시된 I-I' 내지 II-II' 선에 따른 유기발광표시장치를 나타내는 단면도이다.

[0031] 도 3 및 도 4에 도시된 유기발광표시장치는 절연 기판(100) 상에 형성된 게이트 라인(102)과, 게이트 라인(102)과 교차하는 데이터 라인(106)과, 게이트 라인(102)과 교차하며 데이터 라인(106)과 나란하게 형성된 전원 라인(112)과, 게이트 라인(102) 및 데이터 라인(106)과 접속된 스위치 박막 트랜지스터(T1)와, 전원 라인(112)과 화소 전극(122) 사이에 형성되어 스위치 박막 트랜지스터(T1)와 접속된 구동 박막 트랜지스터(T2)와, 전원 라인(112)과 구동 박막 트랜지스터(T2)의 제 2 게이트 전극(130)의 중첩으로 형성된 스토리지 캐패시터(C)와, 화소 전극(122) 및 음극(172) 사이에 형성된 발광층(170)을 포함한 유기발광 다이오드(OLED)로 구성된다.

[0032] 스위칭 박막 트랜지스터(T1)는 게이트 라인(102)과 접속된 제 1 게이트 전극(104), 제 1 게이트 전극(104)이 형성된 절연 기판(100) 전면에 형성된 게이트 절연막(110)과, 게이트 절연막(110) 상에 제 1 게이트 전극(104)과 중첩되게 형성된 제 1 반도체층(108)과, 데이터 라인(106)에서 분기되어 제 1 반도체층(108) 상에 형성되는 제 1 소스 전극(128), 제 1 소스 전극(128)과 마주하며 구동 박막 트랜지스터(T2)의 제 2 게이트 전극(130) 및 스토리지 캐패시터(C)와 접속된 제 1 드레인 전극(126)으로 구성된다. 제 1 반도체층(108)은 제 1 오믹 콘택층(108a) 및 제 1 활성층(108b)로 구성된다. 이러한 스위칭 박막 트랜지스터(T1)는 게이트 라인(102)의 스캔 신호에 응답하여 데이터 라인(106)의 데이터 신호를 구동 박막 트랜지스터(T2)의 제 2 게이트 전극(130) 및 스토리지 캐패시터(C)에 공급한다.

[0033] 구동 박막 트랜지스터(T2)는 스위칭 박막 트랜지스터(T1)의 제 1 드레인 전극(126)과 연결 전극(154)을 통해 접속된 제 2 게이트 전극(130), 제 2 게이트 전극(130)과 중첩되게 형성된 제 2 반도체층(132)과, 제 2 반도체층(132) 상에 전원 라인(112)과 접속된 제 2 소스 전극(140), 제 2 소스 전극(140)과 평행하고 화소 전극(122)과 접속된 제 2 드레인 전극(142)으로 구성된다. 제 2 반도체층(132)은 제 2 오믹 콘택층(132a) 및 제 2 활성층(132b)로 구성된다. 이러한 구동 박막 트랜지스터(T2)는 스위칭 박막 트랜지스터(T1)로부터 데이터 신호에 응답하여 전원 라인(112)으로부터 유기발광 다이오드(OLED)로 공급되는 전류를 조절한다.

[0034] 구동 박막 트랜지스터(T2)는 도 1과 같이, 스위칭 박막 트랜지스터(T1)보다 크게 형성된다. 또한, 구동 박막 트랜지스터(T2)의 제 2 소스 전극(140)은 해당 화소의 상단부에서 전원 라인(112)로부터 돌출되고 절곡되어 해당 화소의 하부 쪽으로 길게 형성된다. 제 2 드레인 전극(142)은 제 2 소스 전극(140)의 수직부를 둘러싸도록 "ㄷ"자형으로 형성된다. 이에 따라, 구동 박막 트랜지스터(T2)의 제 2 소스 전극(140) 및 제 2 드레인 전극(142)이 서로 마주하는 채널폭이 크게 형성되므로 유기발광 다이오드(OLED)에 구동 전류를 빠르고 안정적으로 공급할 수 있다.

[0035] 연결 전극(154)은 구동 박막 트랜지스터(T2)의 제 2 게이트 전극(130)과 스위칭 박막 트랜지스터(T1)의 제 1 드레인 전극(126) 제 1 콘택홀(150)을 통해 연결시킨다.

[0036] 구체적으로, 제 1 드레인 전극(126)은 게이트 절연막(110)을 사이에 두고 제 2 게이트 전극(130)과 중첩되고, 그 중첩 영역에 개구부(60)를 갖는다. 제 1 콘택홀(150)은 제 1 드레인 전극(126)과 제 2 게이트 전극(130)의 중첩부에서 제 1 드레인 전극(126)의 개구부를 경유하도록 보호막(156), 게이트 절연막(110)을 관통하여 제 2 게이트 전극(130)을 노출시킨다. 이때, 제 1 콘택홀(150) 형성시 제 1 드레인 전극(126) 아래의 게이트 절연막(110)이 언더컷되는 것을 방지하기 위하여 게이트 절연막(110)과 제 1 드레인 전극(126) 사이에 제 3 반도체층(134)을 형성한다. 제 3 반도체층(134)은 제 3 오믹 콘택층(134a) 및 제 3 활성층(134b)로 구성되며, 제 2 게이트 전극(130)과 중첩되는 영역 즉, 제 1 드레인 전극(126)의 개구부(60)와 중첩된 개구부를 갖는다. 제 1 콘택홀(150) 형성시 제 3 반도체층(134)은 보호막(156) 및 게이트 절연막(110) 보다 식각비가 작으므로 도 4와 같이, 계단 형태로 형성되면서 게이트 절연막(110)의 언더컷을 방지한다. 이에 따라, 게이트 절연막(110)의 언더컷을 방지하여 언더컷으로 인한 연결 전극(154)의 단선을 방지한다.

[0037] 또한, 구동 박막 트랜지스터(T2)의 제 2 게이트 전극(130)과 스위칭 박막 트랜지스터(T1)의 제 1 드레인 전극

(126)이 하나의 콘택홀을 경유한 연결 전극(154)에 의해 연결되므로 이 콘택부의 면적을 감소시키고 그만큼 유기발광 다이오드의 개구율을 향상시킬 수 있다.

- [0038] 스토리지 캐패시터(C)는 전원 라인(112)과 구동 박막 트랜지스터(T2)의 제 2 게이트 전극(130)이 게이트 절연막(110)을 사이에 두고 중첩됨으로써 형성된다. 이러한 스토리지 캐패시터(C)는 스위칭 박막 트랜지스터(T1)로부터의 데이터 신호를 충전하고, 충전된 전압을 구동 박막 트랜지스터(T2)에 공급하여 스위칭 박막 트랜지스터(T1)가 오프(OFF)되더라도 구동 박막 트랜지스터(T2)가 일정한 전류를 공급할 수 있다.
- [0039] 유기발광 다이오드(OLED)는 보호막(156) 상에 형성된 화소 전극(122)과, बैं크 절연막(158)을 관통하는 화소홀(162)을 통해 노출된 화소 전극(122)과 बैं크 절연막(158) 상에 형성된 발광층(170)과, 발광층(170)이 형성된 बैं크 절연막(158) 전면에 형성된 음극(172)으로 구성된다. 이러한 유기발광 다이오드(OLED)는 구동 박막 트랜지스터(T2)로 공급되는 구동 전류에 따라 발광하여 구동 전류에 비례하는 밝기를 표시한다. 음극(172)은 그라운드에 접속되어 형성된다.
- [0040] 도 5a 내지 도 5h는 도 4에 도시된 유기발광표시장치의 제조방법을 나타낸 공정단면도이다.
- [0041] 도 5a를 참조하면, 절연 기판(100) 상에 게이트 라인(102), 제 1 및 제 2 게이트 전극(104, 130)을 포함하는 게이트 패턴이 형성된다.
- [0042] 구체적으로, 절연 기판(100) 상에 게이트 금속층을 스퍼터링 등의 증착 방법으로 형성한다. 이어서, 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 게이트 금속층이 패터닝되어 게이트 라인(102), 제 1 및 제 2 게이트 전극(104, 130)을 포함하는 게이트 패턴이 형성된다.
- [0043] 게이트 금속층의 재료로는 몰리브덴(Mo), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴 합금(Mo alloy), 구리(Cu) 등이 이용된다.
- [0044] 도 5b를 참조하면, 게이트 패턴 상에 게이트 절연막(110), 활성층 및 오믹 콘택층으로 구성된 제 1 내지 제 3 반도체층(108, 132, 134)을 포함하는 반도체 패턴이 순차적으로 형성된다.
- [0045] 구체적으로, 게이트 패턴을 포함하는 절연 기판 전면에서 PECVD(Plasma Enhanced Chemical Vapor Deposition) 등의 증착 방법으로 게이트 절연막(110), 비정질실리콘(a-Si)층 및 불순물(n+)이 도핑된 비정질실리콘층을 순차적으로 증착한 후, 포토리소그래피 공정 및 식각 공정으로 비정질실리콘(a-Si)층 및 불순물(n+)이 도핑된 비정질실리콘층을 패터닝하여 활성층(108b, 132b, 134b) 및 오믹 콘택층(108a, 132a, 134a)으로 이루어진 제 1 내지 제 3 반도체층(108, 132, 134)을 포함하는 반도체 패턴이 형성된다. 제 3 반도체층(134)은 제 2 게이트 전극(130)과 중첩되고, 그 중첩 영역에 개구부(50)를 갖는다. 게이트 절연막(110)의 재료로는 산화 실리콘(SiO₂) 또는 질화 실리콘(SiN_x) 등의 무기 절연물질이 이용된다.
- [0046] 도 5c를 참조하면, 반도체 패턴 상에 데이터 라인(106), 제 1 및 제 2 소스 전극(128, 140), 제 1 및 제 2 드레인 전극(126, 142)을 포함하는 소스/드레인 패턴이 형성된다.
- [0047] 이어서, 소스/드레인 금속층을 스퍼터링 등의 증착 방법으로 증착한 후, 포토리소그래피 공정 및 식각 공정으로 소스/드레인 금속층을 패터닝 하여 데이터 라인(106), 제 1 및 제 2 소스 전극(128, 140), 제 1 및 제 2 드레인 전극(126, 142)을 포함하는 소스/드레인 패턴을 형성한다. 제 1 드레인 전극(126)은 제 2 게이트 전극(130)과 중첩되는 영역 즉, 제 3 반도체층(134)의 개구부(50)와 중첩된 영역에 개구부(60)를 갖도록 형성된다. 이어서, 제 1 소스 전극(128)과 제 1 드레인 전극(126) 사이로 노출된 제 1 오믹 콘택층(108a)과, 전원 라인(112)과 제 2 드레인 전극(142) 및 제 2 소스 전극(140)과 제 2 드레인 전극(142) 사이로 노출된 제 2 오믹 콘택층(132a)이 제거된다. 소스/드레인 금속층의 재료로는 게이트 라인(102)과 같은 몰리브덴(Mo), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴 합금(Mo alloy), 구리(Cu) 등이 이용된다.
- [0048] 도 5d를 참조하면, 소스/드레인 패턴이 형성된 게이트 절연막(110) 상에 제 1 및 제 2 콘택홀(150, 160)을 포함하는 보호막(156)이 형성된다.
- [0049] 구체적으로, 소스/드레인 패턴이 형성된 게이트 절연막(110) 상에 보호막(156)이 형성된 후, 마스크를 이용한 공정 및 식각 공정에 의해 보호막(156) 및 게이트 절연막(110)을 패터닝하여 제 2 게이트 전극(130)을 노출시키는 제 1 콘택홀(150), 제 2 드레인 전극(142)을 노출시키는 제 2 콘택홀(160)이 형성된다. 여기서, 제 1 콘택홀(150)은 보호막(156) 및 게이트 절연막(110)을 관통하여 형성된다.
- [0050] 보호막(156)은 게이트 절연막(110)과 같은 무기 절연물질이 PECVD 등의 증착 방법으로 증착되어 형성되거나, 유

전상수가 작은 아크릴(acryl)계 유기화합물, BCB(Benzocyclobuten) 또는 PFCB(Perfluorocyclobutane) 등과 같은 유기 절연물질이 스핀 또는 스핀리스 등의 코팅 방법으로 코팅되어 형성된다.

[0051] 이어서, 도 5e와 같이 보호막(156) 상에 연결 전극(154) 및 화소 전극(122)을 포함하는 투명 도전패턴이 형성된다.

[0052] 구체적으로, 보호막(156) 상에 투명 도전층을 증착한 후 마스크를 이용한 포토리소그리피 공정 및 식각 공정에 의해 투명 도전층을 패터닝하여 구동 박막 트랜지스터(T2)의 제 2 게이트 전극(130)과 스위칭 박막 트랜지스터(T1)의 제 1 드레인 전극(126)을 연결하는 연결 전극(154)과, 제 2 드레인 전극(142)과 전기적으로 연결되는 화소 전극(122)이 형성된다. 연결 전극(154)은 제 1 콘택홀(150)과, 제 1 드레인 전극(126)의 개구부(60) 및 제 3 반도체층(134)의 개구부(50)를 경유해서 형성되어, 구동 박막 트랜지스터(T2)의 제 2 게이트 전극(130)과 스위칭 박막 트랜지스터(T1)의 제 1 드레인 전극(126)을 연결시킨다.

[0053] 투명 도전층으로는 인듐주석산화물(Indium Tin Oxide : ITO), 주석산화물(Tin Oxide : TO), 인듐아연산화물(Indium Zinc Oxide : IZO) 또는 인듐주석아연산화물(Indium Tin Zinc Oxide:ITZO) 등이 있다.

[0054] 도 5f를 참조하면, 투명 도전패턴이 형성된 보호막(156) 상에 화소홀(162)을 갖는 बैं크 절연막(158)이 형성된다.

[0055] 구체적으로, 보호막(156) 상에 스핀 코팅이나 스핀리스 코팅 공정으로 유기절연물질을 형성한 후, 포토리소그리피 공정 및 식각 공정에 의해 유기절연물질을 패터닝함으로써 화소 전극(122)을 노출시키는 화소홀(162)을 형성한다.

[0056] 도 5g를 참조하면, 화소 전극(122) 상에 बैं크 절연막(158) 및 화소홀(162)을 경유하는 발광층(170)이 형성된다.

[0057] 구체적으로, 스크린 마스크를 이용한 증착 공정을 통해 बैं크 절연막(158)의 화소홀(162) 내에 발광층(170)을 형성한다. 발광층(170)은 적색(R), 녹색(G) 및 청색(B)을 각각 구현하는 발광층들이 순차적으로 해당 화소 영역에 형성된다.

[0058] 이어서 도 5h와 같이, 발광층(170)이 형성된 बैं크 절연막(158) 전면에 음극(172)이 형성된다.

[0059] 구체적으로, 열증착법을 통해 बैं크 절연막(158) 전면에 음극(172)이 형성된다. 음극(172)은 Al, Mg, Ag, Ca 또는 MgAg 등과 같은 반사율이 높은 금속으로 형성된다.

[0060] 이와 같은 유기발광표시장치는 구동 박막 트랜지스터의 제 2 게이트 전극과 스위칭 박막 트랜지스터의 제 1 드레인 전극이 하나의 콘택홀을 경유한 연결 전극에 의해 연결되므로 이 콘택부의 면적을 감소시키고 그만큼 유기발광 다이오드의 개구율을 향상시킬 수 있다.

[0061] 또한, 스위칭 박막 트랜지스터의 제 1 드레인 전극과 게이트 절연막 사이에 반도체층을 추가로 형성함으로써, 게이트 절연막의 언더컷을 방지할 수 있다.

[0062] 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

[0063] 상기한 바와 같은 본 발명에 의한 유기발광표시장치 및 그 제조방법은 다음과 같은 효과가 있다.

[0064] 첫째, 구동 박막 트랜지스터의 제 2 게이트 전극과 스위칭 박막 트랜지스터의 제 1 드레인 전극이 하나의 콘택홀을 경유한 연결 전극에 의해 연결되므로 이 콘택부의 면적을 감소시키고 그만큼 유기발광 다이오드의 개구율을 향상시킬 수 있다.

[0065] 둘째, 스위칭 박막 트랜지스터의 제 1 드레인 전극과 게이트 절연막 사이에 반도체층을 추가로 형성함으로써, 게이트 절연막의 언더컷을 방지할 수 있다.

도면의 간단한 설명

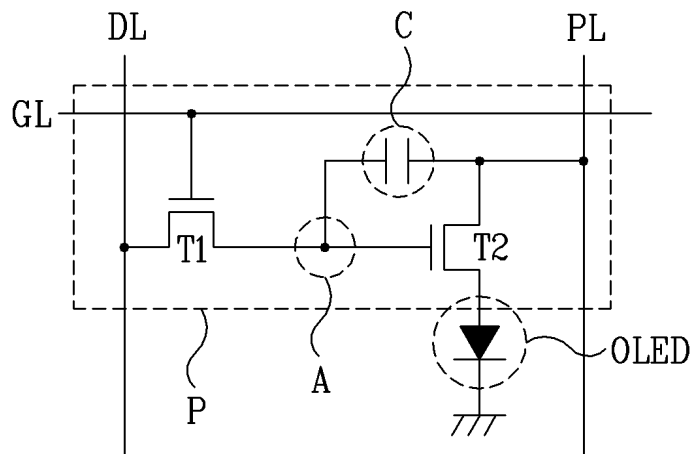
[0001] 도 1은 종래의 유기발광표시장치의 기본 화소에 대한 등가 회로도

[0002] 도 2는 도 1에 도시된 A부분의 확대도

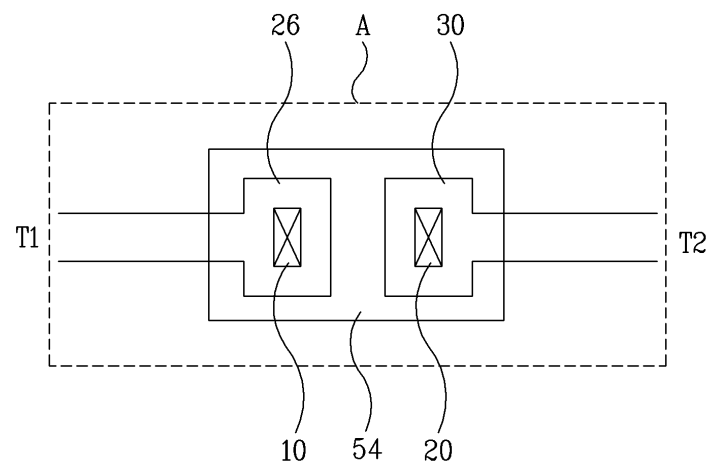
- [0003] 도 3은 본 발명의 실시예에 따른 유기발광표시장치의 기본 화소 구조를 나타내는 평면도
- [0004] 도 4는 도 3에 도시된 I-I' 내지 II-II' 선에 따른 유기발광표시장치를 나타내는 단면도
- [0005] 도 5a 내지 도 5h는 도 4에 도시된 유기발광표시장치의 제조방법을 나타낸 공정단면도
- [0006] * 도면의 주요 부분에 대한 부호의 설명 *
- [0007] T1 : 스위칭 박막 트랜지스터 T2 : 구동 박막 트랜지스터
- [0008] 100 : 기판 102 : 게이트 라인
- [0009] 104, 130 : 게이트 전극 106 : 데이터 라인
- [0010] 108, 132, 134 : 반도체층 110 : 게이트 절연막
- [0011] 112 : 전원 라인 128, 140 : 소스 전극
- [0012] 122 : 화소 전극 126, 142 : 드레인 전극
- [0013] 150, 160 : 콘택홀 154 : 연결 전극
- [0014] 156 : 보호막 158 : बैं크 절연막
- [0015] 162 : 화소홀 170 : 발광층
- [0016] 172 : 음극

도면

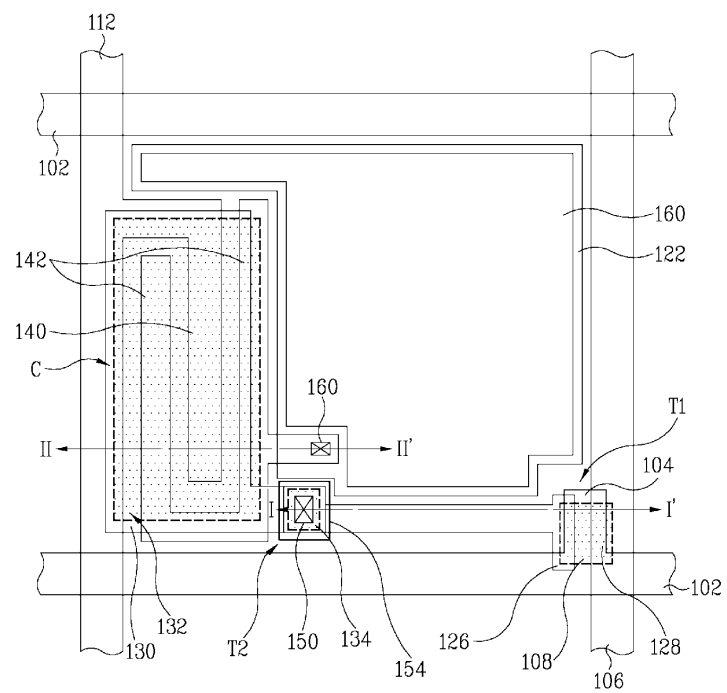
도면1



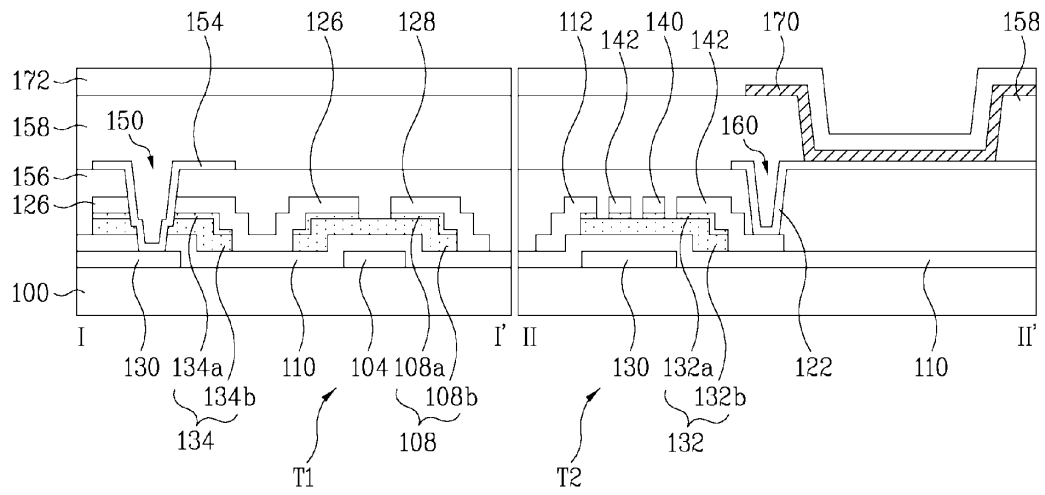
도면2



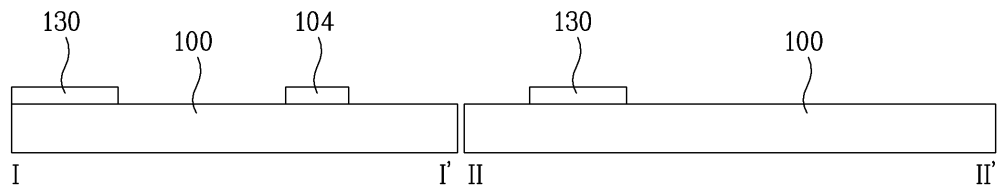
도면3



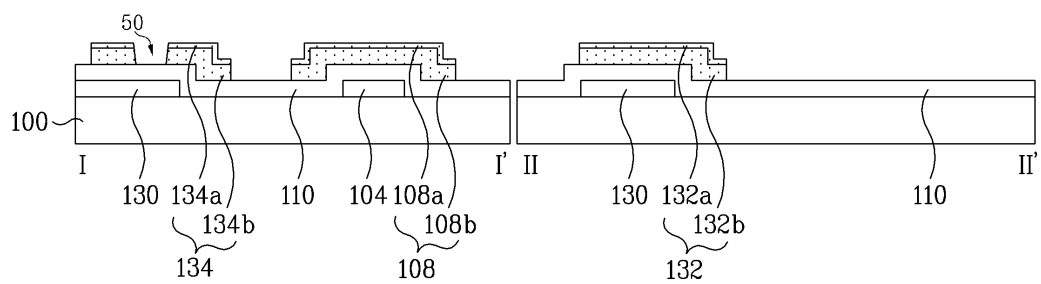
도면4



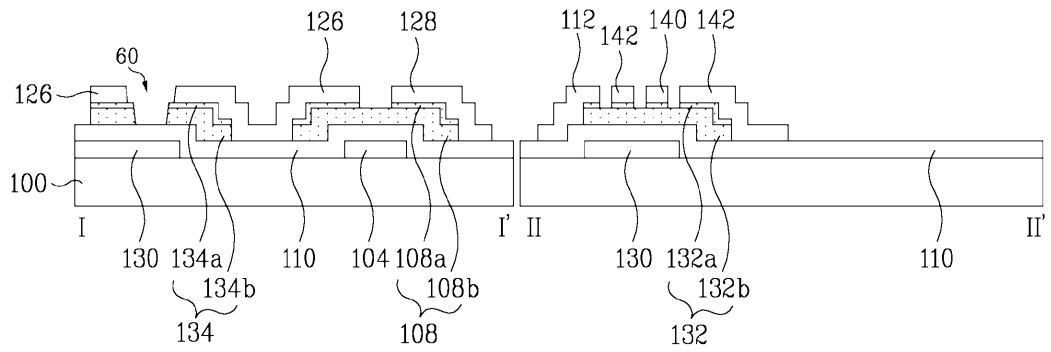
도면5a



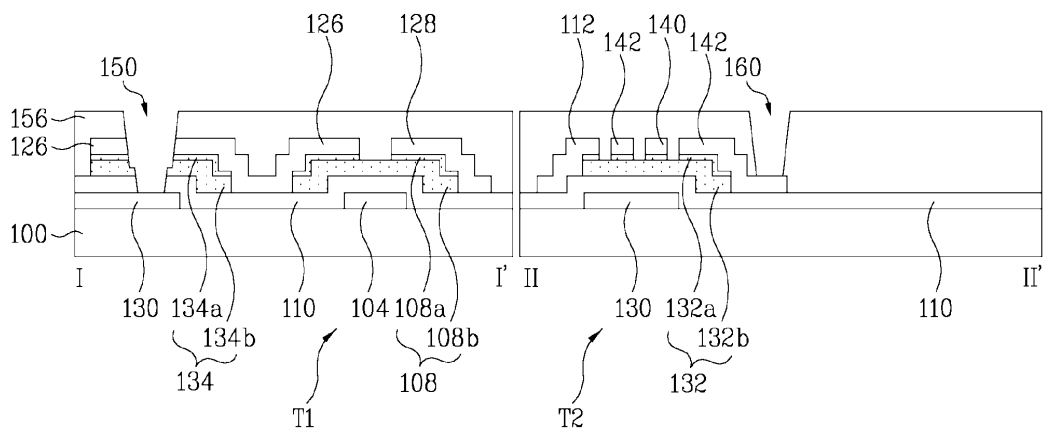
도면5b



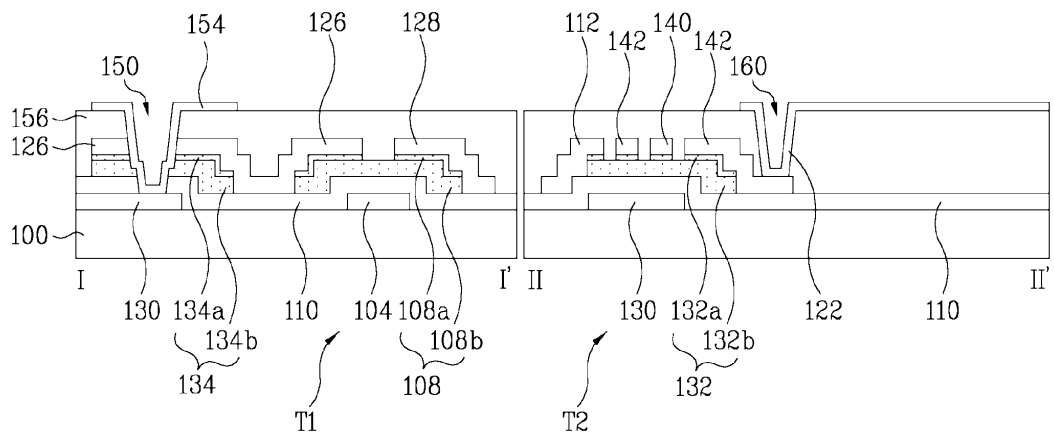
도면5c



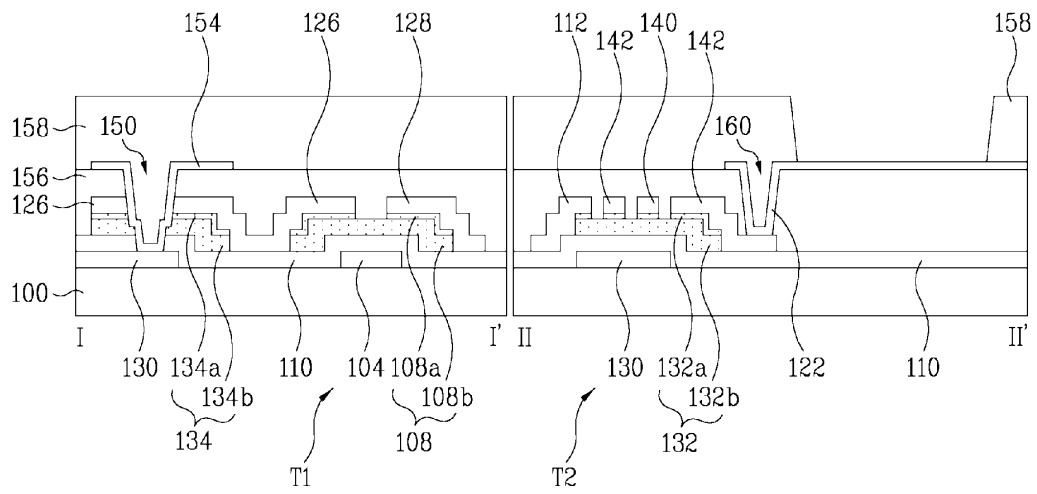
도면5d



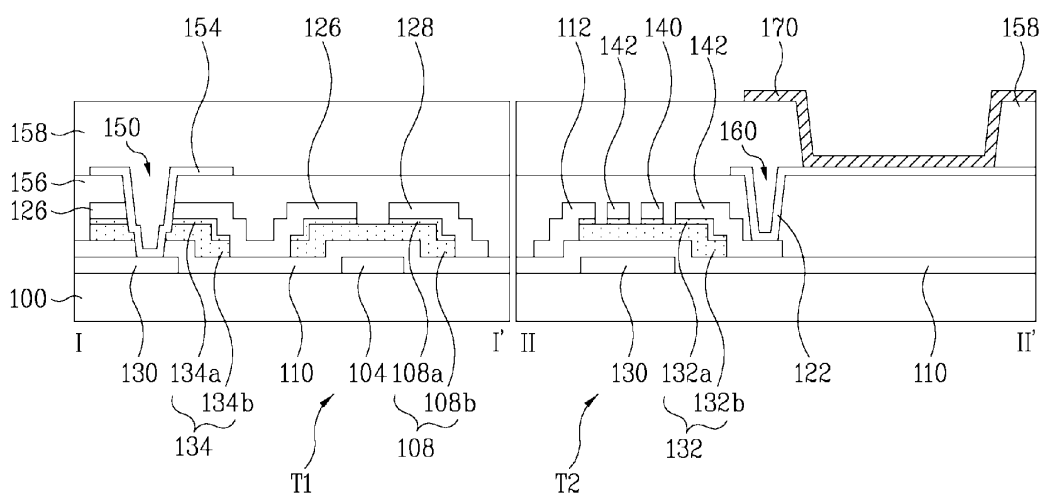
도면5e



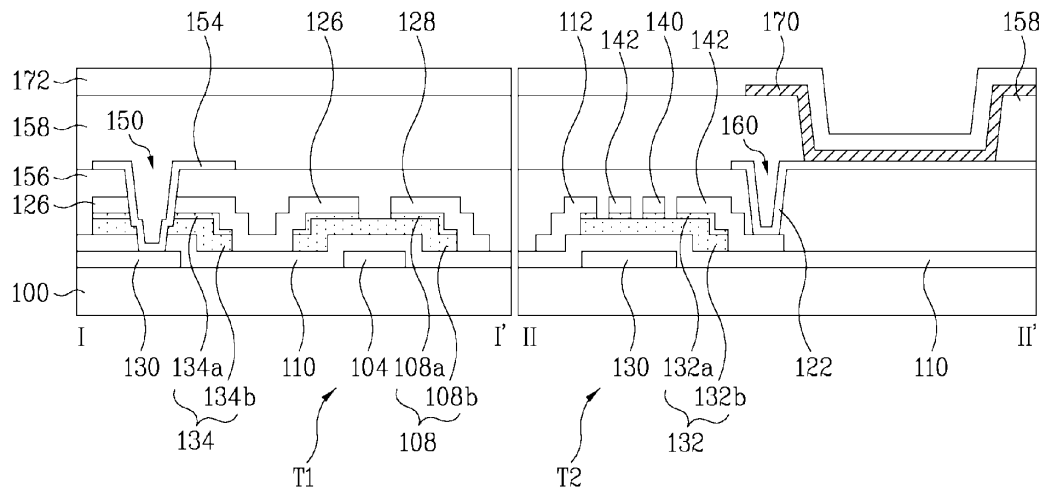
도면5f



도면5g



도면5h



专利名称(译)	漏极电极26和开关薄膜晶体管T1的驱动薄膜晶体管T1通过第一和第二接触孔10和20，		
公开(公告)号	KR101352105B1	公开(公告)日	2014-01-15
申请号	KR1020070028223	申请日	2007-03-22
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SHIN DONG SU 신동수 OH JAE YOUNG 오재영		
发明人	신동수 오재영		
IPC分类号	H05B33/02 H05B		
CPC分类号	H01L27/124 H01L27/3209 H01L27/3262 H01L51/56 H01L2924/12044		
代理人(译)	金勇 青岛公园 年轻的小公园		
其他公开文献	KR1020080086251A		
外部链接	Espacenet		

摘要(译)

本发明涉及有机发光显示装置及其制造方法。并且它包括一个接触孔，其通过多条栅极线的漏极电极暴露驱动薄膜晶体管的栅极电极，并且形成在发光的漏极电极的栅极电极的重叠部分上的半导体层连接到数据线的层，和与栅极线和开关薄膜晶体管交叉的数据线形成的电源线，与栅极线和数据线连接，以及与之连接的驱动薄膜晶体管。开关薄膜晶体管和电源线连接到驱动薄膜晶体管和开关薄膜晶体管，驱动薄膜晶体管限定基板上的像素区域，并切换薄膜晶体管，半导体层和栅极绝缘层和连接电极连接开关薄膜晶体管的漏极和驱动薄膜的栅极是通过接触孔。有机发光显示装置，连接电极，发光层，半导体层。

