



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년09월25일
(11) 등록번호 10-1311670
(24) 등록일자 2013년09월16일

(51) 국제특허분류(Int. Cl.)

H05B 33/04 (2006.01)

(21) 출원번호 10-2007-0068492

(22) 출원일자 2007년07월09일

심사청구일자 2011년11월03일

(65) 공개번호 10-2009-0005449

(43) 공개일자 2009년01월14일

(56) 선행기술조사문헌

JP2005116483 A*

JP2006024421 A*

KR1020060037857 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

이재윤

서울 서대문구 냉천동 260번지 동부센트레빌아파트 101동 404호

이강주

경기도 안산시 단원구 당곡3로 3, 주공7단지아파트 703-1301 (고잔동)

박세영

서울특별시 서초구 효령로14길 46 (방배동)

(74) 대리인

서교준

전체 청구항 수 : 총 9 항

심사관 : 엄인권

(54) 발명의 명칭 유기전계발광표시장치 및 그 제조방법

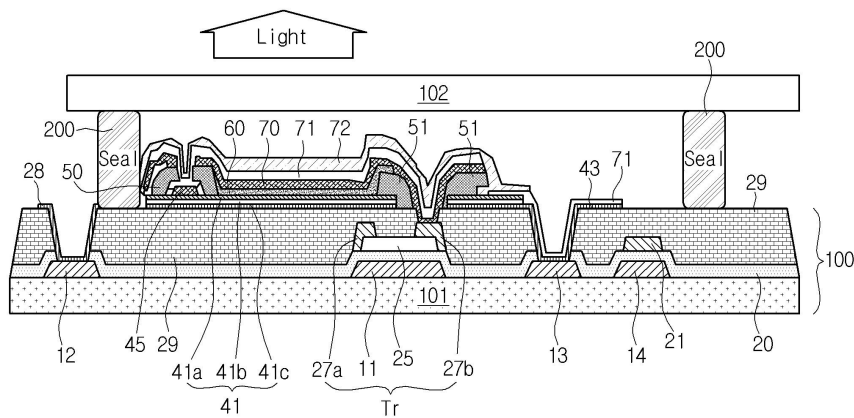
(57) 요약

본 발명은 유기전계발광표시장치에 관한 것이다.

개시된 본 발명의 유기전계발광표시장치는, 제 1 기판; 제 2 기판;

상기 제 1 기판 상에 형성된 박막트랜지스터; 상기 박막 트랜지스터가 형성된 제 1 기판 상에 제 1, 2 전극 및 유기전계발광층을 포함하여 구성된 발광 다이오드; 및 상기 발광 다이오드가 형성된 제 1 기판 상에 형성된 제 1, 2 보호막을 포함한다.

대표도 - 도1



특허청구의 범위

청구항 1

제 1 기판;

제 2 기판;

상기 제 1 기판 상에 형성된 박막트랜지스터;

상기 박막 트랜지스터가 형성된 제 1 기판 상에 제 1, 2 전극 및 유기전계발광층을 포함하여 구성된 발광 다이오드;

상기 발광 다이오드의 제 2 전극을 서브픽셀 단위로 분리하는 버퍼층; 및

상기 발광 다이오드가 형성된 제 1 기판 상에 형성된 제 1, 2 보호막을 포함하는 유기전계발광표시장치.

청구항 2

삭제

청구항 3

제1항에 있어서, 상기 버퍼층은 상기 제 1 전극 상에 위치하며, 중앙 영역에 제 1 전극이 노출되는 언더컷 형상으로 형성된 것을 특징으로 하는 유기전계발광표시장치.

청구항 4

제 3 항에 있어서, 상기 버퍼층의 제 1 전극 노출 영역에는 상기 제 1, 2 보호막이 채워져 있는 것을 특징으로 하는 유기전계발광표시장치.

청구항 5

제 1 항에 있어서, 상기 발광 다이오드의 제 2 전극은 상기 박막 트랜지스터의 드레인 전극과 전기적으로 콘택된 것을 특징으로 하는 유기전계발광표시장치.

청구항 6

제 1 항에 있어서, 상기 박막 트랜지스터와 발광다이오드 사이에는 평탄화층이 형성된 것을 특징으로 하는 유기전계발광표시장치.

청구항 7

제 1 항에 있어서, 상기 제 1 전극은 ITO/Mo/ITO의 전극층으로 이루어져 있는 것을 특징으로 하는 유기전계발광표시장치.

청구항 8

제 1 항에 있어서, 상기 버퍼층의 높이는 상기 제 2 전극의 두께보다 높고, 상기 제 2 전극과 제 1, 2 보호막의 두께보다 작은 것을 특징으로 하는 유기전계발광표시장치.

청구항 9

제 8 항에 있어서, 상기 버퍼층의 높이는 $200\text{\AA}\sim 2\mu\text{m}$ 인 것을 특징으로 하는 유기전계발광표시장치.

청구항 10

기판을 제공하는 단계;

상기 기판 상에 박막 트랜지스터를 형성하는 단계;

상기 박막 트랜지스터가 형성된 기판 상에 평탄화층을 형성하고, 콘택홀을 형성하는 단계;

상기 평탄화층 상에 제 1 전극을 형성하는 단계;

상기 제 1 전극 상에 발광 다이오드의 제 2 전극을 서브픽셀 단위로 분리하는 버퍼층을 형성하는 단계;

상기 버퍼층이 형성된 제 1 전극 상에 유기전계발광층 및 제 2 전극을 형성하여 발광다이오드를 형성하는 단계;
및

상기 발광다이오드가 형성된 기판 상에 제 1, 2 보호막을 순차적으로 형성하는 단계를 포함하는 유기전계발광 표시장치 제조방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 유기전계발광표시장치에 관한 것이다.

배경 기술

[0002] 최근에 평판표시장치의 표시품질을 높이고 대화면화를 시도하는 연구들이 활발히 진행되고 있다. 이들 중 전계발광표시장치는 스스로 발광하는 자발광 소자이다. 전계발광표시장치는 전자 및 정공 등의 캐리어를 이용하여 형광물질을 여기 시킴으로써 비디오 영상을 표시하게 된다. 이 전계발광표시장치는 사용하는 재료에 따라 무기 전계발광표시장치와 유기 전계발광표시장치로 크게 나누어진다. 상기 유기 전계발광표시장치는 100~200V의 높은 전압을 필요로 하는 무기 전계발광표시장치에 비해 5~20V 정도의 낮은 전압으로 구동됨으로써 직류 저전압 구동이 가능하다.

[0003] 또한, 유기 전계발광표시장치는 넓은 시야각, 고속 응답성, 고 콘트라스트비(contrast ratio) 등의 뛰어난 특징이 있으므로, 그래픽 디스플레이의 픽셀(pixel), 텔레비전 영상 디스플레이나 표면 광원(Surface Light Source)의 픽셀로서 사용될 수 있으며, 얇고 가벼우며 색감이 좋기 때문에 차세대 평면 디스플레이로서 적합하다.

[0004] 한편, 이러한 유기 전계발광표시장치의 구동방식으로는 별도의 박막트랜지스터를 구비하지 않는 패시브 매트릭스 방식(Passive matrix type)이 주로 이용되고 있다. 패시브 매트릭스 방식은 해상도나 소비전력, 수명 등에 많은 제한적인 요소가 있기 때문에, 최근 고해상도나 대화면을 요구하는 차세대 디스플레이 제조를 위한 액티브 매트릭스형 전계발광표시장치가 연구/개발되고 있다.

[0005] 그러나, 상기 액티브 매트릭스형 전계발광표시장치는 TFT(Thin Film Transistor: TFT)와 유기전계발광층이 형성된 기판들을 자외선 실린트로 단일 실라인을 형성한 후, 두 기판을 합착하기 때문에 외부 수분 또는 가스의 침투가 용이한 단점이 있다.

[0006] 또한, 외부 수분 또는 가스 침투를 방지하기 위해 내부에 흡습제와 같은 추가적인 재료를 합착된 기판 내측에 형성하지만, 장치의 두께가 두꺼워지는 단점이 있다. 아울러, 이와 같은 흡습제 사용은 근본적인 투습 방지에는 한계가 있다.

발명의 내용

해결 하고자하는 과제

[0007] 본 발명은 유기전계발광층이 형성된 기판 상에 다층 보호막을 형성하여, 유기전계발광층으로 습기 또는 아웃가스가 침투되는 것을 방지한 유기전계발광표시장치 및 그 제조방법을 제공함에 그 목적이 있다.

과제 해결수단

[0008] 상기한 목적을 달성하기 위한, 본 발명의 실시예에 따른 유기전계발광표시장치는, 제 1 기판; 제 2 기판; 상기 제 1 기판 상에 형성된 박막트랜지스터; 상기 박막 트랜지스터가 형성된 제 1 기판 상에 제 1, 2 전극 및 유기전계발광층을 포함하여 구성된 발광 다이오드; 및 상기 발광 다이오드가 형성된 제 1 기판 상에 형성된 제 1, 2 보호막을 포함한다.

[0009] 또한, 본 발명의 다른 실시예에 따른 유기전계발광표시장치 제조방법은, 기판을 제공하는 단계; 상기 기판 상에

박막 트랜지스터를 형성하는 단계; 상기 박막 트랜지스터가 형성된 기판 상에 평탄화층을 형성하고, 콘택홀을 형성하는 단계; 상기 평탄화층 상에 제 1 전극을 형성하는 단계; 상기 제 1 전극 상에 서브 픽셀 영역을 구획하는 버퍼층을 형성하는 단계; 상기 버퍼층이 형성된 제 1 전극 상에 유기전계발광층 및 제 2 전극을 형성하여 발광다이오드를 형성하는 단계; 및 상기 발광다이오드가 형성된 절연기판 상에 제 1, 2 보호막을 순차적으로 형성하는 단계를 포함한다.

효 과

- [0010] 이상에서 자세히 설명된 바와 같이, 본 발명은 유기전계발광층이 형성된 기판 상에 다층 보호막을 형성하여, 유기전계발광층으로 습기 또는 아웃가스가 침투되는 것을 방지한 효과가 있다.
- [0011] 또한, 하나의 기판 상에 박막 트랜지스터와 발광 다이오드가 형성되기 때문에 기판들의 합착을 위한 실라인 형성 자유도가 높은 효과가 있다.
- [0012] 본 발명은 상기한 실시 예에 한정되지 않고, 이하 청구 범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능할 것이다.

발명의 실시를 위한 구체적인 내용

- [0013] 본 발명은 유기전계발광층이 형성된 기판 상에 다층 보호막을 형성하여, 유기전계발광층으로 습기 또는 아웃가스가 침투되는 것을 방지하였다.
- [0014] 또한, 실시 예의 설명에 있어서, 각 층(막), 영역, 패턴 또는 구조물들이 기판, 각 층(막), 영역, 패드 또는 패턴들의 "위(on)/above/over/upper)"에 또는 "아래(down/below/under/lower)"에 형성되는 것으로 기재되는 경우에 있어, 그 의미는 각 층(막), 영역, 패드, 패턴 또는 구조물들이 직접 기판, 각 층(막), 영역, 패드 또는 패턴들에 접촉되어 형성되는 경우로 해석될 수도 있으며, 다른 층(막), 다른 영역, 다른 패드, 다른 패턴 또는 다른 구조물들이 그 사이에 추가적으로 형성되는 경우로 해석될 수도 있다. 따라서, 그 의미는 발명의 기술적 사상에 의하여 판단되어야 한다.
- [0015] 이하, 첨부한 도면에 의거하여 본 발명의 실시 예를 자세히 설명하도록 한다.
- [0016] 도 1은 본 발명의 실시예에 따른 유기전계발광표시장치 구조를 도시한 단면도이다.
- [0017] 도 1에 도시된 바와 같이, 투명성 절연기판(101) 상에 게이트 전극(11), 전원배선(13) 및 제 1 더미패턴(14)이 형성되어 있다. 절연기판(101) 가장자리 영역에는 패드(12)가 형성되어 있다. 상기 게이트 전극(11), 전원배선(13), 제 1 더미패턴(14) 및 패드(12)는 AlNd 또는 AlNd와 Mo의 이중 금속막으로 형성될 수 있다.
- [0018] 상기 절연기판(101)은 게이트 전극(11) 상부에 게이트 절연막(20)을 사이에 두고 액티브층(25), 소스/드레인 전극(27a, 27b)이 형성되어 있다. 상기 게이트 전극(11), 액티브층(25), 소스/드레인 전극(27a, 27b)은 박막 트랜지스터(Tr)를 이룬다. 또한, 상기 소스/드레인 전극(27a, 27b) 형성시 상기 제 1 더미패턴(14) 상부에 제 2 더미패턴(21)이 형성된다. 소스/드레인 전극(27a, 27b)에 사용되는 금속은 Mo 또는 그 합금, Cu 또는 그 합금일 수 있다.
- [0019] 상기 박막 트랜지스터(Tr)가 형성된 절연기판(101) 상에는 평탄화층(29)이 형성되어 있고, 상기 평탄화층(29) 상에는 제 1, 2, 3 전극층(41a, 41b, 41c)으로 구성된 제 1 전극(41)이 형성되어 있다. 상기 제 3 전극층(41c) 형성시 패드(12), 전원배선(13) 영역에는 콘택패드(28)와 전원 콘택패드(43)가 형성된다.
- [0020] 또한, 상기 제 1 전극층(41a)과 제 3 전극층(41c)은 투명성 도전물질인 ITO IZO 또는 ITZO를 사용하고, 제 2 전극층(41b)은 Mo 또는 Al을 사용한다. 제 2 전극층(41b)은 반사판 역할을 하고, 제 1 전극(41)은 양극(anode)인 것이 바람직하다.
- [0021] 상기와 같이 제 1 전극(41)이 평탄화층(19) 상에 형성되면, 절연기판(101) 상에 절연막을 형성한 다음 패터닝하여 서브픽셀 영역을 구획하는 버퍼층(50)을 형성한다. 도면에 도시된 51은 버퍼층과 함께 형성되고, 서브 픽셀 영역을 구획하는 버퍼층의 일부를 지지하는 버퍼패턴이다.
- [0022] 상기와 같이 서브 픽셀을 구획하는 버퍼층(50)이 형성되면, 유기전계발광층(60), 제 2 전극(70)을 순차적으로 형성한다. 이때, 제 2 전극(70)은 일부가 버퍼층(50) 영역에서 분리되는데, 버퍼층(50) 중앙 영역에는 제 1 전극(41) 상에 전극패턴(45)이 형성된다. 또한, 서브 픽셀 단위로 분리된 제 2 전극(70)의 일부는 드레인 전극(27b) 영역에 형성된 콘택홀을 통해 드레인 전극(27b)과 전기적으로 연결된다. 상기 제 1 전극(41), 유기전계발

광층(60) 및 제 2 전극(70)은 발광다이오드를 이룬다. 제 2 전극(70)은 음극(cathode)인 것이 바람직하다.

- [0023] 또한, 상기 제 2 전극(70) 상에는 제 1, 2 보호층(71, 72)이 형성되어 있어, 유기전계발광층(60)을 포함하는 발광다이오드를 외부로부터 완전히 차단되도록 하였다. 제 1 보호층(71), 제 2 보호층(72)은 무기질로 형성되어 있지만, 유기막을 사용할 수 있다.
- [0024] 또한, 상기 버퍼층(50)은 중앙 영역이 분리되어 있어, 하부의 제 1 전극(41)이 노출되는 구조로 되어 있다. 따라서, 제 2 전극(70)을 분리하는 버퍼층(50) 영역 중앙 내측으로 제 1, 2 보호층(71, 72)이 채워진다. 이로 인하여 서브 픽셀의 분리 영역(버퍼층 영역)에서 유기전계발광층(60)과 제 2 전극(70)이 외부와 완전히 차단된다.
- [0025] 또한, 하부기관(100) 가장자리 둘레를 따라 실라인(200)이 형성되어 있고, 투명성 절연기관으로된 상부기관(101)이 하부기관(100)과 합착되어 있다.
- [0026] 본 발명의 실시 예에서는 발광 다이오드가 형성된 영역과 서브 픽셀 경계 영역까지 이중층 보호막을 형성하여 투습 또는 외부 가스 유입에 의한 발광다이오드의 신뢰성 저하를 방지하였다.
- [0027] 도 2a 내지 도 2d는 본 발명의 실시예에 따른 유기전계발광표시장치의 제조 공정을 도시한 단면도이다.
- [0028] 도 2a 내지 도 2d의 각각의 구성부들은 상기 도 1의 하부기관(100)과 구성부가 동일하므로 참조부호는 이들을 참조한다.
- [0029] 도 2a에 도시된 바와 같이, 절연기관(101) 상에 게이트 전극(11), 전원배선(13) 및 제 1 더미패턴(14)이 형성되고, 절연기관(101) 가장자리 영역에는 패드(12)를 형성되면, 상기 게이트 전극(11) 상부에 액티브층(25), 소스/드레인 전극(27a, 27b)을 형성하여 박막 트랜지스터(Tr)를 형성한다.
- [0030] 상기과 같이 절연기관(101) 상에 박막 트랜지스터가 형성되면, 평탄화층(29)을 형성하고, 상기 드레인 전극(27b), 전원 배선(13) 및 패드(12) 영역을 노출하는 콘택홀 공정을 진행한다.
- [0031] 도 2b에 도시된 바와 같이, 평탄화층(29) 상에 콘택홀 형성 공정이 완료되면, ITO계열/Mo 또는 Al 계열/ITO 계열(IZO, ITZO) 금속을 순차적으로 형성한 다음, 마스크 공정을 진행하여 픽셀 영역에 제 1, 2, 3 전극층(41a, 41b, 41c)으로 구성된 제 1 전극(41)을 형성하고, 제 3 전극층(41c)의 금속막을 형성할 때, 패드(12) 및 전원배선(13) 영역에 콘택패드(28)와 전원 콘택패드(43)를 형성한다.
- [0032] 그런 다음, 도 2c에 도시된 바와 같이, 절연기관(101) 상에 절연막을 형성한 다음 패터닝하여 서브 픽셀 영역을 구획하도록 버퍼층(50)을 형성한다. 버퍼층(50)은 중심 영역이 언더컷 형태로 형성되어 제 1 전극(41)이 노출되도록 형성한다. 도면에 도시된 51은 버퍼층(50)과 함께 형성되고, 서브 픽셀 영역을 구획하는 버퍼패턴이다.
- [0033] 상기과 같이, 버퍼층(50)이 형성되면 서브 픽셀 영역에 유기전계발광층(60)을 형성하고, 계속해서 절연기관(101) 상에 금속막을 형성하여 유기전계발광층(60) 상에 제 2 전극(70)을 형성한다. 금속막은 버퍼층(50)의 언더컷 영역에서 분리되어 서브 픽셀 단위로 분리된 제 2 전극(70)을 형성하게 되는데, 이때, 버퍼층(50)의 언더컷 영역의 제 1 전극(41) 상에는 전극패턴(45)이 형성된다. 상기 전극패턴(45)은 제 1 전극(41)의 저항을 낮추어주는 역할을 한다.
- [0034] 또한, 제 2 전극(70)의 일부는 평탄화층(29) 상에 형성된 콘택홀을 통해 드레인 전극(27b)과 전기적으로 연결된다.
- [0035] 상기과 같이, 제 2 전극(70)이 형성되면 절연기관(101) 전 영역 상에 제 1 보호막(71)을 형성한다. 제 1 보호막(71)은 제 2 전극(70) 상에 형성되면서, 버퍼층(50)의 언더컷 영역으로 끊어짐이 없이 연결되어 버퍼층(50) 영역에서 일부 노출된 제 2 전극(70)과 유기전계발광층(60)을 외부와 완전히 차단한다.
- [0036] 또한, 상기 전원 콘택패드(43) 영역에는 보호패턴(71)이 형성되어, 콘택패드(43)가 외부 공기로부터 노출되지 않도록 한다.
- [0037] 상기과 같이 제 1 보호막(71)이 절연기관(101) 상에 형성되면, 계속해서 제 2 보호막(72)을 절연기관(101) 상에 형성한다. 제 2 보호막(72) 역시 버퍼층(50) 영역에 채워져 발광다이오드 영역을 외부와 완전히 차폐시키는 역할을 한다.
- [0038] 도면에서는 제 1, 2 보호막(71,72)을 무기질 재료를 사용하였으나, 유기막을 사용할 수 있다. 또한, 제 1 보호막(71)은 무기막을 사용하고, 제 2 보호막(72)은 유기막을 사용할 수 있다.
- [0039] 또한, 버퍼층(50)의 높이는 상기 제 2 전극(70)의 두께보다 높고, 상기 제 2 전극(70)과 제 1, 2 보호막(71,7

2)의 두께보다 작도록 형성한다. 예를 들면, 상기 제 2 전극(70)의 두께가 500Å이고, 제 1, 2 보호막(71, 72)의 두께가 1000Å인 경우에는 상기 버퍼층(50)의 높이는 500Å보다는 크고 1500Å 범위에서 결정된다.

본 발명의 버퍼층(50)의 높이는 200Å~2μm에서 결정되는 것이 바람직하다.

상기와 같이 버퍼층(50)의 높이를 한정하는 이유는 제 2 전극(70)은 서브 픽셀 단위로 반드시 분리되어야 하는데, 그러기 위해서는 제 2 전극(70)의 두께보다는 버퍼층(50)이 높이 형성되어야 하기 때문이다.

상기와 같이 절연기관 상에 제 2 보호막(72)이 형성되면, 절연기관(101) 상에 자외선 경화실 또는 열경화실을 디스펜싱하여 실라인(200)을 형성한다.

그런 다음, 도 2d에 도시된 바와 같이, 상부기관(102)을 하부기관(100)과 합착하여 유기전계발광표시장치를 완성한다.

이와 같이 본 발명에서는 발광 다이오드가 형성된 기판 상에 제 1, 2 보호막을 형성하여, 발광 다이오드 영역과 서브 픽셀 경계 영역을 외부로부터 완전히 차단하여 소자의 신뢰성을 향상시켰다.

도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 유기전계발광표시장치 구조를 도시한 단면도이다.

도 2a 내지 도 2d는 본 발명의 실시예에 따른 유기전계발광표시장치의 제조 공정을 도시한 단면도이다.

도면의 주요 부분에 대한 부호의 설명

101: 절연기관 Tr: 박막 트랜지스터

41: 제 1 전극 60: 유기전계발광층

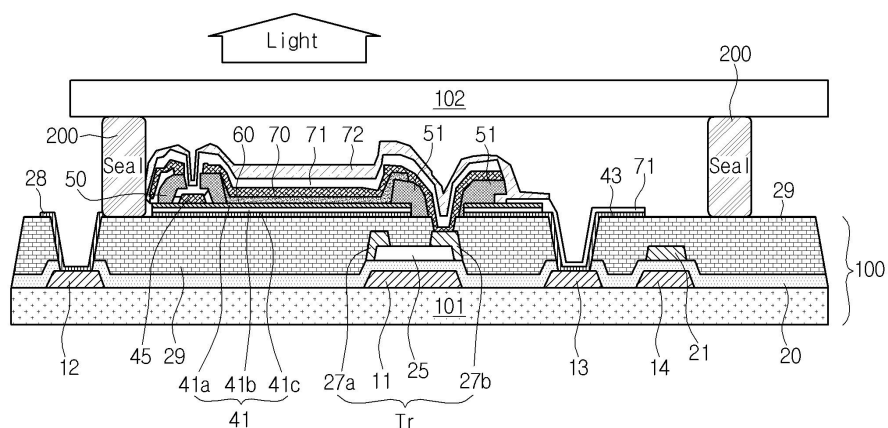
70: 제 2 전극 29: 평탄화층

71: 제 1 보호막 72: 제 2 보호막

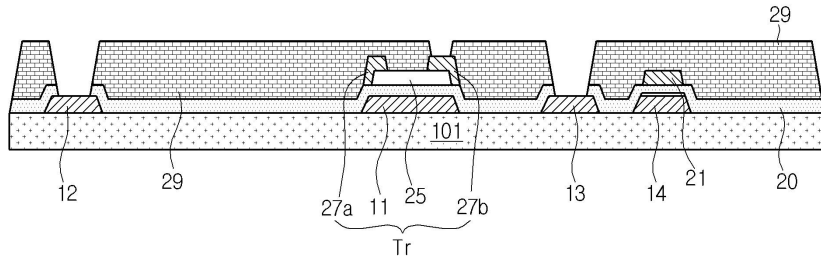
200: 실라인

도면

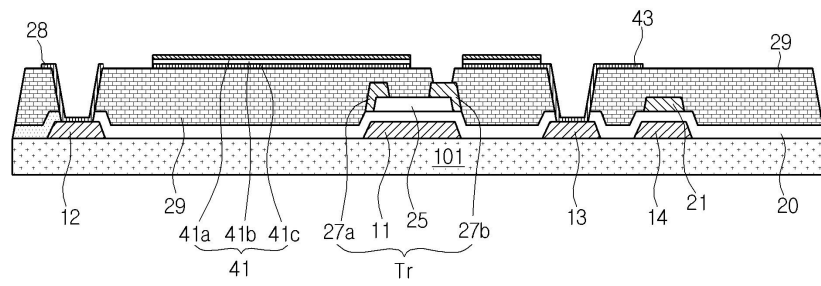
도면1



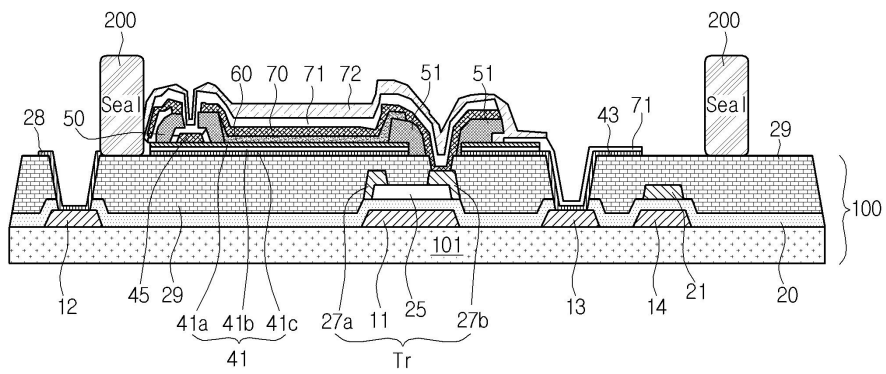
도면2a



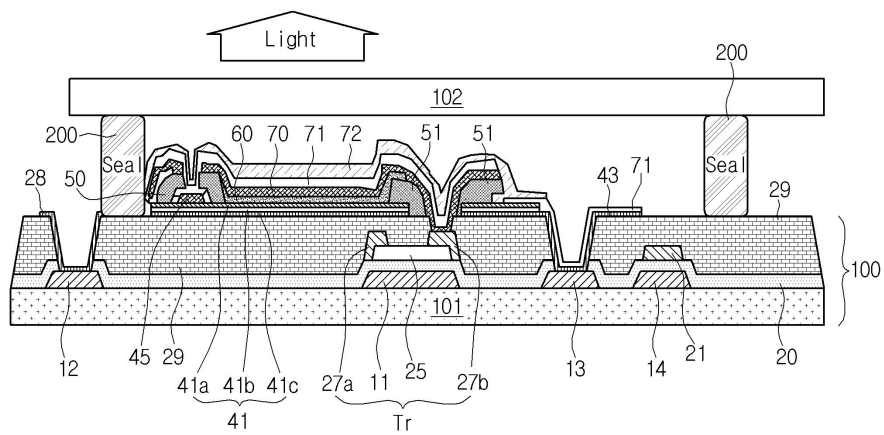
도면2b



도면2c



도면2d



专利名称(译)	标题：有机电致发光显示装置及其制造方法		
公开(公告)号	KR101311670B1	公开(公告)日	2013-09-25
申请号	KR1020070068492	申请日	2007-07-09
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE JAE YOON 이재운 LEE KANG JU 이강주 PARK SE YOUNG 박세영		
发明人	이재운 이강주 박세영		
IPC分类号	H05B33/04 H05B		
CPC分类号	H01L51/5212 H01L27/3248 H01L27/3246 H01L2251/5315 H01L27/3244 H01L51/5218 H01L51/5253		
其他公开文献	KR1020090005449A		
外部链接	Espacenet		

摘要(译)

提供了一种有机电致发光器件及其制造方法。有机电致发光器件包括第一基板，第二基板，形成在第一基板上的薄膜晶体管，包括第一和第二电极的发光二极管以及形成在薄膜晶体管上的有机发光层，以及第一和第二基板在形成有发光二极管的第一基板上形成钝化层。

