



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년04월20일
(11) 등록번호 10-1030027
(24) 등록일자 2011년04월12일

(51) Int. Cl.

H01L 29/786 (2006.01) H01L 51/00 (2006.01)

H01L 51/50 (2006.01)

(21) 출원번호 10-2008-0129327

(22) 출원일자 2008년12월18일

심사청구일자 2008년12월18일

(65) 공개번호 10-2010-0070676

(43) 공개일자 2010년06월28일

(56) 선행기술조사문헌

JP2005197526 A*

JP2003303831 A

KR1020050088588 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

윤주철

경기도 수원시 영통구 신동 575

권오섭

경기도 수원시 영통구 신동 575

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

전체 청구항 수 : 총 10 항

심사관 : 이상호

(54) 박막트랜지스터, 그의 제조방법 및 그를 포함하는 유기전계발광표시장치

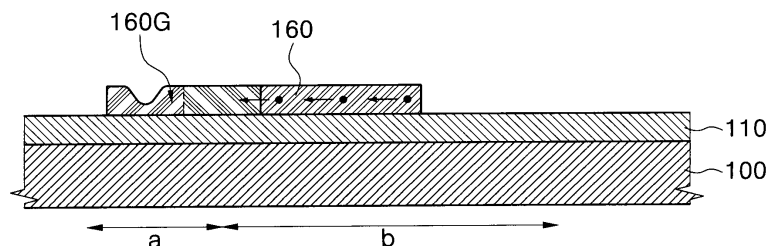
(57) 요약

본 발명은 박막트랜지스터, 그의 제조방법 및 그를 포함하는 유기전계발광표시장치에 관한 것으로, 화소영역 및 비화소영역을 포함하는 기판; 상기 화소영역 상에 위치하는 반도체층, 게이트 절연막, 게이트 전극 및 소스/드레인 전극; 상기 비화소영역 상에 위치하는 하나 또는 다수개의 게터링 사이트를 포함하며, 상기 반도체층은 상기 게터링 사이트와 연결되어 있는 것을 특징으로 하는 박막트랜지스터에 관한 것이다.

또한, 화소영역 및 비화소영역을 포함하는 기판을 제공하고, 상기 기판 상에 비정질 실리콘층을 형성하고, 상기 비정질 실리콘층을 금속 촉매로 결정화하여 다결정 실리콘층을 형성하고, 상기 다결정 실리콘층을 반도체층 및 하나 또는 다수개의 게터링 사이트를 포함하도록 패터닝하고, 상기 기판을 열처리하여, 상기 다수개의 반도체층을 게터링하고, 상기 기판 전면에 걸쳐 게이트 절연막을 형성하고, 상기 게이트 절연막 상에 상기 반도체층에 각각 대응되어 채널영역을 형성시킬 수 있는 게이트 전극을 형성하고, 상기 반도체층과 전기적으로 연결되며 상기 게이트 전극과 절연되는 소스/드레인 전극을 형성하는 것을 특징으로 하는 박막트랜지스터의 제조방법에 관한 것이다.

또한, 화소영역 및 비화소영역을 포함하는 기판; 상기 화소영역 상에 위치하는 반도체층, 게이트 절연막, 게이트 전극 및 소스/드레인 전극; 상기 비화소영역 상에 위치하는 하나 또는 다수개의 게터링 사이트; 상기 소스/드레인 전극과 전기적으로 연결되는 제 1 전극, 유기막층 및 제 2 전극을 포함하는 것을 특징으로 하는 유기전계발광표시장치에 관한 것이다.

대표도 - 도2b



(72) 발명자

이용수

경기도 수원시 영통구 신동 575

송수빈

경기도 수원시 영통구 신동 575

이주화

경기도 수원시 영통구 신동 575

박병건

경기도 수원시 영통구 신동 575

양태훈

경기도 수원시 영통구 신동 575

서진욱

경기도 수원시 영통구 신동 575

이기용

경기도 수원시 영통구 신동 575

특허청구의 범위

청구항 1

화소영역 및 비화소영역을 포함하는 기관;

상기 화소영역 상에 위치하는 반도체층, 게이트 절연막, 게이트 전극 및 소스/드레인 전극;

상기 비화소영역 상에 위치하는 하나 또는 다수개의 게터링 사이트를 포함하며, 상기 반도체층은 상기 게터링 사이트와 연결되어 있는 것을 특징으로 하고,

상기 비화소 영역은 데이터 라인, 스캔라인 또는 공통전원라인이 위치하는 곳을 포함하고,

상기 게터링 사이트는 다수개의 홀을 포함하는 박막트랜지스터.

청구항 2

삭제

청구항 3

제 1항에 있어서,

상기 게터링 사이트의 금속촉매량은 상기 반도체층의 금속촉매량보다 많은 것을 특징으로 하는 박막트랜지스터.

청구항 4

제 1항에 있어서,

기관; 상기 기관 상에 위치하는 반도체층; 상기 반도체층 상에 위치하는 게이트 절연막; 상기 게이트 절연막 상에 위치하는 게이트 전극; 및 상기 게이트 전극과 절연되며 상기 반도체층과 연결되는 소스/드레인 전극을 더 포함하는 것을 특징으로 하는 박막트랜지스터.

청구항 5

화소영역 및 비화소영역을 포함하는 기관을 제공하고,

상기 기관 상에 비정질 실리콘층을 형성하고,

상기 비정질 실리콘층을 금속 촉매로 결정화하여 다결정 실리콘층을 형성하고,

상기 다결정 실리콘층을 반도체층 및 하나 또는 다수개의 게터링 사이트를 포함하도록 패터닝하고,

상기 기관을 열처리하여, 상기 다수개의 반도체층을 게터링하고,

상기 기관 전면에 걸쳐 게이트 절연막을 형성하고, 상기 게이트 절연막 상에 상기 반도체층에 각각 대응되어 채널영역을 형성시킬 수 있는 게이트 전극을 형성하고,

상기 반도체층과 전기적으로 연결되며 상기 게이트 전극과 절연되는 소스/드레인 전극을 형성하는 것을 특징으로 하고,

상기 게터링 사이트는 비화소 영역 상에 형성하고, 상기 비화소 영역은 데이터 라인, 스캔라인 또는 공통전원라인이 위치하는 곳을 포함하고,

상기 게터링 사이트는 다수개의 홀을 포함하는 박막트랜지스터의 제조방법.

청구항 6

삭제

청구항 7

제 5항에 있어서,

상기 반도체층, 게이트 전극 및 소스/드레인 전극은 화소영역 상에 형성하는 것을 특징으로 하는 박막트랜지스터

터의 제조방법.

청구항 8

제 5항에 있어서,

상기 금속촉매는 Ni, Pd, Ag, Au, Al, Sn, Sb, Cu, Tr, 및 Cd로 이루어진 군에서 선택되는 어느 하나를 이용하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 9

제 5항에 있어서,

상기 열처리하는 500 내지 993℃의 온도 범위에서 10초이상 10시간 이하의 시간동안 가열하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 10

화소영역 및 비화소영역을 포함하는 기판;

상기 화소영역 상에 위치하는 반도체층, 게이트 절연막, 게이트 전극 및 소스/드레인 전극;

상기 비화소영역 상에 위치하는 하나 또는 다수개의 게터링 사이트;

상기 소스/드레인 전극과 전기적으로 연결되는 제 1 전극, 유기막층 및 제 2 전극을 포함하는 것을 특징으로 하고,

상기 비화소 영역은 데이터 라인, 스캔라인 또는 공통전원라인이 위치하는 곳을 포함하고,

상기 게터링 사이트는 다수개의 홀을 포함하는 유기전계발광표시장치.

청구항 11

삭제

청구항 12

제 10항에 있어서,

상기 게터링 사이트의 금속촉매량은 상기 반도체층의 금속촉매량보다 많은 것을 특징으로 하는 유기전계발광표시장치.

청구항 13

제 10항에 있어서,

기판; 상기 기판 상에 위치하는 반도체층; 상기 반도체층 상에 위치하는 게이트 절연막; 상기 게이트 절연막 상에 위치하는 게이트 전극; 및 상기 게이트 전극과 절연되며 상기 반도체층과 연결되는 소스/드레인 전극을 더 포함하는 것을 특징으로 하는 유기전계발광표시장치.

명세서

발명의 상세한 설명

기술 분야

[0001]

본 발명은 유기전계발광표시장치와 그의 제조방법에 관한 것으로, 보다 자세하게는 금속 촉매를 이용하여 결정화된 반도체층에 있어서, 상기 반도체층의 채널 영역에 잔존하는 상기 금속 촉매를 게터링함으로써, 상기 반도체층에 잔존하는 금속 촉매의 양을 감소시켜 전기적 특성이 우수한 유기전계발광표시장치 및 그의 제조방법에 관한 것이다.

배경 기술

- [0002] 일반적으로, 다결정 실리콘층은 높은 전계 효과 이동도와 고속 동작 회로에 적용이 가능하며 CMOS 회로 구성이 가능하다는 장점이 있어 박막트랜지스터용 반도체층의 용도로서 많이 사용되고 있다. 이러한 다결정 실리콘층을 이용한 박막트랜지스터는 주로 능동 행렬 액정 디스플레이 장치(AMLCD)의 능동소자와 유기 전계 발광 소자(OLED)의 스위칭 소자 및 구동 소자에 사용된다.
- [0003] 상기 비정질 실리콘을 다결정 실리콘으로 결정화하는 방법은 고상 결정화법(Solid Phase Crystallization), 엑시머 레이저 결정화법(Excimer Laser Crystallization), 금속 유도 결정화법(Metal Induced Crystallization) 및 금속 유도 측면 결정화법(Metal Induced Lateral Crystallization) 등이 있는데, 고상 결정화법은 비정질 실리콘층을 박막트랜지스터가 사용되는 디스플레이 소자의 기판을 형성하는 물질인 유리의 변형 온도인 약700℃ 이하의 온도에서 수 시간 내지 수십 시간에 걸쳐 어닐링하는 방법이고, 엑시머 레이저 결정화법은 엑시머 레이저를 비정질 실리콘층에 주사하여 매우 짧은 시간 동안 국부적으로 높은 온도로 가열하여 결정화하는 방법이며, 금속 유도 결정화법은 니켈, 팔라듐, 금, 알루미늄 등의 금속을 비정질 실리콘층과 접촉시키거나 주입하여 상기 금속에 의해 비정질 실리콘층이 다결정 실리콘층으로 상 변화가 유도되는 현상을 이용하는 방법이고, 금속 유도 측면 결정화법은 금속과 실리콘이 반응하여 생성된 실리사이드가 측면으로 계속하여 전파되면서 순차로 비정질 실리콘층의 결정화를 유도하는 방법을 이용하는 결정화 방법이다.
- [0004] 그러나, 상기의 고상 결정화법은 공정 시간이 너무 길뿐만 아니라 고온에서 장시간 열처리함으로써 기판의 변형이 발생하기 쉽다는 단점이 있고, 엑시머 레이저 결정화법은 고가의 레이저 장치가 필요할 뿐만 아니라 다결정화된 표면의 돌기(protrusion)가 발생하여 반도체층과 게이트 절연막의 계면 특성이 나쁘다는 단점이 있으며, 상기 금속 유도 결정화법 또는 금속 유도 측면 결정화법으로 결정화하는 경우에는 많은 양의 금속 촉매가 결정화된 다결정 실리콘층에 잔류하여 박막트랜지스터의 반도체층의 누설 전류를 증가시키는 단점이 있다.
- [0005] 현재, 금속을 이용하여 비정질 실리콘층을 결정화하는 방법은 고상결정화(Solid Phase Crystallization)보다 낮은 온도에서 빠른 시간 내에 결정화시킬 수 있는 장점을 가지고 있기 때문에 많이 연구되고 있다. 금속을 이용한 결정화 방법은 금속 유도 결정화(MIC, Metal Induced Crystallization) 방법과 금속 유도 측면 결정화(MILC, Metal Induced Lateral Crystallization) 방법, SGS 결정화(Super Grain Silicon Crystallization) 방법 등이 있다. 그러나, 금속 촉매를 이용한 상기 방법의 경우는 금속 촉매에 의한 오염으로 인하여 박막트랜지스터의 소자 특성이 저하되는 문제점이 있다.
- [0006] 따라서 금속 촉매를 이용하여 비정질 실리콘층을 결정화하고 난 후에는 상기 금속 촉매를 제거하기 위한 게터링(gettering) 공정이 행해진다. 일반적인 게터링 공정은 인 또는 희가스(noble gas) 등의 불순물을 이용하거나, 다결정 실리콘층 상에 비정질 실리콘층을 형성하는 방법 등을 이용하여 행하여진다. 그러나 상기 방법들을 이용하는 경우에도 다결정 실리콘층 내부의 금속 촉매의 제거 효과가 크게 개선되지 아니하여 여전히 누설 전류가 큰 문제점이 있다.

발명의 내용

해결 하고자하는 과제

- [0007] 본 발명은 상기한 종래 기술의 문제점을 해결하기 위한 것으로서, 금속 촉매를 이용하여 결정화된 반도체층에 있어서, 상기 반도체층의 채널 영역 내에 잔존하는 금속 촉매를 게터링하여 상기 반도체층의 채널 영역에 잔존하는 금속 촉매의 양을 감소시켜 전기적 특성이 우수한 박막트랜지스터, 그의 제조방법, 및 이를 구비한 유기전계발광표시장치를 제공하는데 목적이 있다.

과제 해결수단

- [0008] 본 발명은 박막트랜지스터, 그의 제조방법 및 그를 포함하는 유기전계발광표시장치에 관한 것으로, 화소영역 및 비화소영역을 포함하는 기판; 상기 화소영역 상에 위치하는 반도체층, 게이트 절연막, 게이트 전극 및 소스/드레인 전극; 상기 비화소영역 상에 위치하는 하나 또는 다수개의 게터링 사이트를 포함하며, 상기 반도체층은 상기 게터링 사이트와 연결되어 있는 것을 특징으로 하는 박막트랜지스터를 제공한다.
- [0009] 또한, 화소영역 및 비화소영역을 포함하는 기판을 제공하고, 상기 기판 상에 비정질 실리콘층을 형성하고, 상기 비정질 실리콘층을 금속 촉매로 결정화하여 다결정 실리콘층을 형성하고, 상기 다결정 실리콘층을 반도체층 및 하나 또는 다수개의 게터링 사이트를 포함하도록 패터닝하고, 상기 기판을 열처리하여, 상기 다수개의 반도체층

을 게터링하고, 상기 기판 전면에 걸쳐 게이트 절연막을 형성하고, 상기 게이트 절연막 상에 상기 반도체층에 각각 대응되어 채널영역을 형성시킬 수 있는 게이트 전극을 형성하고, 상기 반도체층과 전기적으로 연결되며 상기 게이트 전극과 절연되는 소스/드레인 전극을 형성하는 것을 특징으로 하는 박막트랜지스터의 제조방법을 제공한다.

- [0010] 또한, 화소영역 및 비화소영역을 포함하는 기판; 상기 화소영역 상에 위치하는 반도체층, 게이트 절연막, 게이트 전극 및 소스/드레인 전극; 상기 비화소영역 상에 위치하는 하나 또는 다수개의 게터링 사이트; 상기 소스/드레인 전극과 전기적으로 연결되는 제 1 전극, 유기막층 및 제 2 전극을 포함하는 것을 특징으로 하는 유기전계발광표시장치를 제공한다.

효 과

- [0011] 본 발명은 박막트랜지스터, 그의 제조방법 및 그를 포함하는 유기전계발광표시장치에 관한 것으로, 외부적인 게터링 사이트를 형성하여 다수개의 반도체층 내부의 잔류 금속촉매를 효과적으로 게터링하는 방법을 제공함으로써, 누설전류가 감소되고 특성이 향상된 박막트랜지스터 및 유기전계발광표시장치를 생산할 수 있는 장점이 있다.

발명의 실시를 위한 구체적인 내용

- [0012] 이하, 본 발명을 보다 구체적으로 설명하기 위하여 본 발명에 따른 바람직한 실시예를 첨부된 도면을 참조하여 보다 상세하게 설명한다. 그러나 본 발명은 여기서 설명되는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다.
- [0013] 도 1a 내지 도 1d는 본 발명의 일 실시예에 따른 결정화 공정의 단면도이다.
- [0014] 먼저, 도 1a에 도시된 바와 같이 유리 또는 플라스틱과 같은 기판(100)상에 버퍼층(110)을 형성한다. 상기 버퍼층(110)은 화학적 기상 증착(Chemical Vapor Deposition)법 또는 물리적 기상 증착(Physical Vapor Deposition)법을 이용하여 실리콘 산화막 또는 실리콘 질화막과 같은 절연막을 이용하여 단층 또는 이들의 복층으로 형성한다. 이때 상기 버퍼층(110)은 상기 기판(100)에서 발생하는 수분 또는 불순물의 확산을 방지하거나, 결정화시 열의 전달 속도를 조절함으로써, 비정질 실리콘층의 결정화가 잘 이루어질 수 있도록 하는 역할을 한다.
- [0015] 이어서, 상기 버퍼층(110) 상에 비정질 실리콘층(120)을 형성한다. 이때 상기 비정질 실리콘층(120)은 화학적 기상 증착법(Chemical Vapor Deposition) 또는 물리적 기상 증착법(Physical Vapor Deposition)을 이용할 수 있다. 또한, 상기 비정질 실리콘층(120)을 형성할 때, 또는, 형성한 후에 탈수소 처리하여 수소의 농도를 낮추는 공정을 진행할 수 있다.
- [0016] 다음, 상기 비정질 실리콘층(120)을 다결정 실리콘층으로 결정화한다. 본 발명에서는 MIC(Metal Induced Crystallization)법, MILC(Metal Induced Lateral Crystallization)법, 또는 SGS(Super Grain Silicon)법 등과 같은 금속 촉매를 이용한 결정화 방법을 이용하여 상기 비정질 실리콘층을 다결정 실리콘층으로 결정화한다.
- [0017] 상기 SGS법은 비정질 실리콘층으로 확산되는 금속 촉매의 농도를 저농도로 조절하여 결정립의 크기를 수 μm 내지 수백 μm 까지 조절할 수 있는 결정화방법이다. 상기 비정질 실리콘층으로 확산되는 금속 촉매의 농도를 저농도로 조절하기 위한 일 실시예로 상기 비정질 실리콘층 상에 캡핑층을 형성하고, 상기 캡핑층 상에 금속 촉매층을 형성한 후 열처리하여 금속 촉매를 확산시킬 수 있으며, 공정에 따라서는 캡핑층을 형성하지 않고 금속 촉매층을 저농도로 형성하는 것 등에 의해 확산되는 금속 촉매의 농도를 저농도로 조절할 수도 있다.
- [0018] 본 발명의 실시예에서는 캡핑층을 형성하는 것에 의하여 MIC법이나 MILC 법에 비하여 비정질 실리콘층으로 확산되는 금속 촉매의 농도를 저농도로 제어할 수 있는 SGS법에 의해 결정화되는 것이 바람직한바, 하기에서는 이를 설명한다.
- [0019] 도 1b는 상기 비정질 실리콘층 상에 캡핑층과 금속 촉매층을 형성하는 공정의 단면도이다.
- [0020] 도 1b를 참조하면, 상기 비정질 실리콘(120) 상에 캡핑층(130)을 형성한다. 이때, 상기 캡핑층(130)은 후속의 공정에서 형성되는 금속 촉매가 열처리 공정을 통해 확산할 수 있는 실리콘 질화막으로 형성하는 것이 바람직하고, 실리콘 질화막과 실리콘 산화막의 복층을 사용할 수 있다. 상기 캡핑층(130)은 화학적 기상 증착법 또는 물리적 기상 증착법 등과 같은 방법으로 형성한다. 이때, 상기 캡핑층(130)의 두께는 1 내지 2000 Å으로 형성한다. 상기 캡핑층(130)의 두께가 1 Å 미만이 되는 경우에는 상기 캡핑층(130)이 확산하는 금속 촉매의 양을 저지하기가 어려우며, 2000 Å 초과하는 경우에는 상기 비정질 실리콘층(120)으로 확산되는 금속 촉매의 양이

적어 다결정 실리콘층으로 결정화하기 어렵다.

- [0021] 이어서, 상기 캡핑층(130) 상에 금속 촉매를 증착하여 금속 촉매층(140)을 형성한다. 이때, 상기 금속 촉매는 Ni, Pd, Ag, Au, Al, Sn, Sb, Cu, Tr, 및 Cd로 이루어진 군에서 선택되는 어느 하나를 사용할 수 있는데, 바람직하게는 니켈(Ni)을 이용한다. 이때, 상기 금속 촉매층(140)은 상기 캡핑층(130) 상에 10^{11} 내지 10^{15} atoms/cm²의 면밀도로 형성하는데, 상기 금속 촉매가 10^{11} atoms/cm²의 면밀도 보다 적게 형성된 경우에는 결정화의 핵인 시드의 양이 적어 상기 비정질 실리콘층이 SGS법에 의한 다결정 실리콘층으로 결정화하기 어렵고, 상기 금속 촉매가 10^{15} atoms/cm²의 면밀도 보다 많게 형성된 경우에는 비정질 실리콘층으로 확산되는 금속 촉매의 양이 많아 다결정 실리콘층의 결정립이 작아지고, 또한, 잔류하는 금속 촉매의 양이 많아 지게 되어 상기 다결정 실리콘층을 패터닝하여 형성되는 반도체층의 특성이 저하되게 된다.
- [0022] 도 1c는 상기 기판을 열처리하여 금속 촉매를 캡핑층을 통해 확산시켜 비정질 실리콘층의 계면으로 이동시키는 공정의 단면도이다.
- [0023] 도 1c를 참조하면, 상기 버퍼층(110), 비정질 실리콘층(120), 캡핑층(130) 및 금속 촉매층(140)이 형성된 상기 기판(100)을 열처리하여 상기 금속 촉매층(140)의 금속 촉매 중 일부를 상기 비정질 실리콘층(120)의 표면으로 이동시킨다. 즉, 상기 열처리에 의해 상기 캡핑층(130)을 통과하여 확산하는 금속 촉매들(140a, 140b) 중 미량의 금속 촉매(140b)들만이 상기 비정질 실리콘층(120)의 표면으로 확산하게 되고, 대부분의 금속 촉매(140a)들은 상기 비정질 실리콘층(120)에 도달하지도 못하거나 상기 캡핑층(130)을 통과하지 못하게 된다.
- [0024] 따라서, 상기 캡핑층(130)의 확산 저지 능력에 의해 상기 비정질 실리콘층(120)의 표면에 도달하는 금속 촉매의 양이 결정되는데, 상기 캡핑층(130)의 확산 저지 능력은 상기 캡핑층(130)의 두께와 밀접한 관계가 있다. 즉, 상기 캡핑층(130)의 두께가 두꺼워질수록 확산되는 양은 적어지게 되어 결정립의 크기가 커지게 되고, 두께가 얇아질수록 확산되는 양은 많아지게 되어 결정립의 크기는 작아지게 된다.
- [0025] 이때, 상기 열처리 공정은 200 내지 900℃, 바람직하게는 350 내지 500℃의 온도 범위에서 수 초 내지 수 시간 동안 진행하여 상기 금속 촉매를 확산시키게 되는데, 상기 온도와 시간에서 진행되는 경우에 과다한 열처리 공정으로 인한 기판의 변형 등을 방지할 수 있으며, 제조 비용 및 수율의 면에서도 바람직하다. 상기 열처리 공정은 로(furnace) 공정, RTA(Rapid Thermal Annealing) 공정, UV 공정 또는 레이저(Laser) 공정 중 어느 하나의 공정을 이용할 수 있다.
- [0026] 도 1d는 확산된 금속 촉매에 의해 비정질 실리콘층이 다결정 실리콘층으로 결정화하는 공정의 단면도이다.
- [0027] 도 1d를 참조하면, 상기 캡핑층(130)을 통과하여 상기 비정질 실리콘층(120)의 표면에 확산한 금속 촉매(140b)들에 의해 상기 비정질 실리콘층(120)이 다결정 실리콘층(150)으로 결정화된다. 즉, 상기 확산한 금속 촉매(140b)가 비정질 실리콘층의 실리콘과 결합하여 금속 실리사이드를 형성하고 상기 금속 실리사이드가 결정화의 핵인 시드(seed)를 형성하게 되어 비정질 실리콘층이 다결정 실리콘층으로 결정화하게 된다.
- [0028] 한편, 도 1d에서는 상기 캡핑층(130)과 금속 촉매층(140)을 제거하지 않고 상기 열처리 공정을 진행하였으나, 금속 촉매를 상기 비정질 실리콘층(120) 상으로 확산시켜 결정화의 핵인 금속 실리사이드를 형성시킨 후, 상기 캡핑층(130)과 금속 촉매층(140)을 제거하고 열처리함으로써 다결정 실리콘층을 형성하여도 무방하다.
- [0029] 도 2a 내지 도 2d는 본원발명의 실시예에 따른 박막트랜지스터에 관한 단면도이다.
- [0030] 도 2a 및 2b 를 참조하면, 상기 도 1d의 다결정 실리콘층을 형성한 기판(100)을 준비하여, 캡핑층(130) 및 금속 촉매층(140)을 제거하여, 다결정 실리콘층(150)이 형성된 비화소영역(a) 및 화소영역(b)을 포함하는 기판(100)을 준비한다.
- [0031] 그리고 나서, 상기 다결정 실리콘층(150)을 패터닝한다. 이때, 상기 다결정 실리콘층(150)은 다수개의 반도체층(160, 160')이 연결될 수 있도록 패터닝하며, 상기 반도체층(160, 160')이 연결된 연결부에서부터 돌출되는 게터링 사이트(160G)를 더 패터닝한다. 이때, 상기 게터링 사이트(160G)는 여러개의 홀을 포함한다.
- [0032] 다시 말하면, 상기 반도체층(160, 160') 및 게터링사이트(160G)는 하나의 다결정 실리콘층(150)으로 연결되어 있어 있으며, 상기 반도체층(160)은 화소영역(b)에 위치하고, 상기 게터링 사이트(160G)는 비화소영역(b)에 위치하도록 패터닝된다. 상기 비화소영역(a)은 데이터 라인(미도시), 스캔라인(미도시) 및 공통전원라인(미도시)이 위치하는 곳을 포함할 수 있다.

- [0033] 그리고 나서, 상기 반도체층(160)의 게터링을 실시한다. 상기 게터링 사이트(160G)는 다수개의 홀을 포함할 수 있으며, 상기 홀에는 n형 불순물이나 p형 불순물을 더욱 주입할 수 있으며, n형 불순물로는 인(P)이 바람직하며, p형 불순물로는 붕소(B)가 바람직하다. 또는 상기 금속층 또는 금속실리사이드층과 접하는 상기 반도체층의 영역 내에 이온이나 플라즈마를 이용하여 데미지(damage)영역을 형성하여 게터링 효과를 증대시킬 수 있다. 또한, 금속 촉매와는 다른 금속 또는 상기 금속의 금속실리사이드를 포함하는 금속층, 금속실리사이드층 또는 이들의 이중층을 형성하는 방법을 이용할 수 있다.
- [0034] 상기와 같이 게터링 사이트(160G)가 준비되면, 열처리하며, 상기 열처리는 500 내지 993℃의 온도 범위에서 실시하고, 10초이상 10시간 이하의 시간동안 가열한다. 상기 열처리 온도를 500℃ 미만으로 하는 경우에는 상기 반도체층(160)에서 결정화를 위한 상기 금속 촉매의 확산이 일어나지 않아 상기 금속 촉매가 게터링 사이트로 이동하기가 어렵고, 상기 열처리 온도를 993℃ 초과하는 경우에는 금속 촉매로 사용되는 니켈의 공융점(eutectic point)이 993℃이므로 993℃를 초과하는 온도에서는 니켈이 고체상태로 존재할 수 있기 때문이고, 또한 고온으로 인해 기판의 변형이 발생할 수 있다. 또한, 상기 열처리 시간을 10초 미만으로 하는 경우에는 상기 반도체층에 잔류하는 금속 촉매가 충분히 제거되기 어려울 수 있으며, 상기 열처리 시간이 10시간을 초과하는 경우에는 장시간의 열처리에 따른 기판의 변형 문제와 박막트랜지스터의 생산비용 및 수율의 문제가 발생할 수 있다. 한편, 보다 고온에서 실시하는 경우에는 단시간 가열하더라도 금속 촉매를 제거하는 것이 가능하다.
- [0035] 도 2b를 참조하면, 상기와 같이 게터링 후의 반도체층(160)은 게터링 사이트(160G)과 동일한 다결정 실리콘층으로 연결되어 있다. 상기 반도체층(160) 내부에 있던 금속 촉매는 상기 게터링 사이트(160G)로 게터링 되었기 때문에, 상기 게터링 사이트(160G)의 금속촉매 농도는 상기 반도체층(160)의 금속촉매 농도보다 높다.
- [0036] 상기 도 2b에서는 반도체층(160)에 한 개의 게터링 사이트가 연결되어 있으나, 다수개의 게터링 사이트가 더 연결될 수 있다.
- [0037] 계속해서 도 2c를 참조하면, 상기 반도체층(160) 및 게이트 사이트(160G)가 포함된 기판(100) 전면에 게이트 절연막(165)을 형성한다. 상기 게이트 절연막(165)은 실리콘 산화막, 실리콘 질화막 또는 이들의 이중층일 수 있다.
- [0038] 그리고 나서, 상기 게이트 절연막(165) 상에 게이트 전극(170)을 형성한다. 이때, 상기 게이트 전극(170)은 상기 반도체층(160)의 소스/드레인 영역(160s, 160d)과 채널영역(160c) 중 채널 영역(160c)에 대응되도록 형성하며, 알루미늄(Al) 또는 알루미늄-네오디뮴(Al-Nd)과 같은 알루미늄 합금의 단일층이나, 크롬(Cr) 또는 몰리브덴(Mo) 합금 위에 알루미늄 합금이 적층된 다중층 등으로 형성한다.
- [0039] 도 2d를 참조하면, 상기 기판(100) 전면에 걸쳐 층간절연막(175)을 형성하고, 상기 층간 절연막(175) 상에 상기 반도체층(170)의 소스/드레인 영역(160s, 160d)과 연결되는 소스/드레인 전극(180, 181)을 형성한다. 여기서, 상기 층간절연막(190)은 실리콘 질화막, 실리콘 산화막 또는 이들의 다중층일 수도 있고, 상기 소스/드레인 전극(180, 181)은 몰리브덴(Mo), 크롬(Cr), 텅스텐(W), 몰리브덴텅스텐(MoW), 알루미늄(Al), 알루미늄-네오디뮴(Al-Nd), 티타늄(Ti), 질화티타늄(TiN), 구리(Cu), 몰리브덴 합금(Mo alloy), 알루미늄 합금(Al alloy), 및 구리 합금(Cu alloy) 중에서 선택되는 어느 하나로 형성될 수 있다.
- [0040] 그러므로, 상기와 같이 본원발명에 따른 박막트랜지스터를 완성한다.
- [0041] 도 3은 본원발명에 따른 박막트랜지스터를 구비하는 유기전계발광표시장치에 관한 단면도이다.
- [0042] 도 3을 참조하면, 상기 소스/드레인 전극(180, 181)이 형성된 기판(100)을 준비한다. 이때, 상기 소스/드레인 전극(180, 181)을 형성시에 비화소영역(a)에는 데이터 라인(185)도 형성할 수 있다.
- [0043] 그리고 나서, 상기 소스/드레인 전극(180, 181)을 포함하는 기판(100) 전면에 절연막(190)을 형성한다. 상기 절연막(190)은 무기막인 실리콘 산화막, 실리콘 질화막 또는 SOG 중에서 선택되는 어느 하나 또는 유기막인 폴리이미이드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutene series resin) 또는 아크릴레이트(acrylate) 중에서 선택되는 어느 하나로 형성할 수 있다. 또한 상기 무기막과 상기 유기막의 적층구조로 형성될 수도 있다.
- [0044] 상기 절연막(190)을 식각하여 상기 소스 또는 드레인 전극(180, 181)을 노출시키는 비아홀을 형성한다. 상기 비아홀을 통하여 상기 소스 또는 드레인 전극(180, 181) 중 어느 하나와 연결되는 제 1 전극(200)을 형성한다. 상기 제 1 전극(200)은 애노드 또는 캐소드로 형성할 수 있다. 상기 제 1 전극(200)이 애노드인 경우, 상기 애노드는 ITO, IZO 또는 ITZO 중에서 어느 하나로 이루어진 투명 도전막으로 형성할 수 있으며, 캐소드인 경우 상기

캐소드는 Mg, Ca, Al, Ag, Ba 또는 이들의 합금을 사용하여 형성할 수 있다.

[0045] 이어서, 상기 제 1 전극(200) 상에 상기 제 1 전극(200)의 표면 일부를 노출시키는 개구부를 갖는 화소정의막(210)을 형성하고, 상기 노출된 제 1 전극(200) 상에 발광층을 포함하는 유기막층(220)을 형성한다. 상기 유기막층(220)에는 정공주입층, 정공수송층, 정공억제층, 전자억제층, 전자주입층 및 전자수송층으로 이루어진 군에서 선택되는 하나 또는 복수의 층을 더욱 포함할 수 있다. 이어서, 상기 유기막층(220) 상에 제 2 전극(230)을 형성한다. 이로써 본 발명의 일 실시예에 따른 유기전계발광표시장치를 완성한다.

[0046] 도 4는 다수개의 게터링 사이트 및 다수개의 스위칭 박막트랜지스터(T1,T2,T3,T4,T5)를 게터링 하기 위해 다결정 실리콘층을 패터닝한 도면이다.

[0047] 도 4를 참조하면, 상기과 같이 게터링 사이트(G)와 다수개의 박막트랜지스터의 반도체층(T1,T2,T3,T4,T5)이 연결되어 있는 다결정 실리콘층을 550℃에서 1시간 열처리 하여 게터링 하였다.

[0048] 표 1은 게터링 후, 상기 반도체층(T1,T2,T3,T4,T5)의 금속축매량을 비교한 데이터이다.

[0049] 표 1

	금속축매량(%)	
	실시예	비교예
T1	18.5	74.3
T2	2.3	15.0
T3	18.8	35.9
T4	5.4	35.4
T5	13.7	46.1

[0051] 표 1을 참조하면, 실시예는 다수개의 스위칭 반도체층을 연결하여 패터닝한 후, 다수개의 게터링 사이트를 별도로 형성하여 게터링한 데이터이고, 비교예는 게터링 사이트를 별도로 형성하지 않고, 내부에 있는 홀을 이용하여 게터링을 했을 때의 데이터로써, 본원발명에서처럼, 게터링 사이트를 별도로 다수개 형성하여 게터링하였을 때, 반도체층의 금속축매량이 현저히 감소했음을 알 수 있다.

[0052] 본원발명에서는 게이트 전극이 반도체층 상부에 위치하는 탑 게이트 구조로 설명하였으나, 동일한 방법으로 게이트 전극이 반도체층 하부에 위치하는 바텀 게이트 구조로의 응용도 가능하다.

도면의 간단한 설명

[0053] 도 1a 내지 도 1d는 본 발명에 따른 다결정 실리콘의 제조방법에 관한 도면이다.

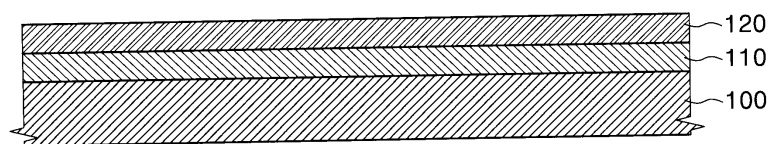
[0054] 도 2a 내지 도 2d는 본 발명에 따른 박막트랜지스터에 관한 도면이다.

[0055] 도 3은 본 발명에 따른 유기전계발광표시장치에 관한 도면이다.

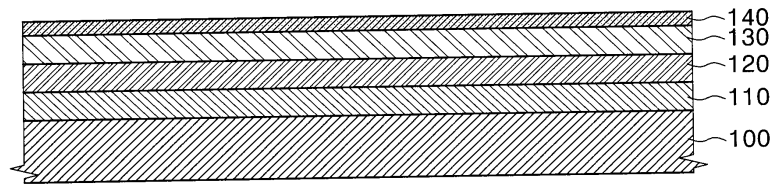
[0056] 도 4는 본 발명에 따른 일 실시예의 게터링 방법을 설명한 도면이다.

도면

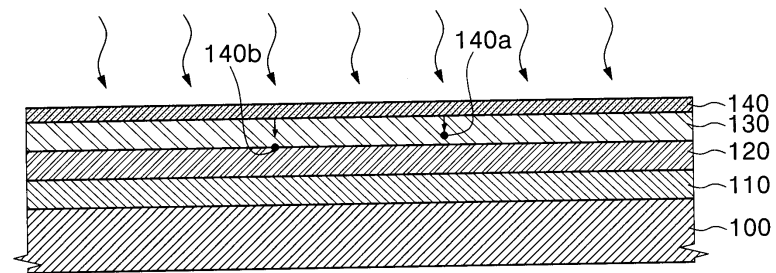
도면1a



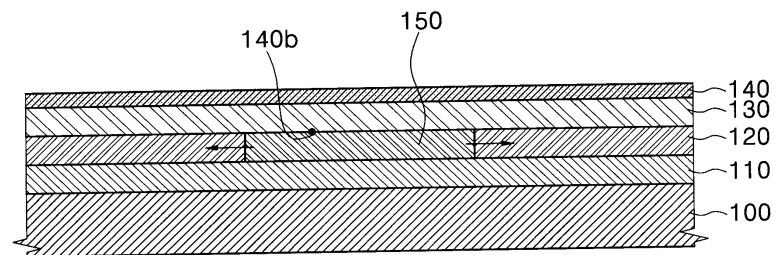
도면1b



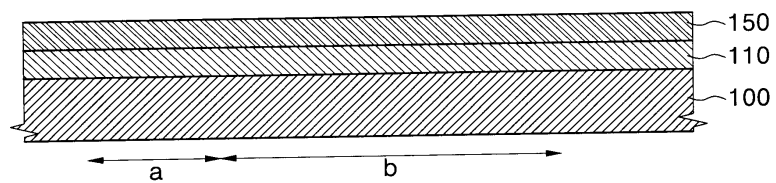
도면1c



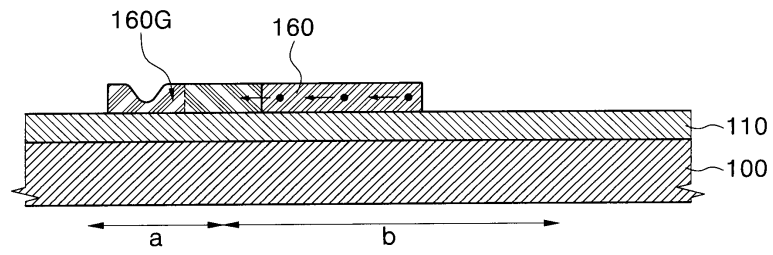
도면1d



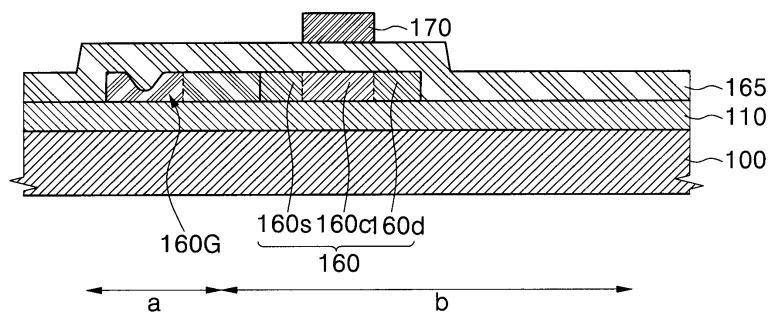
도면2a



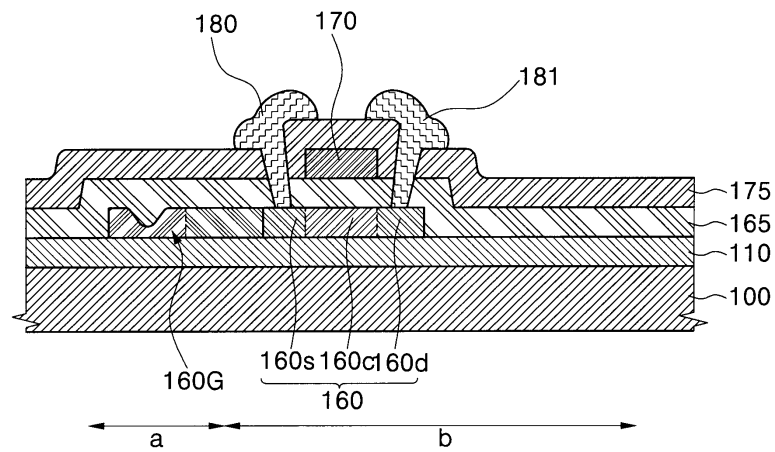
도면2b



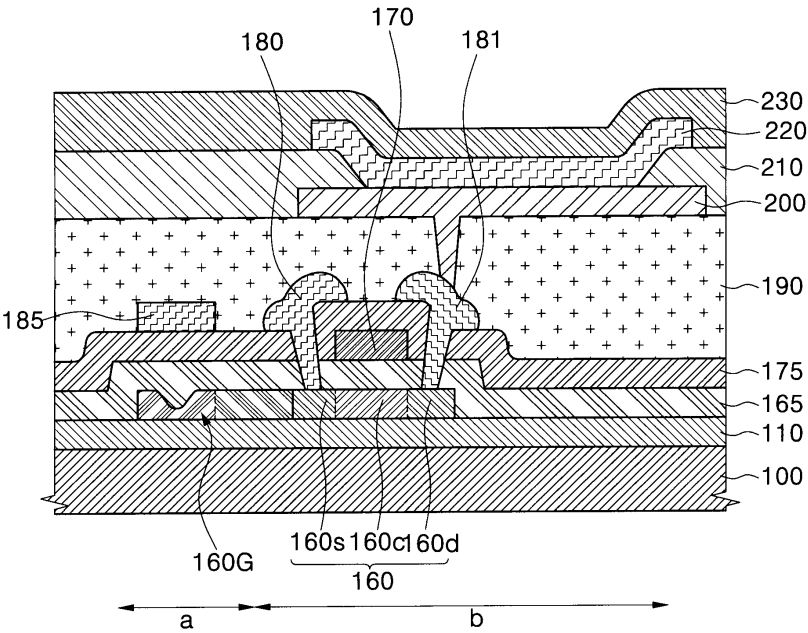
도면2c



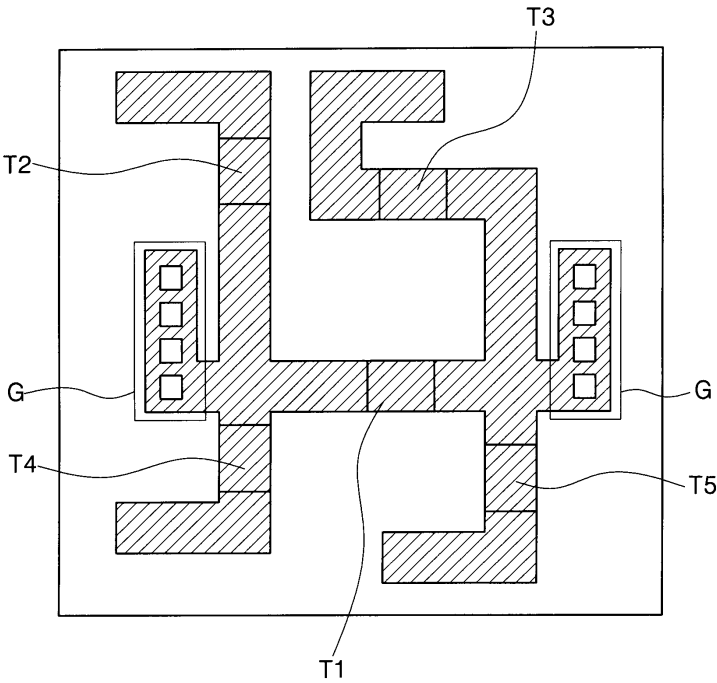
도면2d



도면3



도면4



专利名称(译)	薄膜晶体管，其制造方法以及包括该薄膜晶体管的有机电致发光显示装置		
公开(公告)号	KR101030027B1	公开(公告)日	2011-04-20
申请号	KR1020080129327	申请日	2008-12-18
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三圣母工作显示有限公司		
当前申请(专利权)人(译)	三圣母工作显示有限公司		
[标]发明人	YOON JOO CHUL 윤주철 KWON OH SEOB 권오섭 LEE YONG SOO 이용수 SONG SU BIN 송수빈 LEE JOO HWA 이주화 PARK BYOUNG KEON 박병건 YANG TAE HOON 양태훈 SEO JIN WOOK 서진욱 LEE KI YONG 이기용		
发明人	윤주철 권오섭 이용수 송수빈 이주화 박병건 양태훈 서진욱 이기용		
IPC分类号	H01L51/00 H01L29/786 H01L H01L51/50		
CPC分类号	H01L27/3262 H01L21/02532 H01L21/02488 H01L27/1214 H01L29/66757 H01L21/02672 H01L21/02422 H01L27/1277 H01L27/1281		
其他公开文献	KR1020100070676A		
外部链接	Espacenet		

摘要(译)

薄膜晶体管，其制造方法以及包括该薄膜晶体管的有机发光显示器技术领域 包括非像素区域的基板;半导体层，栅极绝缘膜，栅电极和源极/漏极 磷电极;并且一个或多个吸气部位位于非像素区域，并连接到吸气网站。此外，提供一种包括像素区域和非像素区域的基板，在基板上形成非晶硅层，用金属催化剂结晶非晶硅层以形成多晶硅层，图案化以包括一个或多个吸杂位点，并热处理基板以形成多个半导体层 在衬底的整个表面上形成栅极绝缘膜，在半导体层上形成栅极绝缘膜 形成能够形成彼此对应的沟道区的栅电极，并形成电连接到半导体层的栅电极 并形成与栅电极绝缘的源/漏电极。 A. 包括像素区域和非像素区域的基板;位于像素区

域的半导体层，栅极绝缘膜， 电极和源/漏电极;位于非像素区域的一个或多个吸气部位;源/漏 第一电极电连接到第一电极，有机层和第二电极。 和一个显示设备。 代表人物 - 图2b

