



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년11월11일
(11) 등록번호 10-0926634
(24) 등록일자 2009년11월05일

(51) Int. Cl.

G09G 3/30 (2006.01) G09G 3/32 (2006.01)

G09G 3/20 (2006.01) H01L 51/50 (2006.01)

(21) 출원번호 10-2008-0048559

(22) 출원일자 2008년05월26일

심사청구일자 2008년05월26일

(56) 선행기술조사문헌

KR1020050052033 A

KR1020060018766 A

KR1020060018763 A

KR1020060013119 A

전체 청구항 수 : 총 6 항

(73) 특허권자

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

천해진

충청남도 천안시 성성동 508번지 삼성SDI(주)

(74) 대리인

신영무

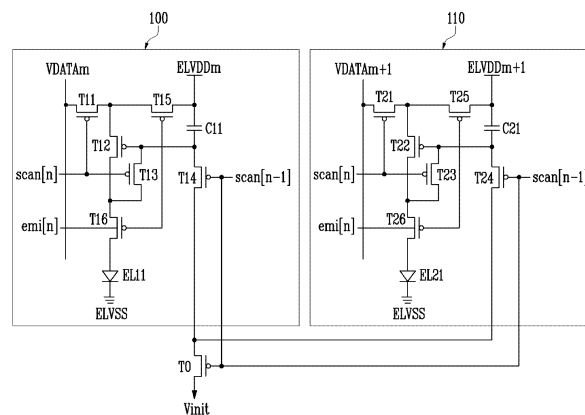
심사관 : 조기덕

(54) 유기 전계발광 표시장치

(57) 요약

본 발명은 화소부를 구성하는 각 화소의 회로에 있어서, 초기화 전압(Vinit)을 제공하는 초기화용 트랜지스터를 듀얼 게이트로 구현하여 상기 초기화용 트랜지스터 오프시 누설전류를 감소시키며, 상기 초기화용 트랜지스터를 듀얼 게이트로 구현함에 있어 인접한 화소 내에 구비된 초기화용 트랜지스터와 연결하여 형성함으로써, 레이아웃 공간을 확보하도록 설계되는 유기 전계발광 표시장치를 제공한다.

대표도



특허청구의 범위

청구항 1

복수개의 게이트라인, 복수개의 데이터라인, 복수개의 전원라인 및 복수개의 발광제어라인과;

상기 복수개의 게이트라인, 데이터라인, 전원라인 및 발광제어라인 중 해당하는 게이트라인, 데이터라인, 전원라인 및 발광제어라인에 각각 배열되는 복수개의 화소를 포함하는 유기 전계발광 표시장치에 있어서,

상기 각각의 화소들은,

현재 주사신호에 응답하여 소정 전압레벨의 데이터 신호를 전달하는 제 1스위칭 트랜지스터와;

상기 제 1스위칭 트랜지스터를 통해 전달되는 소정 전압레벨의 데이터 신호에 따라 구동전류를 발생하는 구동 트랜지스터와;

상기 구동 트랜지스터에 전달되는 소정 전압레벨의 데이터 신호를 저장하기 위한 제 1캐패시터와;

상기 현재 주사신호의 이전 주사신호에 응답하여 상기 제 1캐패시터에 저장된 전압레벨의 데이터 신호를 방전시키는 초기화용 트랜지스터와;

상기 구동 트랜지스터를 통해 발생하는 구동전류에 대응하여 빛을 발광하는 EL소자를 포함하며,

상기 화소들 중 인접한 화소 내에 각각 구비된 상기 초기화용 트랜지스터가 하나의 단일 트랜지스터에 연결되어 듀얼 게이트 트랜지스터로 구현됨을 특징으로 하는 유기 전계발광 표시장치.

청구항 2

제 1항에 있어서,

상기 단일 트랜지스터는 게이트 전극이 상기 인접한 화소 내에 각각 구비된 초기화용 트랜지스터의 게이트 전극과 연결되고, 소스 전극이 상기 각각의 초기화용 트랜지스터의 드레인 전극에 연결되며, 드레인 전극이 초기화 전압(Vinit)원에 연결됨을 특징으로 하는 유기 전계발광 표시장치.

청구항 3

제 1항에 있어서,

상기 인접한 화소는 인접한 한 쌍의 화소임을 특징으로 하는 유기 전계발광 표시장치.

청구항 4

제 1항에 있어서,

상기 인접한 화소는 적(R), 녹(G), 청(B)색을 각각 발광하여 하나의 단일 화소군을 구성하는 인접한 3개의 화소들임을 특징으로 하는 유기 전계발광 표시장치.

청구항 5

제 1항에 있어서,

상기 각각의 화소들에는,

상기 구동 트랜지스터의 문턱전압을 보상하기 위한 문턱전압보상용 트랜지스터와;

현재 발광제어신호에 응답하여 제 1전원전압(ELVDD)을 상기 구동 트랜지스터로 제공하기 위한 제2스위칭 트랜지스터와;

상기 현재 발광제어신호에 응답하여 상기 구동 트랜지스터를 통해 발생한 구동전류를 상기 EL소자로 제공하기 위한 제3스위칭 트랜지스터를 더 포함함을 특징으로 하는 유기 전계발광 표시장치.

청구항 6

제 1항, 2항, 5항 중 어느 한 항에 있어서,

상기 트랜지스터들은 p형 트랜지스터로 구현됨을 특징으로 하는 유기 전계발광 표시장치.

명세서

발명의 상세한 설명

기술 분야

- <1> 본 발명은 유기 전계발광 표시장치에 관한 것으로, 특히 화소부를 구성하는 각 화소의 회로 내에 발생하는 누설 전류(leakage current)를 줄이고, 레이아웃(layout) 공간을 확보하도록 설계되는 유기 전계발광 표시장치에 관한 것이다.

배경 기술

- <2> 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 평판 표시장치로는 액정 표시장치(Liquid Crystal Display: LCD), 전계방출 표시장치(Field Emission Display: FED), 플라즈마 표시패널(Plasma Display Panel: PDP) 및 유기 전계발광 표시장치(Organic Light Emitting Display: OLED) 등이 있다.
- <3> 평판 표시장치 중 유기 전계발광 표시장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드를 이용하여 영상을 표시하는 것으로, 이는 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있다.
- <4> 통상적으로, 유기전계발광 표시장치(OLED)는 EL소자를 구동하는 방식에 따라 패시브 매트릭스형 OLED(PMOLED)와 액티브 매트릭스형 OLED(AMOLED)로 분류된다.
- <5> 상기 AMOLED는 복수개의 게이트라인, 복수개의 데이터 라인 및 복수개의 전원라인과, 상기 라인들에 연결되어 매트릭스 형태로 배열되는 복수개의 화소를 구비한다. 또한, 상기 각 화소는 통상적으로 EL소자, 2개의 트랜지스터, 즉 데이터신호를 전달하기 위한 스위칭 트랜지스터와, 상기 데이터신호에 따라 상기 EL 소자를 구동시키기 위한 구동트랜지스터와, 상기 데이터전압을 유지시키기 위한 하나의 캐패시터로 이루어진다.
- <6> 이와 같은 AMOLED는 앞서 언급한 바와 같이 소비전력이 적은 이점이 있지만, EL소자를 구동하는 구동 트랜지스터의 게이트와 소오스간의 전압, 즉 구동 트랜지스터의 문턱전압(threshold voltage) 편차에 따라 EL 소자를 통해 흐르는 전류 세기가 변하여 표시 불균일을 초래하는 문제점이 있다.
- <7> 즉, 상기 각 화소 내에 구비된 트랜지스터는 제조 공정 변수에 따라 트랜지스터의 특성이 변하게 되므로, AMOLED의 모든 트랜지스터의 특성을 동일하게 되도록 트랜지스터를 제조하는 것이 어려우며, 이에 따라 화소간 문턱전압의 편차가 존재하기 때문이다.
- <8> 이에 최근 들어 이러한 문제점을 극복하기 위하여 보상회로가 연구되고 있으며, 이러한 보상회로를 각각의 화소 내에 추가로 더 형성하여 극복하고 있으나, 이 경우 각 화소별로 많은 수의 트랜지스터 및 캐패시터가 실장되어야 함에 따라 레이아웃 설계시 공간 확보가 어렵다는 또 다른 문제가 야기된다.

발명의 내용

해결 하고자하는 과제

- <9> 본 발명은 화소부를 구성하는 각 화소의 회로에 있어서, 초기화 전압(Vinit)을 제공하는 초기화용 트랜지스터를 듀얼 게이트로 구현하여 상기 초기화용 트랜지스터 오프시 누설전류를 감소시키며, 상기 초기화용 트랜지스터를 듀얼 게이트로 구현함에 있어 인접한 화소 내에 구비된 초기화용 트랜지스터와 연결하여 형성함으로써, 레이아웃 공간을 확보하도록 설계되는 유기 전계발광 표시장치를 제공함에 그 목적이 있다.

과제 해결수단

- <10> 이와 같은 목적을 달성하기 위하여 본 발명의 실시예에 의한 유기 전계발광 표시장치는, 복수개의 게이트라인, 복수개의 데이터라인, 복수개의 전원라인 및 복수개의 발광제어라인과; 상기 복수개의 게이트라인, 데이터라인, 전원라인 및 발광제어라인 중 해당하는 게이트라인, 데이터라인, 전원라인 및 발광제어라인에 각각 배열되는 복

수개의 화소를 포함하는 유기 전계발광 표시장치에 있어서,

- <11> 상기 각각의 화소들은, 현재 주사신호에 응답하여 소정 전압레벨의 데이터 신호를 전달하는 제 1스위칭 트랜지스터와; 상기 제 1스위칭 트랜지스터를 통해 전달되는 소정 전압레벨의 데이터 신호에 따라 구동전류를 발생하는 구동 트랜지스터와; 상기 구동 트랜지스터에 전달되는 소정 전압레벨의 데이터 신호를 저장하기 위한 제 1캐패시터와; 상기 현재 주사신호의 이전 주사신호에 응답하여 상기 제 1캐패시터에 저장된 전압레벨의 데이터 신호를 방전시키는 초기화용 트랜지스터와; 상기 구동 트랜지스터를 통해 발생하는 구동전류에 대응하여 빛을 발광하는 EL소자를 포함하며, 상기 화소들 중 인접한 화소 내에 각각 구비된 상기 초기화용 트랜지스터가 하나의 단일 트랜지스터에 연결되어 듀얼 게이트 트랜지스터로 구현됨을 특징으로 한다.
- <12> 이 때, 상기 단일 트랜지스터는 게이트 전극이 상기 인접한 화소 내에 각각 구비된 초기화용 트랜지스터의 게이트 전극과 연결되고, 소스 전극이 상기 각각의 초기화용 트랜지스터의 드레인 전극에 연결되며, 드레인 전극이 초기화전압(Vinit)원에 연결됨을 특징으로 한다.
- <13> 또한, 상기 인접한 화소는 인접한 한 쌍의 화소들이거나, 적(R), 녹(G), 청(B)색을 각각 발광하여 하나의 단일 화소군을 구성하는 인접한 3개의 화소들임을 특징으로 한다.
- <14> 또한, 상기 각각의 화소들은, 상기 구동 트랜지스터의 문턱전압을 보상하기 위한 문턱전압보상용 트랜지스터와; 현재 발광제어신호에 응답하여 제 1전원전압(ELVDD)을 상기 구동 트랜지스터로 제공하기 위한 제2스위칭 트랜지스터와; 상기 현재 발광제어신호에 응답하여 상기 구동 트랜지스터를 통해 발생된 구동전류를 상기 EL소자로 제공하기 위한 제3스위칭 트랜지스터를 포함하고, 상기 제 1스위칭 트랜지스터의 게이트 전극과 상기 구동 트랜지스터의 게이트 전극 사이에 제 2캐패시터가 더 구비될 수 있다.
- <15> 또한, 상기 트랜지스터들은 p형 트랜지스터로 구현됨을 특징으로 한다.

효 과

- <16> 이와 같은 본 발명에 의하면, 초기화 전압(Vinit)을 제공하는 초기화용 트랜지스터를 듀얼 게이트로 구현하여 상기 초기화용 트랜지스터 오프시 누설전류를 감소시키며, 또한, 상기 초기화용 트랜지스터를 듀얼 게이트로 구현함에 있어 인접한 적어도 하나의 화소 내에 구비된 초기화용 트랜지스터와 연결하여 형성함으로써, 레이아웃 공간을 확보할 수 있다는 장점이 있다.

발명의 실시를 위한 구체적인 내용

- <17> 이하 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세히 설명하도록 한다.
- <18> 도 1은 본 발명의 제 1실시예에 의한 유기 전계발광 표시장치의 화소 회로 구성을 나타내는 회로도이고, 도 2는 도 1에 도시된 화소 회로의 구동 타이밍도이다.
- <19> 본 발명의 제 1실시예에 따른 유기 전계발광 표시장치는 복수개의 게이트라인, 복수개의 데이터라인, 복수개의 전원라인 및 복수개의 발광제어라인과, 상기 복수개의 게이트라인, 데이터라인, 전원라인 및 발광제어라인중 해당하는 게이트라인, 데이터라인, 전원라인 및 발광제어라인에 각각 배열되는 복수개의 화소를 포함한다.
- <20> 단, 도 1에는 다수의 화소중 해당하는 게이트라인(n번째 게이트라인), 데이터라인(m, m+1번째 데이터라인), 전원라인(m, m+1번째 전원라인) 및 발광제어라인(n번째 발광제어라인)에 배열된 인접한 한 쌍의 화소(100, 110)에 대한 회로를 한정 도시한 것이다.
- <21> 도 1을 참조하면, 본 발명의 제 1실시예에 의한 유기 전계발광 표시장치의 화소회로(100, 110)는 인가되는 구동전류에 대응하는 빛을 발광하는 유기전계 발광소자(EL11, EL21)와, 해당하는 게이트라인에 인가되는 현재 주사신호 scan[n]에 응답하여 해당하는 데이터라인에 인가되는 전압레벨의 데이터신호(VDATAm, VDATAm+1)를 스위칭하기 위한 제 1스위칭 트랜지스터(T11, T21)와, 상기 제 1스위칭 트랜지스터(T11, T21)를 통해 게이트에 입력되는 상기 데이터신호에 상응하여 상기 EL소자의 구동전류를 공급하는 구동 트랜지스터(T12, T22)를 구비한다.
- <22> 이 때, 상기 제 1스위칭 트랜지스터(T11, T21)는 게이트 전극으로 해당하는 게이트라인에 인가되는 현재 주사신호 scan[n]가 인가되고, 소스 전극으로는 해당하는 데이터라인에 인가되는 전압레벨의 데이터신호(VDATAm, VDATAm+1)가 인가되며, 드레인 전극은 상기 구동 트랜지스터(T12, T22)의 소스 전극에 연결되는 p형 박막 트랜지스터로 구성된다.
- <23> 또한, 상기 구동 트랜지스터(T12, T22)는 게이트 전극이 제 1캐패시터(C11, C21)의 일측단자에 연결되고, 소스

전극은 상기 제 1스위칭 트랜지스터(T11, T21)의 드레인 전극에 연결되며, 드레인 전극은 상기 EL소자(EL11, EL21)의 애노드 전극에 연결되는 p형 박막 트랜지스터로 구성된다. 상기 EL소자(EL11, EL21)의 캐소드 전극은 도시된 바와 같이 제 2전원전압(ELVSS)원과 연결된다.

- <24> 그리고, 상기 제 1실시예에 의한 화소회로(100, 110)는 상기 구동 트랜지스터(T12, T22)의 문턱전압을 보상하기 위한 문턱전압보상용 트랜지스터(T13, T23)와 상기 구동 트랜지스터(T12, T22)의 게이트에 인가되는 데이터신호를 저장하기 위한 제 1캐패시터(C11, C21)와, 해당하는 게이트라인의 이전단 게이트 라인에 인가되는 이전 주사신호 scan[n-1]에 응답하여 상기 제 1캐패시터(C11, C21)에 저장된 데이터신호를 초기화시켜 주기 위한 초기화용 트랜지스터(T14, T24)를 더 포함한다.
- <25> 이 때, 상기 문턱전압 보상용 트랜지스터(T13, T23)는 상기 구동 트랜지스터(T12, T22)의 게이트 전극과 드레인 전극 사이에 연결되며, 게이트 전극으로 현재 주사신호 scan[n]가 인가되는 p형 박막 트랜지스터로 구성된다.
- <26> 또한, 상기 제 1캐패시터(C11, C21)의 일측단자는 앞서 언급한 바와 같이 상기 구동 트랜지스터(T12, T22)의 게이트 전극에 연결되고, 다른 일측은 제 1전원전압(ELVDD)원과 연결되어 이로부터 제공되는 제 1전원전압(ELVDD)가 인가된다.
- <27> 또한, 상기 초기화용 트랜지스터(T14, T24)는 게이트 전극으로 이전 주사신호 scan[n-1]가 인가되고, 소스 전극이 상기 제 1캐패시터(C11, C21)의 일측단자에 연결되며 드레인 전극에는 초기화전압(Vinit)이 인가되는 p형 박막 트랜지스터로 이루어진다.
- <28> 단, 본 발명의 실시예는 상기 초기화용 트랜지스터(T14, T24)가 도시된 바와 같이 듀얼 게이트로 구현됨을 특징으로 하며, 특히 레이아웃 설계시 공간을 최적화할 수 있도록 상기 초기화용 트랜지스터(T14)를 듀얼 게이트로 구현함에 있어 인접한 화소(110) 내에 구비된 초기화용 트랜지스터(T24)와 연결하여 형성함을 특징으로 한다.
- <29> 즉, 게이트 전극이 상기 인접한 화소 내에 각각 구비된 초기화용 트랜지스터(T14, T24)의 게이트 전극과 연결되고, 소스 전극이 상기 각각의 초기화용 트랜지스터(T14, T24)의 드레인 전극에 연결되며, 드레인 전극이 상기 초기화전압(Vinit)원에 연결되는 단일 트랜지스터(T0)가 더 구비되며, 이를 통해 각각의 화소회로(100, 110)에 구비된 초기화용 트랜지스터(T14, T24)는 듀얼 게이트로 구현되는 것이다.
- <30> 결과적으로 본 발명의 실시예를 통해 초기화 전압(Vinit)을 제공하는 초기화용 트랜지스터(T14, T24)를 듀얼 게이트로 구현하여 상기 초기화용 트랜지스터(T14, T24) 오프시 누설전류를 감소시키고 동시에, 상기 초기화용 트랜지스터(T14)를 듀얼 게이트로 구현함에 있어 인접한 화소(110) 내에 구비된 초기화용 트랜지스터(T24)와 연결하여 형성함으로써, 레이아웃 공간을 확보할 수 있게 되는 것이다.
- <31> 도 1에 도시된 바와 같이, 각각의 화소(100, 110)에 6개의 트랜지스터 및 적어도 하나의 캐패시터가 구비되는 화소회로를 구현하기 위해서는 레이아웃 설계시 공간 확보가 어렵다는 문제가 있을 수 있다.
- <32> 특히 누설전류 감소를 위해 초기화용 트랜지스터(T14)를 듀얼 게이트로 구현할 경우 이러한 문제는 더 심각해질 수 있으나, 상기 실시예와 같이 단일 트랜지스터(T0)를 인접한 화소(110) 내에 구비된 초기화용 트랜지스터(T24)와 연결하여 상기 초기화용 트랜지스터(T14, T24)를 듀얼 게이트 트랜지스터로 구현함을 통해 레이아웃 공간을 확보함으로써 이러한 문제를 극복할 수 있게 되는 것이다.
- <33> 또한, 상기 화소회로(100, 110)는 현재 발광제어신호 emi[n]에 응답하여 상기 제 1전원전압(ELVDD)을 구동 트랜지스터(T12, T22)로 제공하기 위한 제2스위칭 트랜지스터(T15, T25)와, 상기 현재 발광제어신호 emi[n]에 응답하여 상기 구동 트랜지스터(T12, T22)를 통해 발생된 구동전류를 상기 EL소자(EL1)로 제공하기 위한 제3스위칭 트랜지스터(T16, T26)를 더 포함한다.
- <34> 상기 제 2스위칭 트랜지스터(T15, T25)의 게이트 전극으로는 현재 발광제어신호 emi[n]가 인가되고, 소스 전극에 상기 제 1전원전압(ELVDD)이 인가되며, 드레인 전극이 상기 구동 트랜지스터(T12, T22)의 소스 전극에 연결되는 p형 박막 트랜지스터로 구성된다.
- <35> 또한, 상기 제 3스위칭 트랜지스터(T16, T26)의 게이트 전극으로는 현재 발광제어신호 emi[n]가 인가되며, 상기 구동 트랜지스터(T12, T22)와 EL 소자(EL11, EL12)의 애노드 전극 사이에 연결되는 p형 박막 트랜지스터로 구성된다.
- <36> 또한, 도시되지 않았으나, 상기 제 1스위칭 트랜지스터(T11, T21)의 게이트 전극과 상기 구동 트랜지스터(T12, T22)의 게이트 전극 사이에 제 2캐패시터(미도시)가 추가로 더 구비될 수 있으며, 이는 제 2캐패시터의 부트스

트래핑(bootstrapping) 동작을 통해 상기 구동 트랜지스터(T12, T22) 및 제 1캐패시터(C11, C21)의 정확한 동작 스위칭을 구현할 수 있게 한다.

- <37> 이와 같은 제 1실시예에 의한 화소회로는, 낮은 오프 전류 특성을 유지하기 위하여 즉, 로우 레벨이 인가되는 초기화전압(Vinit)원 측으로 누설 전류가 발생하는 것을 방지하여 상기 제 1캐패시터(C11, C21)의 데이터신호를 유지하기 위해 상기 초기화용 트랜지스터(T14, T24)를 듀얼 게이트로 구현함을 특징으로 하며, 상기 초기화용 트랜지스터(T14)를 듀얼 게이트로 구현함에 있어 인접한 화소(110) 내에 구비된 초기화용 트랜지스터(T24)와 연결하여 형성함을 특징으로 한다.
- <38> 이와 같은 구성을 갖는 본 발명의 화소회로 동작을 도 1 및 도 2를 참조하여 설명하면 다음과 같다.
- <39> 먼저, 초기화 동작 시에는, 즉, 도 2에 도시된 바와 같이 이전 주사신호 scan[n-1]가 로우 레벨이고 현재 주사신호 scan[n]와 발광 제어신호 emi[n]가 하이 레벨인 초기화구간에서, 이전 주사신호 scan[n-1]에 의해 초기화용 트랜지스터(T14, T24)가 턴온되고, 현재 주사신호 scan[n]와 현재 발광제어신호 emi[n]에 의해 다른 트랜지스터(T11-T13, T21-T23), (T15-T16, T25-T26)가 턴오프되므로, 제 1캐패시터(C11, C21)에 저장되어 있던 데이터 즉, 구동 트랜지스터(T12, T22)의 게이트 전압은 로우레벨인 초기화전압(Vinit)으로 초기화된다.
- <40> 이 때, 앞서 설명한 바와 같이 인접한 각 화소회로(100, 110) 내에 구비된 초기화용 트랜지스터(T14, T24)는 별도의 단일 트랜지스터(T0)와 연결되어 듀얼 게이트로 구현됨을 특징으로 한다.
- <41> 즉, 상기 단일 트랜지스터(T0)는 게이트 전극이 상기 인접한 화소 내에 각각 구비된 초기화용 트랜지스터(T14, T24)의 게이트 전극과 연결되고, 소스 전극이 상기 각각의 초기화용 트랜지스터(T14, T24)의 드레인 전극에 연결되며, 드레인 전극이 상기 초기화전압(Vinit)원에 연결되는 것으로, 이를 통해 각각의 화소회로에 구비된 초기화용 트랜지스터(T14, T24)는 듀얼 게이트로 구현되는 것이다.
- <42> 이와 같이, 상기 초기화용 트랜지스터(T14)를 듀얼 게이트로 구현함에 있어 인접한 화소(110) 내에 구비된 초기화용 트랜지스터(T24)와 연결하여 형성함으로써, 레이아웃 공간을 확보할 수 있게 된다.
- <43> 다음으로, 데이터 프로그램 동작 시에는, 도 2에 도시된 바와 같이 이전 주사신호 scan[n-1] 및 가 현재 발광제어신호 emi[n]가 하이 레벨이고 현재 주사신호 scan[n]는 로우 레벨인 프로그램 구간에서, 상기 초기화용 트랜지스터(T14, T24)는 턴오프되고, 로우 레벨의 현재 주사신호 scan[n]에 의해 문턱전압 보상용 트랜지스터(T13, T23)가 턴온되어 구동 트랜지스터(T12, T22)는 다이오드형태로 연결된다.
- <44> 또한, 상기 제 1스위칭 트랜지스터(T11, T21)는 턴온되고, 제 2 및 제 3스위칭 트랜지스터(T15, T25), (T16, T26)는 턴오프되어 데이터 프로그램 패스가 형성되므로, 각 화소별(100, 110)로 해당하는 데이터라인에 인가되는 데이터전압 VDATAm, VDATAm+1이 문턱전압 보상용 트랜지스터(T13, T23)를 통해 상기 구동 트랜지스터(T12, T22)의 게이트 전극에 전달된다.
- <45> 이 때, 상기 문턱전압 보상용 트랜지스터(T13, T23)의 턴온에 의해 상기 구동 트랜지스터(T12, T22)가 다이오드 형태로 연결됨으로써, 구동 트랜지스터 내부의 문턱 전압 변동에 의한 문제가 자체적으로 보상된다.
- <46> 마지막으로, 발광 시에는 도 2에 도시된 바와 같이 이전 주사신호 scan[n-1] 및 현재 주사신호 scan[n]이 하이 레벨이고, 현재 발광제어신호 emi[n]가 로우레벨로 되는 발광구간에서, 제 2 및 제 3스위칭 트랜지스터(T15, T25), (T16, T26)가 턴온되고, 초기화 트랜지스터(T14, T24)가 턴오프되며, 문턱전압 보상용 트랜지스터(T13, T23) 및 제 1스위칭 트랜지스터(T11, T21)가 턴오프된다.
- <47> 따라서, 구동 트랜지스터(T12, T22)의 게이트 전극에 인가되는 전압레벨의 데이터신호에 대응하여 발생하는 구동전류가 구동 트랜지스터(T12, T22)를 통해 유기EL소자(EL11, EL21)로 제공되어 유기EL소자(EL11, EL21)는 발광을 하게 된다.
- <48> 상기한 바와 같이, 본 발명의 실시예에서는 구동 트랜지스터(T12, T22)의 문턱전압의 편차를 상기 문턱전압 보상용 트랜지스터(T13, T23)를 통해 검출하여 자체적으로 보상하여 주기 때문에 유기EL소자(EL11, EL21)에 흐르는 전류를 미세하게 제어할 수 있다.
- <49> 또한, 상기 초기화용 트랜지스터(T14, T24)가 듀얼 게이트로 구현됨으로써, 상기 초기화용 트랜지스터(T14, T24)가 오프인 구간 즉, 초기화구간을 제외한 프로그램구간과 발광구간에서 오프전류를 감소시켜 누설전류를 방지하게 되고, 이에 따라 제 1캐패시터(C11, C21)에 데이터를 안정적으로 유지할 수 있게 된다.
- <50> 도 3은 본 발명의 제 2실시예에 의한 유기 전계발광 표시장치의 화소 회로 구성을 나타내는 회로도이다.

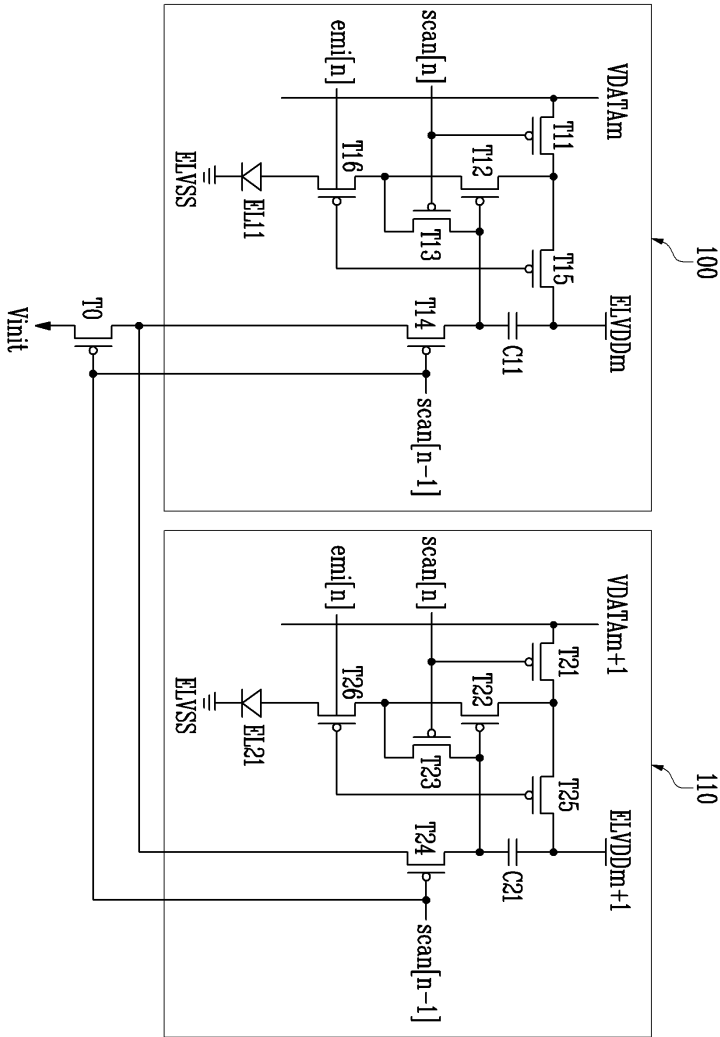
- <51> 도 3에 도시된 본 발명의 제 2실시예의 화소 회로의 각 구성요소 중 도 1에 도시된 제 1실시예의 화소 회로 구성과 동일한 구성요소에 대해서는 동일한 도면부호를 사용하며, 그 동작이 동일하므로 상세한 설명은 생략하도록 한다.
- <52> 앞서 도 1에 도시된 제 1실시예가 인접한 한 쌍의 화소(100, 110) 내에 구비된 초기화용 트랜지스터가 하나의 단일 트랜지스터(T0)와 연결되어 각각 듀얼 게이트로 구현되는 구조임을 특징으로 하는 반면, 도 3에 도시된 제 2실시예는, 적(R), 녹(G), 청(B)색을 각각 발광하여 하나의 단일 화소군을 구성하는 3개의 화소(100, 110, 120)에 대해, 상기 3개의 화소 내에 구비된 초기화용 트랜지스터(T14, T24, T34)가 하나의 단일 트랜지스터와 연결되어 각각 듀얼 게이트로 구현되는 구조이다.
- <53> 즉, 본 발명의 제 2실시예의 경우에도, 상기 초기화용 트랜지스터(T14, T24, T34)가 도시된 바와 같이 듀얼 게이트로 구현됨을 특징으로 하며, 특히 레이아웃 설계시 공간을 최적화할 수 있도록 상기 초기화용 트랜지스터를 듀얼 게이트로 구현함에 있어 단일 화소군을 구성하는 R, G, B 3개의 화소(100, 110, 120) 내에 구비된 초기화용 트랜지스터(T14, T24, T34)와 연결하여 형성함을 특징으로 한다.
- <54> 즉, 게이트 전극이 상기 인접한 3개의 화소 내에 각각 구비된 초기화용 트랜지스터(T14, T24, T34)의 게이트 전극과 연결되고, 소스 전극이 상기 각각의 초기화용 트랜지스터(T14, T24, T34)의 드레인 전극에 연결되며, 드레인 전극이 상기 초기화전압(Vinit)원에 연결되는 단일 트랜지스터(T0)가 더 구비되며, 이를 통해 상기 3개의 화소회로(100, 110, 120)에 구비된 각각의 초기화용 트랜지스터(T14, T24, T34)가 듀얼 게이트로 구현되는 것이다.

도면의 간단한 설명

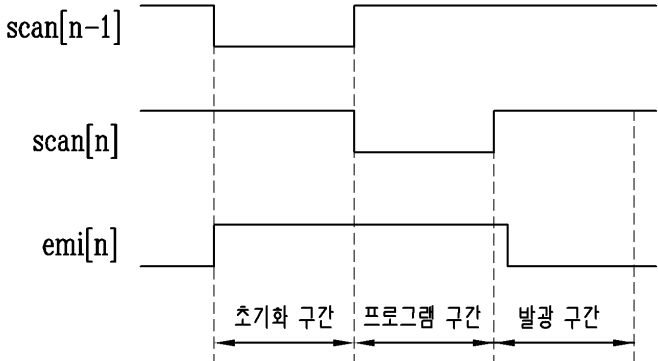
- <55> 도 1은 본 발명의 제 1실시예에 의한 유기 전계발광 표시장치의 화소 회로 구성을 나타내는 회로도.
- <56> 도 2는 도 1에 도시된 화소 회로의 구동 타이밍도.
- <57> 도 3은 본 발명의 제 2실시예에 의한 유기 전계발광 표시장치의 화소 회로 구성을 나타내는 회로도.

도면

도면1



도면2



专利名称(译)	有机电致发光显示装置		
公开(公告)号	KR100926634B1	公开(公告)日	2009-11-11
申请号	KR1020080048559	申请日	2008-05-26
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三圣母工作显示有限公司		
当前申请(专利权)人(译)	三圣母工作显示有限公司		
[标]发明人	HAEJIN CHUN 천해진		
发明人	천해진		
IPC分类号	G09G3/30 G09G3/32 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2320/043 G09G2300/0861 G09G3/325 G09G2310/0262		
代理人(译)	SHIN , YOUNG MOO		
外部链接	Espacenet		

摘要(译)

用途：提供有机发光显示装置，通过将初始晶体管与相邻的像素晶体管连接并实现双栅极晶体管来确保布局空间。组成：在有机发光显示设备中，有机电致发光显示设备包括多个像素。一个像素（100）包括开关晶体管（T11）响应于扫描信号传送特定电压电平的数据信号，并且驱动晶体管（T12）根据通过开关晶体管的特定电压电平的数据信号产生驱动电流。电容器（C11）存储传送到驱动晶体管的固定电压电平的数据信号，并且初始晶体管（T14）响应于先前的扫描信号对存储在电容器中的电压电平的数据信号进行放电。电致发光单元（EL11）响应于通过驱动晶体管的驱动电流而发光。像素的初始晶体管与包括在相邻像素中的初始晶体管（T24）连接，并形成双栅极晶体管。

