



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.
H05B 33/26 (2006.01)

(45) 공고일자 2007년05월25일
(11) 등록번호 10-0721945
(24) 등록일자 2007년05월18일

(21) 출원번호	10-2005-0074864
(22) 출원일자	2005년08월16일
심사청구일자	2005년08월16일

(65) 공개번호 10-2007-0020687
(43) 공개일자 2007년02월22일

(73) 특허권자 삼성에스디아이 주식회사
경기 수원시 영통구 신동 575

(72) 발명자 김양완
 경기 용인시 기흥읍 공세리 삼성SDI중앙연구소

(74) 대리인 박상수

(56) 선행기술조사문헌
KR1020060023671 A

KR1020060023672 A

심사관 : 추장희

전체 청구항 수 : 총 11 항

(54) 유기 전계발광 표시장치

(57) 요약

유기 EL 표시소자가 연결된 픽셀 회로에 따른 레이아웃 구조를 가지는 유기 EL 표시장치를 개시한다. 상기 유기 EL 표시소자를 구비하는 유기 EL 표시장치는 초기화 라인의 레이아웃을 데이터 라인과 대응되도록 배치시킴으로서, 상기 초기화 라인의 레이아웃 면적이 제한되지 않도록 형성한다. 또한, 상기 유기 EL 표시장치에 형성된 각 픽셀의 레이아웃 면적이 늘어남에 따라 증가된 픽셀 수를 가지는 상기 유기 EL 표시장치는 고해상도로 디스플레이된다.

대표도

도 3

특허청구의 범위

청구항 1.

박막트랜지스터부와 라인부로 구분되는 기판;

상기 기관 전면에 걸쳐 형성되는 층간 절연막;

상기 라인부에 형성되고, 상기 층간 절연막 상부에 패터닝시켜 형성하는 데이터 라인;

상기 박막트랜지스터부와 데이터 라인 상부를 포함하는 기판 전면에 걸쳐 형성하는 패시베이션막;

상기 라인부에 형성하고, 상기 패시베이션막 상부에 상기 데이터 라인과 대응되도록 패터닝시켜 형성하는 초기화 라인;

상기 패시베이션막 상부에 비어홀을 통하여 상기 박막트랜지스터부에 형성된 소스/드레인 전극 중 어느 하나의 전극과 연결하고, 패터닝시켜 형성하는 제 1 전극;

상기 제 1 전극 상에 유기 발광층을 포함하는 유기막; 및

상기 유기막 상부를 포함하는 기판 전면에 걸쳐 형성하는 제 2 전극으로 이루어진 유기 전계발광 표시소자를 구비하는 유기 전계발광 표시장치.

청구항 2.

제 1 항에 있어서, 상기 초기화 라인은 텅스텐(W), 크롬(Cr), 몰리브덴(Mo), 알루미늄(Al) 또는 은(Ag)과 같은 금속 물질을 포함하는 합금(ally) 중에 하나 또는 다수의 금속 물질인 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 3.

제 1 항에 있어서, 상기 데이터 라인은 텅스텐(W), 몰리브덴(Mo), 알루미늄(Al) 또는 은(Ag)과 같은 금속 물질을 포함하는 합금(ally) 중에 하나 또는 다수의 금속 물질인 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 4.

제 1 항에 있어서, 상기 유기 전계발광 표시소자는 상기 패시베이션막 상부에 평탄화막을 더 포함하는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 5.

제 4 항에 있어서, 상기 평탄화막은 상기 소스/드레인 전극 중에 어느 하나의 전극과 노출되도록 상기 패시베이션막과 일괄 식각하여 형성된 비어홀을 더 포함하는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 6.

제 5 항에 있어서, 상기 평탄화막은 아크릴계 수지, 벤조사이클로부텐 수지(BCB), 폴리이미드 수지(PI), SOG(Spin On Glass), 아크릴레이트(Acrylate) 또는 폴리 페놀 수지 중에 하나 또는 다수의 유기막인 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 7.

제 1 항에 있어서, 상기 유기 전계발광 표시소자는 상기 제 1 전극의 상부에 적어도 일부분을 노출시키는 개구부를 갖는 화소 정의막을 더 포함하는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 8.

제 7 항에 있어서, 상기 화소 정의막은 아크릴계 수지, 벤조사이클로부텐 수지(BCB), 폴리이미드 수지(PI), SOG(Spin On Glass), 아크릴레이트(Acrylate) 또는 폴리 페놀 수지 중에 하나 또는 다수의 유기막인 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 9.

박막트랜지스터부와 라인부로 구분되는 기판;

상기 기판 전면에 걸쳐 형성되는 층간 절연막;

상기 라인부에 형성되고, 상기 층간 절연막 상부에 패터닝시켜 형성하는 데이터 라인;

상기 박막트랜지스터부와 데이터 라인 상부를 포함하는 기판 전면에 걸쳐 형성하는 패시베이션막;

상기 패시베이션막 상부에 비어홀을 통하여 상기 박막트랜지스터부에 형성된 소스/드레인 전극 중 어느 하나의 전극과 연결되도록 형성하는 제 1 전극; 및

상기 라인부에 형성된 상기 패시베이션막 상부에 상기 데이터 라인과 대응되도록 상기 제 1 전극과 동시에 패터닝시켜 형성하는 초기화 라인;

상기 제 1 전극 상에 유기 발광층을 포함하는 유기막; 및

상기 유기막 상부를 포함하는 기판 전면에 걸쳐 형성하는 제 2 전극으로 이루어진 유기 전계발광 표시소자를 구비하는 유기 전계발광 표시장치.

청구항 10.

제 9 항에 있어서, 상기 초기화 라인은 상기 제 1 전극과 동일한 물질로 형성되는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 11.

제 10 항에 있어서, 상기 초기화 라인은 ITO 또는 IZO의 물질 중에 선택된 하나의 투명 전극인 것을 특징으로 하는 유기 전계발광 표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 EL 표시장치에 관한 것으로, 더욱 상세하게는 초기화 라인의 레이아웃을 데이터 라인과 대응되도록 배치 시킴으로써, 상기 초기화 라인의 레이아웃 면적이 제한되지 않도록 형성하고, 상기 유기 EL 표시장치에 형성된 각 픽셀의 레이아웃 면적이 늘어남에 따라 픽셀 수를 증가되며 고해상도로 디스플레이되는 유기 EL 표시장치에 관한 것이다.

일반적으로, 유기 EL 표시장치는 유리 기판 또는 투명한 유기 필름 위에 도포한 형광체에 전계를 인가하여 발광시키는 평면 자기 발광형 디스플레이이다. 전계발광(Electro Luminescence)이란 반도체로 이루어진 형광체에 전계가 인가될 때, 발광하는 현상을 가리킨다.

최근, 경량, 박형 등의 특성으로 휴대용 정보기기에 액정표시장치 LCD와 유기 EL 표시장치 OLED 등이 많이 사용되고 있다. 유기 EL 표시장치는 액정표시장치에 비하여 휘도특성 및 시야각 특성이 우수하여 차세대 평판표시장치로 주목받고 있다.

통상, 액티브 매트릭스 유기 EL 표시장치 AMOLED는 하나의 픽셀이 R, G, B 단위픽셀로 구성되고, 각 R, G, B 단위픽셀은 유기 EL 표시소자를 구비한다. 각 유기 EL 표시소자는 애노드 전극과 캐소드 전극사이에 각 R, G, B 유기발광층이 개재되어 애노드 전극과 캐소드 전극에 인가되는 전압에 비해 R, G, B 유기발광층으로부터 광이 발광된다.

또한, 액티브 매트릭스 유기 EL 표시장치 AMOLED는 전압 기입 방식(Voltage programming method) 또는 전류 기입 방식(Current programming method)을 사용하여 N*M 개의 유기 EL 표시소자들이 구동되게 한다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 상기 유기 EL 표시소자를 구비하는 유기 EL 표시장치는 초기화 라인의 레이아웃을 데이터 라인과 대응되도록 배치시킴으로써, 상기 초기화 라인의 레이아웃 면적이 제한되지 않도록 형성한다. 또한, 상기 유기 EL 표시장치에 형성된 각 픽셀의 레이아웃 면적이 늘어남에 따라 증가된 픽셀 수를 가지는 상기 유기 EL 표시장치는 고해상도로 디스플레이되는 것을 제공한다.

발명의 구성

상기 목적을 달성하기 위한 실시예에 따른 본 발명은, 박막트랜지스터부와 라인부로 구분되는 기판; 상기 기판 전면에 걸쳐 형성되는 층간 절연막; 상기 라인부에 형성되고, 상기 층간 절연막 상부에 패터닝시켜 형성하는 데이터 라인; 상기 박막트랜지스터부와 데이터 라인 상부를 포함하는 기판 전면에 걸쳐 형성하는 패시베이션막; 상기 라인부에 형성하고, 상기 패시베이션막 상부에 상기 데이터 라인과 대응되도록 패터닝시켜 형성하는 초기화 라인; 상기 패시베이션막 상부에 비어홀을 통하여 상기 박막트랜지스터부에 형성된 소스/드레인 전극 중 어느 하나의 전극과 연결하고, 패터닝시켜 형성하는 제 1 전극; 상기 제 1 전극 상에 적어도 유기 발광층을 포함하는 유기막; 및 상기 유기막 상부를 포함하는 기판 전면에 걸쳐 형성하는 제 2 전극으로 이루어진 유기 전계발광 표시소자를 구비하는 유기 전계발광 표시장치를 제공한다.

상기 목적을 달성하기 위한 다른 실시예에 따른 본 발명은, 박막트랜지스터부와 라인부로 구분되는 기판; 상기 기판 전면에 걸쳐 형성되는 층간 절연막; 상기 라인부에 형성되고, 상기 층간 절연막 상부에 패터닝시켜 형성하는 데이터 라인; 상기 박막트랜지스터부와 데이터 라인 상부를 포함하는 기판 전면에 걸쳐 형성하는 패시베이션막; 상기 패시베이션막 상부에 비어홀을 통하여 상기 박막트랜지스터부에 형성된 소스/드레인 전극 중 어느 하나의 전극과 연결되도록 형성하는 제 1 전극; 및 상기 라인부에 형성된 상기 패시베이션막 상부에 상기 데이터 라인과 대응되도록 상기 제 1 전극과 동시에 패터닝시켜 형성하는 초기화 라인; 상기 제 1 전극 상에 적어도 유기 발광층을 포함하는 유기막; 및 상기 유기막 상부를 포함하는 기판 전면에 걸쳐 형성하는 제 2 전극으로 이루어진 유기 전계발광 표시소자를 구비하는 유기 전계발광 표시장치를 제공한다.

이하, 본 발명은 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다.

실시예

도 1은 본 발명의 실시예에 따른 유기 전계발광 표시장치의 픽셀 회로를 도시한 회로도이다.

도 1를 참조하면, 상기 픽셀 회로는 구동 트랜지스터 M1, 제 1 스위칭 트랜지스터 M2, 제 2 스위칭 트랜지스터 M3, 초기화 트랜지스터 M4, 제 3 스위칭 트랜지스터 M5, 커패시터 Cst 및 발광제어 트랜지스터 M6을 가진다.

상기 초기화 트랜지스터 M4은 초기화 라인(110) 및 커패시터 Cst 사이에 연결된다. 상기 초기화 트랜지스터 M4은 이전 스캔 신호 scan[n-1]에 따라 온/오프 동작을 수행한다. 즉, 상기 초기화 트랜지스터 M4가 상기 이전 스캔 신호 scan[n-1]를 수신함에 의해 턴온되면, 상기 초기화 라인(110)을 통해 소정의 초기화 신호 Vinit를 커패시터 Cst에 전달한다.

또한, 상기 제 3 스위칭 트랜지스터 M3는 데이터 라인(115)과 상기 구동 트랜지스터 M1 사이에 연결된다. 즉, 현재 주사 라인(130)을 통해 현재 스캔 신호 scan[n]이 로우 레벨로 활성화되면, 상기 제 3 스위칭 트랜지스터 M3는 턴온되고, 상기 데이터 라인(115)을 통해 인가되는 데이터 전압 Vdata는 상기 구동 트랜지스터 M1에 인가된다.

또한, 상기 제 1 스위칭 트랜지스터 M2은 상기 제 3 스위칭 트랜지스터 M5와 구동 트랜지스터 M1의 게이트 단자 사이에 연결된다. 상기 제 1 스위칭 트랜지스터 M2은 현재 스캔 신호 scan[n]에 따라 온/오프 동작을 수행한다. 따라서, 현재 스캔 신호 scan[n]에 의해 상기 제 1 스위칭 트랜지스터 M2이 턴온된 경우, 구동 트랜지스터 M1의 게이트 단자와 드레인 단자는 전기적으로 단락되는 구조를 가진다.

또한, 상기 구동 트랜지스터 M1는 제 1 스위칭 트랜지스터 M2와 발광제어 트랜지스터 M6 사이에 연결된다. 상기 구동 트랜지스터 M1는 현재 스캔 신호 scan[n]이 로우 레벨로 활성화되면, 제 1 스위칭 트랜지스터 M2의 턴온에 의해 다이오드 연결된 트랜지스터가 된다. 즉, 상기 제 2 스위칭 트랜지스터 M3를 통해 상기 데이터 전압 Vdata가 인가됨에 따라, 상기 구동 트랜지스터 M1의 게이트 단자 전압은 $V_{data} - |V_{th}|$ 가 된다. 따라서, 커패시터 Cst의 일측 단자에는 $V_{data} - |V_{th}|$ 의 전압이 인가된다.

또한, 상기 제 3 스위칭 트랜지스터 M5는 제 1 스위칭 트랜지스터 M2 및 구동 트랜지스터 M1가 공통 연결된 노드와 양(+)의 전원 전압 ELVDD를 공급하는 제 1 전원 라인(120) 사이에 연결된다. 즉, 상기 제 3 스위칭 트랜지스터 M5의 게이트 단자에는 발광제어 라인(135)을 통하여 발광 제어 신호 EM[n]이 입력된다. 따라서, 상기 제 3 스위칭 트랜지스터 M5는 상기 발광 제어 신호 EM[n]에 따라 온/오프 동작을 수행한다. 제3 스위칭 트랜지스터 M5가 턴온된 경우, 상기 제 1 전원 라인(120)로부터 공급되는 양(+)의 전원 전압 ELVDD는 구동 트랜지스터 M1에 인가되고, 상기 구동 트랜지스터 M1는 구동 전류를 발생한다.

또한, 상기 커패시터 Cst은 상기 제 1 전원 라인(120)과 초기화 트랜지스터 M4 사이에 연결된다. 즉, 상기 커패시터 Cst은 상기 구동 트랜지스터 M1의 게이트 단자에도 연결된다. 상기 현재 스캔 신호 scan[n]이 로우 레벨로 활성화된 경우, 제 1 스위칭 트랜지스터 M2의 턴온 동작에 의해 상기 구동 트랜지스터 M1는 다이오드 연결된 구조를 가지며, 제 2 스위칭 트랜지스터 M3의 턴온 동작에 의해 상기 데이터 라인(115)상의 데이터 전압 Vdata는 상기 구동 트랜지스터 M1에 인가된다.

따라서, 상기 구동 트랜지스터 M1의 게이트 단자 및 커패시터 Cst의 일측 단자에는 $V_{data} - |V_{th}|$ 가 인가된다. 즉, 상기 현재 스캔 신호 scan[n]이 인가되는 동안 커패시터 Cst은 $ELVDD - (V_{data} - |V_{th}|)$ 의 전위차를 가진다.

또한, 상기 발광제어 트랜지스터 M6은 상기 구동 트랜지스터 M1와 유기 전계발광 표시소자 OLED 사이에 연결된다. 상기 발광제어 트랜지스터 M6의 게이트 단자에는 상기 발광제어 라인(135)을 통하여 발광제어 신호 EM[n]이 인가된다. 즉, 발광제어 신호 EM[n]은 제 3 스위칭 트랜지스터 M5와 발광제어 트랜지스터 M6의 게이트 단자들에 공통으로 인가된다. 상기 발광제어 신호 EM[n]이 로우 레벨로 활성화되는 경우, 제 3 스위칭 트랜지스터 M5 및 발광제어 트랜지스터 M6은 턴온된다.

상기 제 3 스위칭 트랜지스터 M5의 턴온에 의해 양(+)의 전원 전압 ELVDD는 구동 트랜지스터 M1에 인가되고, 구동 트랜지스터 M1는 문턱 전압(V_{th})을 보상하면서, 상기 데이터 전압 Vdata에 상응하는 구동 전류를 생성한다. 상기 구동 트랜지스터 M1에서 발생된 구동 전류는 상기 발광제어 트랜지스터 M6을 통해 유기 전계발광 표시소자 OLED로 흐르며, 상기 유기 전계발광 표시소자 OLED는 발광 동작을 개시한다.

즉, 상기 유기 전계발광 표시소자 OLED에 인가되는 구동 전류는[수학식 1]과 같이 표현된다.

수학식 1

$$I_{OLED} = \frac{\beta}{2} (ELVDD - (V_{data} - |V_{th}|) - |V_{th}|)^2$$

$$= \frac{\beta}{2} (ELVDD - V_{data})^2$$

삭제

다음, 상기 유기 전계발광 표시소자 OLED는 상기 발광제어 트랜지스터 M6와 음(-)의 접지 전압 ELVSS를 공급하는 제 2 전원 라인(125) 사이에 연결된다. 상기 유기 전계발광 표시소자 OLED의 애노드 전극은 상기 발광제어 트랜지스터 M6에 연결되고, 상기 유기 전계발광 표시소자 OLED의 캐소드 전극은 음(-)의 접지 전압 ELVSS를 공급하는 제 2 전원 라인(125)에 연결된다.

이에 따라, 상기 유기 전계발광 표시장치의 픽셀 회로는 커패시터의 초기화, 데이터 전압 Vdata의 저장 및 디스플레이 동작을 순차적으로 수행한다.

도 2는 본 발명의 실시예에 따른 유기 전계발광 표시장치의 픽셀 회로에 대한 레이아웃을 도시한 평면도이다.

도 2를 참조하면, 유기 전계발광 표시장치의 픽셀 회로에 대한 레이아웃의 평면도는 상기 도 1에서 보여지는 유기 전계발광 표시장치의 픽셀 회로를 구체적으로 나타낸 레이아웃이다. 즉, 상기 레이아웃의 평면도는 상기 도 1에서 명명된 부호에 대한 설명과 일치하는 바이고, 상기 도 1에서 상기 유기 전계발광 표시장치의 픽셀 회로에 대한 자세한 설명은 이미 언급하였으므로 별도의 반복적이고 추가적인 설명은 배제한다.

단, 상기 도 2에서 명명된 부호에 대한 설명은 반복 기재한다. 즉, 상기 도 2에서 명명된 부호에 대한 설명은 구동 트랜지스터 M1, 제 1 스위칭 트랜지스터 M2, 제 2 스위칭 트랜지스터 M3, 초기화 트랜지스터 M4, 제 3 스위칭 트랜지스터 M5, 커패시터 Cst 및 발광제어 트랜지스터 M6로 명명한다.

도 3은 본 발명의 실시예에 따른 유기 전계발광 표시장치의 픽셀 회로에 대한 레이아웃 구조를 보여주기 위해 도시한 단면도이다.

도 3를 참조하면, 유기 전계발광 표시장치의 픽셀 회로에 대한 레이아웃의 단면도는 박막트랜지스터부(A)와 라인부(B)로 형성된다.

즉, 상기 레이아웃에 따른 제조 공정은 유리나 합성 수지 등으로 이루어진 기판(200)을 구비하며, 상기 기판(200) 상부로 부터 유출되는 불순물을 막아 주기 위해 실리콘 산화막, 실리콘 질화막 및 실리콘 산화막/질화막(SiO₂/SiNx)의 적층막 중에 하나를 선택하여 버퍼층(210)을 형성한다.

단, 상기 버퍼층(210)은 반드시 형성되어야 하는 것은 아니며, 선택적으로 형성하는 것이 바람직하다.

다음 제조 공정은 상기 기판 전면에 걸쳐 비정질 실리콘막을 도포하고 결정화시켜 폴리 실리콘막을 형성한 후, 상기 폴리 실리콘막을 패터닝하여 상기 박막트랜지스터부(A)에 반도체층 패턴(220)이 구비되도록 하고, 상기 기판 전면에 걸쳐 게이트 절연막(230)을 형성한다.

다음은 상기 게이트 절연막(230) 상부에 상기 박막트랜지스터부(A)에 정의된 상기 반도체층 패턴(200)의 채널 영역과 대응되도록 게이트 전극 물질을 증착 및 패터닝하여 금속막 패턴(240)을 형성하고 상기 금속막 패턴(240)을 마스크로 하여 상기 박막트랜지스터부(A)의 반도체층 패턴(220)을 이온 도핑함으로써, 소스 영역과 드레인 영역을 정의한다.

여기서, 상기 게이트 전극 물질은 크롬(Cr), 몰리브덴(Mo), 알루미늄(Al) 또는 은(Ag)과 같은 금속 물질을 포함하는 합금(ally) 중에 적어도 하나의 금속 물질로 이루어진다.

다음은 상기 기판 전면에 걸쳐 층간 절연막(250)을 형성하고, 상기 박막트랜지스터부(A)에서 층간 절연막(250)과 게이트 절연막(230)을 관통시켜 상기 반도체층 패턴(220)의 소스 영역과 드레인 영역의 소정의 일부분이 노출되도록 콘택홀(260)을 형성한다.

다음은 상기 박막트랜지스터부(A)에 콘택홀(260)을 통하여 층간 절연막(250) 상부와 반도체층 패턴(220)의 소스/드레인 영역이 각각 연결되도록 소스/드레인 전극 물질을 증착하고 패터닝하여 소스/드레인 전극(270)을 형성한다.

또한, 상기 라인부(B)에 소스/드레인 전극 물질을 증착하고 패터닝하여 데이터 라인을 통하여 데이터 신호가 인가되도록 하는 데이터 라인(280)을 형성한다.

여기서, 상기 소스/드레인 전극 물질은 텅스텐(W), 몰리브덴(Mo), 알루미늄(Al) 또는 은(Ag)과 같은 금속 물질을 포함하는 합금(ally) 중에 적어도 하나의 금속 물질로 이루어진다.

다음에 이어지는 제조 공정은 상기 박막트랜지스터부(A)와 라인부(B)를 포함하는 상기 기판 전면에 걸쳐 실리콘 산화막(SiO₂), 실리콘 질화막(SiN_x) 및 이들의 적층막 중에 하나를 선택하여 패시베이션막(290)을 형성한다. 또한, 상기 패시베이션막(290) 상부에 아크릴계 수지, 벤조사이클로부텐 수지(BCB), 폴리이미드 수지(PI), SOG(Spin On Glass), 아크릴레이트(Acrylate) 또는 폴리 페놀 수지 중에 적어도 하나의 유기막인 평탄화막(300)을 형성한다.

다음은 상기 라인부(B)에 형성된 상기 평탄화막(300) 상부에 상기 데이터 라인(280)과 대응되도록 상기 게이트 전극 물질 또는 소스/드레인 전극 물질을 증착하고 패터닝하여 초기화 라인(330)을 형성한다.

다음은 상기 박막트랜지스터부(A)에 형성된 상기 평탄화막(300)과 패시베이션막(290)을 일괄식각하여 상기 소스/드레인 전극의 일부분이 노출되도록 비어홀(310)을 형성하고, 상기 비어홀(310)을 통하여 상기 소스/드레인 전극과 연결되도록 패터닝하여 제 1 전극(320)을 형성한다.

여기서, 상기 초기화 라인(330)이 상기 제 1 전극(320)을 형성하는 물질인 ITO 또는 IZO의 투명 전극으로 형성될 경우, 상기 초기화 전극(330)은 상기 제 1 전극(320)과 동시에 증착되고 패터닝되어 형성됨에 유의한다.

다음에 이어지는 제조 공정은 상기 제 1 전극(320) 및 초기화 라인(330)이 형성된 기판 전면에 걸쳐 화소 분리층으로 사용되는 화소 정의막(340)을 도포한 후, 패터닝하여 상기 제 1 전극(320)의 상부 표면의 일부가 노출되도록 개구부(350)를 형성하고 상기 개구부(350) 내에 노출된 상기 제 1 전극(320) 상부에 유기 발광층을 포함하는 유기막(360) 및 상기 유기막 상부를 포함하는 기판 전면에 걸쳐 형성하는 제 2 전극(370)을 형성한다.

여기서, 상기 제 1 전극이 애노드 전극인 경우, 제 2 전극은 캐소드 전극이며 반대로 상기 제 1 전극이 캐소드 전극인 경우 제 2 전극은 애노드 전극이다.

다시말해, 상기 제 1 전극(320)을 형성하는 물질은 ITO 또는 IZO의 투명 전극이며, 상기 제 2 전극(370)을 형성하는 물질은 마그네슘(Mg), 은(Ag)과 같은 금속 물질을 포함하는 합금(ally) 중에 적어도 하나의 금속 물질로 이루어진다.

여기서, 상기 화소 정의막(340)은 아크릴계 수지, 벤조사이클로부텐 수지(BCB), 폴리이미드 수지(PI), SOG(Spin On Glass), 아크릴레이트(Acrylate) 또는 폴리 페놀 수지 중에 적어도 하나의 물질로 이루어진다.

본 발명의 실시예에 따라, 상기 유기 전계발광 표시소자를 구비하는 유기 전계발광 표시장치는 초기화 라인의 레이아웃을 데이터 라인과 대응되도록 배치시킴으로서, 상기 초기화 라인의 레이아웃 면적이 제한되지 않도록 형성한다. 또한, 상기 유기 전계발광 표시장치에 형성된 각 픽셀의 레이아웃 면적이 늘어남에 따라 픽셀 수를 증가된 상기 유기 전계발광 표시장치는 고해상도(高解像度)로 디스플레이된다.

상기에서는 본 발명의 바람직한 실시 예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

발명의 효과

상술한 본 발명에 따르면, 상기 유기 EL 표시소자를 구비하는 유기 EL 표시장치는 초기화 라인의 레이아웃을 데이터 라인과 대응되도록 배치시킴으로서, 상기 초기화 라인의 레이아웃 면적이 제한되지 않도록 형성한다. 또한, 상기 유기 EL 표시장치에 형성된 각 픽셀의 레이아웃 면적이 늘어남에 따라 증가된 픽셀 수를 가지는 상기 유기 EL 표시장치는 고해상도로 디스플레이된다.

도면의 간단한 설명

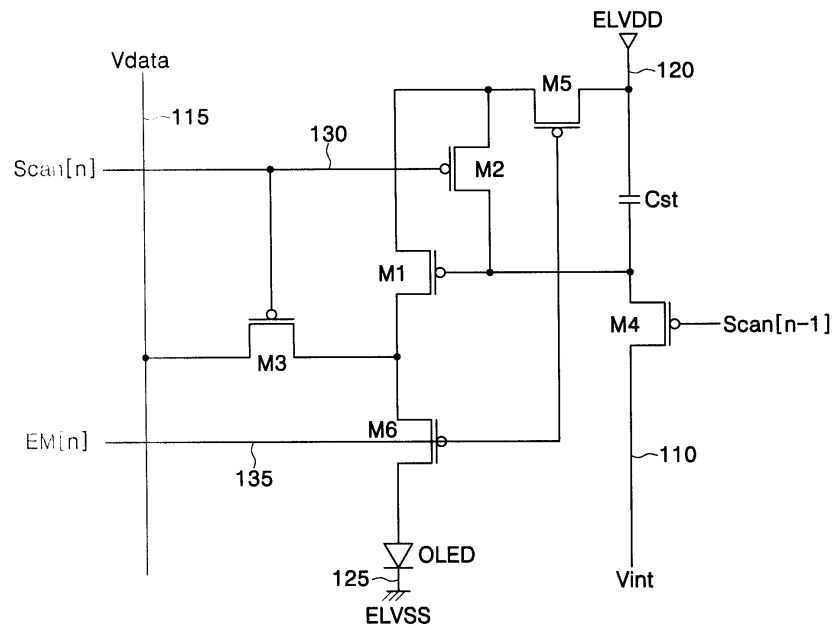
도 1은 본 발명의 실시예에 따른 유기 전계발광 표시장치의 픽셀 회로를 도시한 회로도이다.

도 2는 본 발명의 실시예에 따른 유기 전계발광 표시장치의 픽셀 회로에 대한 레이아웃을 도시한 평면도이다.

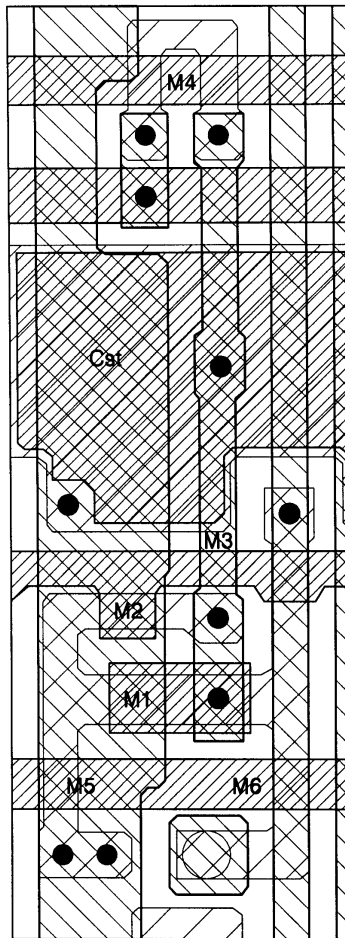
도 3은 본 발명의 실시예에 따른 유기 전계발광 표시장치의 픽셀 회로에 대한 레이아웃 구조를 보여주기 위해 도시한 단면도이다.

도면

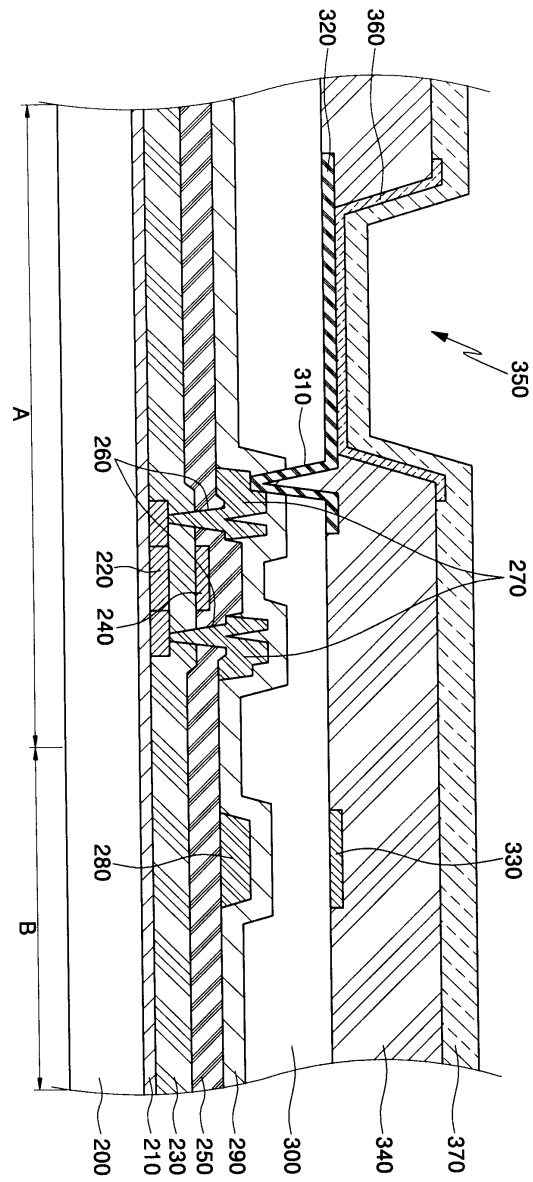
도면1



도면2



도면3



专利名称(译)	有机电致发光显示装置		
公开(公告)号	KR100721945B1	公开(公告)日	2007-05-25
申请号	KR1020050074864	申请日	2005-08-16
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	KIM YANG WAN 김양완		
发明人	김양완		
IPC分类号	H05B33/26		
CPC分类号	H01L27/124 H01L27/3248 H01L27/3211 H01L51/5203 H01L51/5012 H01L2251/306 H01L2251/308 H01L2924/12044		
代理人(译)	Baksangsu		
其他公开文献	KR1020070020687A		
外部链接	Espacenet		

摘要(译)

目的：提供一种有机电致发光显示装置，通过增加有机电致发光显示装置上形成的每个像素的布局面积，在具有增加的像素数的有机电致发光显示装置中显示高分辨率。组成：基板（200）分为薄膜晶体管单元和线路单元。层间绝缘膜（250）形成在基板（200）的前平面上。通过图案化层间绝缘膜（250）的上部，在线单元上形成数据线（280）。钝化膜（290）形成在基板（200）的前平面上，该基板包括薄膜晶体管单元和数据线的上部。通过将钝化膜（290）的上部图案化以对应于数据线，在线单元上形成初始化线（330）。通过图案化并连接到源/漏电极的一个电极来形成第一电极（320），所述源/漏电极的一个电极通过钝化膜（290）的上部上的通孔形成在薄膜晶体管单元上。有机膜（360）在第一电极（320）上至少具有有机发光层。第二电极（370）形成在包括有机膜（360）的上部的基板（200）的前平面上。©KIPO 2007

