



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. G09G 3/30 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년01월16일 10-0670372 2007년01월10일
--------------------------------------	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2005-0121943 2005년12월12일 2005년12월12일	(65) 공개번호 (43) 공개일자
----------------------------------	---	------------------------

(73) 특허권자	삼성에스디아이 주식회사 경기 수원시 영통구 신동 575
(72) 발명자	신동용 경기 용인시 기흥읍 공세리 428-5
(74) 대리인	리엔목특허법인

심사관 : 최정윤

전체 청구항 수 : 총 30 항

(54) 유기발광 표시장치

(57) 요약

본 발명은 구동장치에 동일타입의 트랜지스터를 사용하여 제조비용이 저감되는 유기발광 표시장치를 제공하는 것을 목적으로 한다.

이와 같은 목적을 달성하기 위하여, 본 발명은, 데이터신호, 부스트신호, 선택신호 및 발광신호를 각각 전달하는 복수의 데이터선, 복수의 부스트주사선, 복수의 선택주사선, 및 복수의 발광주사선과, 데이터선과 선택주사선에 의해 정의되는 복수의 화소에 각각 형성되는 복수의 화소회로와, 부스트신호를 출력하는 제1 주사 구동부를 포함하는 유기발광 표시장치에 있어서, 제1 주사 구동부는 복수의 부스트회로를 포함하고, 부스트회로는, 복수개의 동일 타입의 트랜지스터를 포함하고, 입력신호, 클럭신호 및 클럭바 신호가 입력되고, 출력신호가 출력되며, 부스트회로에서, 입력신호가 인에이블, 클럭신호가 디스에이블, 클럭바신호가 인에이블인 경우에, 출력신호는 디스에이블이고, 디스에이블 출력신호 이후에, 입력신호가 디스에이블, 클럭신호가 인에이블, 클럭바신호가 디스에이블인 경우에, 출력신호는 인에이블인 유기발광 표시장치를 제공한다.

대표도

도 8

특허청구의 범위

청구항 1.

데이터신호, 부스트신호, 선택신호 및 발광신호를 각각 전달하는 복수의 데이터선, 복수의 부스트주사선, 복수의 선택주사선, 및 복수의 발광주사선과, 상기 데이터선과 상기 선택주사선에 의해 정의되는 복수의 화소에 각각 형성되는 복수의 화소회로와, 상기 부스트신호를 출력하는 제1 주사 구동부를 포함하는 유기발광 표시장치에 있어서,

상기 제1 주사 구동부는 복수의 부스트회로를 포함하고,

상기 부스트회로는, 복수개의 동일 타입의 트랜지스터를 포함하고, 입력신호, 클럭신호 및 클럭바 신호가 입력되고, 출력신호가 출력되며,

상기 부스트회로에서, 상기 입력신호가 인에이블, 상기 클럭신호가 디스에이블, 상기 클럭바신호가 인에이블인 경우에, 상기 출력신호는 디스에이블이고, 상기 디스에이블 출력신호 이후에, 상기 입력신호가 디스에이블, 상기 클럭신호가 인에이블, 상기 클럭바신호가 디스에이블인 경우에, 상기 출력신호는 인에이블인 유기발광 표시장치.

청구항 2.

제1항에 있어서, 상기 부스트회로에서,

상기 입력신호가 디스에이블, 상기 클럭신호가 디스에이블, 상기 클럭바신호가 인에이블인 경우에 상기 출력신호는 디스에이블이고,

상기 디스에이블 출력신호 이후에, 상기 입력신호가 디스에이블, 상기 클럭신호가 인에이블, 상기 클럭바신호가 디스에이블인 경우에 상기 출력신호는 디스에이블인 유기발광 표시장치.

청구항 3.

제2항에 있어서, 상기 부스트회로는,

상기 클럭바신호에 응답하여 상기 입력신호를 제1 노드로 전달하는 제1 트랜지스터;

제1 노드의 신호에 응답하여 상기 클럭신호를 제2 노드로 전달하는 제2 트랜지스터;

상기 클럭바신호에 응답하여 제1 전압원의 인에이블 레벨을 제3 노드에 전달하는 제3 트랜지스터;

상기 제1 노드의 신호에 응답하여 상기 클럭바신호를 상기 제3 노드로 전달하는 제4 트랜지스터; 및

상기 제3 노드의 신호에 응답하여 제2 전압원의 디스에이블 레벨을 상기 제2 노드에 전달하는 제5 트랜지스터를 포함하고,

상기 제2 노드의 신호가 상기 출력신호인 유기발광 표시장치.

청구항 4.

제3항에 있어서, 상기 부스트회로는,

상기 제2 트랜지스터의 제어전극과 제1 주전극 사이에 전기적으로 연결되어, 상기 제1 노드의 인에이블 레벨과 상기 제2 노드의 디스에이블 레벨의 전위차를 충전하는 제1 커패시터를 더 포함하는 유기발광 표시장치.

청구항 5.

제4항에 있어서,

상기 복수의 부스트회로 중 제1 부스트회로에는, 클럭신호로 제1 제어신호가, 클럭바신호로 제2 제어신호가, 입력신호로 부스트입력신호가 입력되어, 출력신호가 출력되며, 상기 출력신호는 제1 부스트신호가 되고,

상기 복수의 부스트회로 중 제2 부스트회로에는 클럭신호로 상기 제2 제어신호가, 클럭바신호로 상기 제1 제어신호가, 입력신호로 상기 제1 부스트신호가 입력되어, 출력신호가 출력되며, 상기 출력신호는 제2 부스트신호가 되는 유기발광 표시장치.

청구항 6.

데이터신호, 부스트신호, 선택신호 및 발광신호를 각각 전달하는 복수의 데이터선, 복수의 부스트주사선, 복수의 선택주사선, 및 복수의 발광주사선과, 상기 데이터선과 상기 선택주사선에 의해 정의되는 복수의 화소에 각각 형성되는 복수의 화소회로와, 상기 부스트신호를 출력하는 제1 주사 구동부를 포함하는 유기발광 표시장치에 있어서,

상기 제1 주사 구동부는 복수의 부스트회로를 포함하고,

상기 부스트회로는, 복수개의 동일 타입의 트랜지스터를 포함하고, 입력신호, 클럭신호, 클럭바 및 제2 클럭신호가 입력되고, 출력신호 및 부스트신호가 출력되며,

상기 부스트회로에서, 상기 입력신호가 인에이블, 상기 클럭신호가 디스에이블, 상기 클럭바신호가 인에이블, 상기 제2 클럭신호가 디스에이블인 경우에, 상기 출력신호 및 부스트신호는 디스에이블이고,

상기 디스에이블 출력신호 및 디스에이블 부스트신호 이후에, 상기 입력신호가 디스에이블, 상기 클럭신호가 인에이블, 상기 클럭바신호가 디스에이블, 상기 제2 클럭신호가 인에이블인 경우에, 상기 출력신호 및 상기 부스트신호는 인에이블인 유기발광 표시장치.

청구항 7.

제6항에 있어서, 상기 부스트회로에서,

상기 입력신호가 디스에이블, 상기 클럭신호가 디스에이블, 상기 클럭바신호가 인에이블, 상기 제2 클럭신호가 디스에이블인 경우에, 상기 출력신호 및 제2 클럭신호는 디스에이블이고,

상기 디스에이블 출력신호 및 상기 디스에이블 제2 클럭신호 이후에, 상기 입력신호가 디스에이블, 상기 클럭신호가 인에이블, 상기 클럭바신호가 디스에이블, 상기 제2 클럭신호가 인에이블인 경우에, 상기 출력신호 및 부스트신호는 디스에이블인 유기발광 표시장치.

청구항 8.

제7항에 있어서, 상기 부스트회로는,

상기 클럭바신호에 응답하여 상기 입력신호를 제1 노드로 전달하는 제1 트랜지스터;

제1 노드의 신호에 응답하여 상기 클럭신호를 제2 노드로 전달하는 제2 트랜지스터;

상기 클럭바신호에 응답하여 제1 전압원의 인에이블 레벨을 제3 노드에 전달하는 제3 트랜지스터;

상기 제1 노드의 신호에 응답하여 상기 클럭바신호를 상기 제3 노드로 전달하는 제4 트랜지스터;

상기 제3 노드의 신호에 응답하여 제2 전압원의 디스에이블 레벨을 상기 제2 노드에 전달하는 제5 트랜지스터;

상기 제1 노드의 신호에 응답하여 상기 제2 클럭신호를 제4 노드에 전달하는 제6 트랜지스터; 및

상기 제3 노드의 신호에 응답하여 제3 전압원의 디스에이블 레벨을 제4 노드로 전달하는 제7 트랜지스터;를 포함하고,

상기 제2 노드의 신호가 상기 출력신호이고, 상기 제4 노드의 신호가 상기 부스트신호인 유기발광 표시장치.

청구항 9.

제8항에 있어서, 상기 부스트회로는,

상기 제2 트랜지스터의 제어전극과 제1 주전극 사이에 전기적으로 연결되어, 상기 제1 노드의 인에이블 레벨과 상기 제2 노드의 디스에이블 레벨의 전위차를 충전하는 제1 커패시터를 더 포함하는 유기발광 표시장치.

청구항 10.

제9항에 있어서,

상기 복수의 부스트회로 중 제1 부스트회로에는, 클럭신호로 제1 제어신호가, 클럭바신호로 제2 제어신호가, 제2 클럭신호로 제3 제어신호가, 입력신호로 부스트입력신호가 입력되어, 제1 출력신호 및 제1 부스트신호가 출력되며,

상기 복수의 부스트회로 중 제2 부스트회로에는 클럭신호로 상기 제2 제어신호가, 클럭바신호로 상기 제1 제어신호가, 제2 클럭신호로 제4 제어신호가, 입력신호로 상기 제1 출력신호가 입력되어, 제2 출력신호 및 제2 부스트신호가 출력되는 유기발광 표시장치.

청구항 11.

제8항에 있어서,

상기 부스트신호의 인에이블 구간의 펄스폭은 상기 제2 클럭신호의 인에이블 구간의 펄스폭에 따라 결정되는 유기발광 표시장치.

청구항 12.

제8항에 있어서,

상기 부스트신호의 인에이블 레벨과 디스에이블 레벨의 전위차는 상기 제2 클럭신호의 인에이블 레벨과 상기 제3 전압원의 디스에이블 레벨의 전위차에 의해 결정되는 유기발광 표시장치.

청구항 13.

제12항에 있어서,

상기 제1 전압원, 제2 전압원 및 제3 전압원의 전압을 각각 V1, V2, V3 라 하면, $V1 < V3 < V2$ 또는 $V1 < V3 = V2$ 인 유기발광 표시장치.

청구항 14.

제1항 또는 제6항에 있어서,

상기 유기발광 표시장치는 상기 선택신호를 출력하는 제2 주사 구동부를 더 포함하며,

상기 제2 주사 구동부는 복수의 선택회로를 포함하고,

상기 선택회로는, 복수개의 동일 타입의 트랜지스터를 포함하고, 입력신호, 클럭신호 및 클럭바신호가 입력되고, 출력신호가 출력되며,

상기 선택회로에서, 상기 입력신호가 인에이블, 상기 클럭신호가 디스에이블, 상기 클럭바신호가 인에이블인 경우에, 상기 출력신호는 디스에이블이고, 상기 디스에이블 출력신호 이후에, 상기 입력신호가 디스에이블, 상기 클럭신호가 인에이블, 상기 클럭바신호가 디스에이블인 경우에, 상기 출력신호는 인에이블인 유기발광 표시장치.

청구항 15.

제14항에 있어서, 상기 선택회로에서,

상기 입력신호가 디스에이블, 상기 클럭신호가 디스에이블, 상기 클럭바신호가 인에이블인 경우에, 상기 출력신호는 디스에이블이고,

상기 디스에이블 출력신호 이후에, 상기 입력신호가 디스에이블, 상기 클럭신호가 인에이블, 상기 클럭바신호가 디스에이블인 경우에, 상기 출력신호는 디스에이블인 유기발광 표시장치.

청구항 16.

제15항에 있어서, 상기 선택회로는,

상기 클럭바신호에 응답하여 상기 입력신호를 제5 노드로 전달하는 제8 트랜지스터;

제5 노드의 신호에 응답하여 상기 클럭신호를 제6 노드로 전달하는 제9 트랜지스터;

상기 클럭바신호에 응답하여 제4 전압원의 인에이블 레벨을 제7 노드에 전달하는 제10 트랜지스터;

상기 제1 노드의 신호에 응답하여 상기 클럭바신호를 상기 제7 노드로 전달하는 제11 트랜지스터; 및

상기 제7 노드의 신호에 응답하여 제5 전압원의 디스에이블 레벨을 상기 제6 노드에 전달하는 제12 트랜지스터를 포함하고,

상기 제6 노드의 신호가 상기 출력신호인 유기발광 표시장치.

청구항 17.

제16항에 있어서, 상기 선택회로는,

상기 제9 트랜지스터의 제어전극과 제1 주전극 사이에 전기적으로 연결되어, 상기 제5 노드의 인에이블 레벨과 상기 제6 노드의 디스에이블 레벨의 전위차를 충전하는 제2 커패시터를 더 포함하는 유기발광 표시장치.

청구항 18.

제9항에 있어서,

상기 복수의 선택회로 중 제1 선택회로에는, 클럭신호로 제5 제어신호가, 클럭바신호로 제6 제어신호가, 입력신호로 선택 입력신호가 입력되어, 출력신호가 출력되며, 상기 출력신호는 제1 선택신호가 되고,

상기 복수의 선택회로 중 제2 선택회로에는 클럭신호로 상기 제6 제어신호가, 클럭바신호로 상기 제5 제어신호가, 입력신호로 상기 제1 선택신호가 입력되어, 출력신호가 출력되며, 상기 출력신호는 제2 선택신호가 되는 유기발광 표시장치.

청구항 19.

데이터신호, 부스트신호, 선택신호 및 발광신호를 각각 전달하는 복수의 데이터선, 복수의 부스트주사선, 복수의 선택주사선, 및 복수의 발광주사선과, 상기 데이터선과 상기 선택주사선에 의해 정의되는 복수의 화소에 각각 형성되는 복수의 화소회로와, 상기 부스트신호 및 선택신호를 출력하는 제1 주사 구동부를 포함하는 유기발광 표시장치에 있어서,

상기 제1 주사 구동부는 복수의 부스트 선택 회로를 포함하고,

상기 부스트 선택 회로는, 복수개의 동일 타입의 트랜지스터를 포함하고, 입력신호, 클럭신호, 클럭바신호, 제2 클럭신호 및 제3 클럭신호가 입력되고, 출력신호, 부스트신호 및 선택신호가 출력되며,

상기 부스트 선택 회로에서, 상기 입력신호가 인에이블, 상기 클럭신호가 디스에이블, 상기 클럭바신호가 인에이블, 상기 제2 클럭신호가 디스에이블, 상기 제3 클럭신호가 디스에이블인 경우에, 상기 출력신호, 부스트신호 및 선택신호는 디스에이블이고,

상기 디스에이블 출력신호, 디스에이블 부스트신호 및 디스에이블 선택신호 이후에, 상기 입력신호가 디스에이블, 상기 클럭신호가 인에이블, 상기 클럭바신호가 디스에이블, 상기 제2 클럭신호가 인에이블, 제3 클럭신호가 인에이블인 경우에, 상기 출력신호, 부스트신호 및 선택신호는 인에이블인 유기발광 표시장치.

청구항 20.

제19항에 있어서, 상기 부스트 선택 회로에서,

상기 입력신호가 디스에이블, 상기 클럭신호가 디스에이블, 상기 클럭바신호가 인에이블, 상기 제2 클럭신호가 디스에이블, 상기 제3 클럭신호가 디스에이블인 경우에, 상기 출력신호, 부스트신호 및 선택신호는 디스에이블이고,

상기 디스에이블 출력신호, 디스에이블 부스트신호 및 디스에이블 선택신호 이후에, 상기 입력신호가 디스에이블, 상기 클럭신호가 인에이블, 상기 클럭바신호가 디스에이블, 상기 제2 클럭신호가 인에이블, 제3 클럭신호가 인에이블인 경우에, 상기 출력신호, 부스트신호 및 선택신호는 디스에이블인 유기발광 표시장치.

청구항 21.

제20항에 있어서, 상기 부스트 선택 회로는,

상기 클럭바신호에 응답하여 상기 입력신호를 제1 노드로 전달하는 제1 트랜지스터;

제1 노드의 신호에 응답하여 상기 클럭신호를 제2 노드로 전달하는 제2 트랜지스터;

상기 클럭바신호에 응답하여 제1 전압원의 인에이블 레벨을 제3 노드에 전달하는 제3 트랜지스터;

상기 제1 노드의 신호에 응답하여 상기 클럭바신호를 상기 제3 노드로 전달하는 제4 트랜지스터;

상기 제3 노드의 신호에 응답하여 제2 전압원의 디스에이블 레벨을 상기 제2 노드에 전달하는 제5 트랜지스터;

상기 제1 노드의 신호에 응답하여 상기 제2 클럭신호를 제4 노드에 전달하는 제6 트랜지스터;

상기 제3 노드의 신호에 응답하여 제3 전압원의 디스에이블 레벨을 상기 제4 노드로 전달하는 제7 트랜지스터;

상기 제1 노드의 신호에 응답하여 상기 제3 클럭신호를 제5 노드에 전달하는 제8 트랜지스터; 및

상기 제3 노드의 신호에 응답하여 제4 전압원의 디스에이블 레벨을 상기 제5 노드에 전달하는 제9 트랜지스터를 포함하고,

상기 제2 노드의 신호가 상기 출력신호이고, 상기 제4 노드의 신호가 상기 부스트신호이며, 상기 제5 노드의 신호가 상기 선택신호인 유기발광 표시장치.

청구항 22.

제21항에 있어서, 상기 부스트 선택 회로는,

상기 제2 트랜지스터의 제어전극과 제1 주전극 사이에 전기적으로 연결되어, 상기 제1 노드의 인에이블 레벨과 상기 제2 노드의 디스에이블 레벨의 전위차를 충전하는 제1 커패시터를 더 포함하는 유기발광 표시장치.

청구항 23.

제22항에 있어서,

상기 복수의 부스트 선택 회로 중 제1 부스트 선택 회로에는, 클럭신호로 제1 제어신호가, 클럭바신호로 제2 제어신호가, 제2 클럭신호로 제3 제어신호가, 제3 클럭신호로 제5 제어신호가, 입력신호로 부스트 선택 입력신호가 입력되어, 제1 출력신호, 제1 부스트신호 및 제1 선택신호가 출력되며,

상기 복수의 부스트 선택 회로 중 제2 부스트 선택 회로에는 클럭신호로 상기 제2 제어신호가, 클럭바신호로 상기 제1 제어신호가, 제2 클럭신호로 제4 제어신호가, 제3 클럭신호로 제6 제어신호가, 입력신호로 상기 제1 출력신호가 입력되어, 제2 출력신호, 제2 부스트신호 및 제2 선택신호가 출력되는 유기발광 표시장치.

청구항 24.

제21항에 있어서,

상기 부스트신호의 인에이블 구간의 펄스폭은 상기 제2 클럭신호의 인에이블 구간의 펄스폭에 따라 결정되며,

상기 스캔 신호의 인에이블 구간의 펄스폭은 상기 제3 클럭신호의 인에이블 구간의 펄스폭에 따라 결정되는 유기발광 표시장치.

청구항 25.

제24항에 있어서,

상기 부스트신호의 인에이블 레벨과 디스에이블 레벨의 전위차는 상기 제2 클럭신호의 인에이블 레벨과 상기 제3 전압원의 디스에이블 레벨의 전위차에 의해 결정되며,

상기 선택신호의 인에이블 레벨과 디스에이블 레벨의 전위차는 상기 제3 클럭신호의 인에이블 레벨과 상기 제4 전압원의 디스에이블 레벨의 전위차에 의해 결정되는 유기발광 표시장치.

청구항 26.

제25항에 있어서,

상기 제1 전압원, 제2 전압원, 제3 전압원 및 제4 전압원의 전압을 각각 V1, V2, V3, V4 라 하면, $V1 < V3 < V2$ 또는 $V1 < V3 = V2 = V4$ 인 유기발광 표시장치.

청구항 27.

제1항, 제6항 및 제19항 중 어느 한 항에 있어서,

상기 동일 타입의 트랜지스터는 p 채널 트랜지스터인 유기발광 표시장치.

청구항 28.

제1항, 제6항 및 제19항 중 어느 한 항에 있어서,

상기 동일 타입의 트랜지스터는 n 채널 트랜지스터인 유기발광 표시장치.

청구항 29.

제1항, 제6항 및 제19항 중 어느 한 항에 있어서, 상기 화소회로는,

상기 선택신호에 응답하여 데이터신호가 전달되고, 상기 전달된 데이터신호가 제6 전압으로 저장되고, 상기 부스트신호에 응답하여 상기 제6 전압이 제7 전압으로 변경되어 저장되고, 상기 발광신호에 의해 상기 제7 전압에 해당하는 구동전류가 전달되며, 상기 구동 전류에 대응하여 빛을 발광하는 발광소자가 구동하는 유기발광 표시장치.

청구항 30.

제29항에 있어서, 상기 화소회로는,

상기 구동전류에 대응하여 빛을 발광하는 발광소자;

상기 발광소자를 발광시키기 위한 구동 전류를 공급하는 트랜지스터;

상기 선택주사선으로부터의 상기 선택신호에 응답하여 상기 데이터선으로부터의 데이터신호를 상기 트랜지스터로 전달하는 제1 스위칭 소자;

상기 선택신호에 응답하여 상기 트랜지스터를 다이오드 연결하는 제2 스위칭 소자;

상기 트랜지스터의 제1 주전극과 제어전극 사이에 전기적으로 연결되는 제1 저장소자;

상기 트랜지스터의 제어전극과 상기 부스트주사선 사이에 전기적으로 연결되는 제2 저장소자; 및

상기 발광주사선으로부터의 발광신호에 응답하여 상기 트랜지스터로부터의 상기 구동전류를 상기 발광소자로 전달하는 제3 스위칭 소자를 포함하는 유기발광 표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기발광 표시장치에 관한 것으로서, 구동장치에 동일타입의 트랜지스터를 사용하여 제조비용이 저감되는 유기발광 표시장치에 관한 것이다.

일반적으로 유기발광 표시장치는 형광성 유기화합물을 전기적으로 여기시켜 발광시키는 표시 장치로서, 행렬 형태로 배열된 복수개의 유기 발광셀들을 전압 구동 혹은 전류 구동하여 영상을 표현할 수 있도록 되어 있다. 이러한 유기 발광셀들은 다이오드 특성을 가져서 유기발광 다이오드(OLED)로 불린다.

도 1은 유기발광소자의 개념도이다.

도면을 참조하면, 유기발광소자는 애노드(ITO), 유기 박막, 캐소드 전극층(금속)의 구조를 가진다. 유기 박막은 전자와 정공의 균형을 좋게 하여 발광 효율을 향상시키기 위해 발광층(emitting layer, EML), 전자 수송층(electron transport layer, ETL) 및 정공 수송층(hole transport layer, HTL)을 포함한다.

이와 같이 이루어지는 유기 발광셀을 구동하는 방식에는 단순 매트릭스(passive matrix)방식과 박막 트랜지스터(thin film transistor, TFT) 또는 MOSFET를 이용한 능동 구동(active matrix) 방식이 있다. 단순 매트릭스 방식은 양극과 음극을 직교하도록 형성하고 라인을 선택하여 구동하는데 비해, 능동 구동 방식은 박막 트랜지스터를 각 ITO(indium tin oxide) 화소 전극에 연결하고 박막트랜지스터의 게이트에 연결된 커패시터 용량에 의해 유지된 전압에 따라 구동하는 방식이다. 한편, 능동 구동 방식은 커패시터에 전압을 기입하여 유지시키기 위해 인가되는 신호의 형태에 따라 전압 기입(voltage programming) 방식과 전류 기입(current programming) 방식으로 나누어진다.

도 2는 종래의 전압 구동 방식의 화소 회로의 회로도이다.

도 2를 참조하면, 선택주사선(Sn)의 선택신호에 의해 스위칭 트랜지스터(M2)가 턴 온되고, 상기 턴 온에 의해 데이터선(Dm)으로부터의 데이터 전압이 구동 트랜지스터(M1)의 게이트 단에 전달되며, 데이터 전압과 전압원(VDD)의 전위차가 구동 트랜지스터(M1)의 게이트와 소스 사이에 연결된 커패시터(C1)에 저장된다. 상기 전위차에 의해 구동전류(I_{OLED})가 유기발광소자(OLED)에 흘러, 유기발광소자(OLED)가 발광하게 된다. 이때, 인가되는 데이터 전압의 전압 레벨에 따라 소정의 명암 계조 표시가 가능하게 된다. 그런데 이와 같은 종래의 전압 기입방식의 화소회로에서는 제조 공정의 불균일성에 의해 화소마다 생기는 구동 트랜지스터(M1)의 문턱전압(V_{th}) 및 전자 이동도(electron mobility)의 편차로 인해 고계조를 얻기 어렵다는 문제점이 있다.

이를 극복하기 위한 방안으로, 화소회로에 전류를 공급하는 전류원이 패널 전체, 즉 모든 데이터선에 균일하도록 하여, 각 화소내의 구동 트랜지스터가 불균일한 전압-전류 특성을 갖는다 하더라도 균일한 디스플레이가 가능한 전류 기입 방식의 화소회로가 사용된다.

도 3은 종래의 전류 구동 방식의 화소 회로의 회로도이다.

도면을 참조하여 설명하면, 선택 주사선(Sn)으로부터의 선택신호에 의해 트랜지스터(M2,M3)가 턴온되면, p 채널 트랜지스터(M1)는 다이오드 연결 상태로 되어 커패시터(C1)에 전류가 흘러서 전압이 충전되고, 트랜지스터(M1)의 게이트 전위가 저하하여 소스에서 드레인으로 전류가 흐른다. 시간 경과에 의해 커패시터(C1)의 충전 전압이 높아져서 트랜지스터(M1)의 드레인 전류가 트랜지스터(M2)의 드레인 전류와 동일해지면 커패시터(C1)의 충전 전류가 정지하여 충전 전압이 안정된다. 따라서 데이터선(Dm)으로부터의 선택신호가 하이레벨이 되어 트랜지스터(M2,M3)가 턴 오프되지만, 발광주사선(En)으로부터의 발광신호가 로우레벨이 되어 트랜지스터(M4)가 턴온된다. 그러면 전원 전압(VDD)으로부터 전원이 공급되고, 커패시터(C1)에 저장된 전압에 대응하는 구동전류(I_{OLED})가 유기발광소자(OLED)로 흘러 설정된 휘도로 발광이 이루어진다. 도 3과 같은 전류 구동 방식의 화소 회로에 의하면, 유기발광소자(OLED)에 흐르는 구동전류(I_{OLED})는 데이터 전류(I_{DATA})와 동일하므로, 기입 전류원이 데이터 라인 전체에 대해서 균일하다면 모든 화소가 균일한 특성을 가지게 된다. 그런데 유기발광소자(OLED)에 흐르는 구동전류(I_{OLED})는 미세 전류이면서 데이터선의 전압 범위가 넓으므로, 미세전류(I_{DATA})로 화소 회로를 구동하는 경우에는 데이터 라인의 기생용량 등을 충전하는데 시간이 많이 걸린다는 문제점이 있다.

이와 같은 문제점을 해결하기 위하여, 한국특허공개공보 제2005-0041088호에는 이를 해결하기 위한 화소 회로가 도시되고 있다.

한편, 상기 공개공보에 개시된 화소 회로를 구동하기 위해서는 선택주사선, 부스트주사선 및 발광주사선에 각각의 신호를 공급하는 각각의 구동장치가 구비되어야 한다. 종래에는 상기 각각의 주사선에 신호를 공급하는 구동장치로서, 서로 다른 타입의 트랜지스터(CMOS)를 사용하여 구현하였으나, 이와 같이 구현할 경우, 제조 공정의 더 복잡화되며, 제조비용이 증대되는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 포함하여 여러 문제점들을 해결하기 위한 것으로서, 구동장치에 동일타입의 트랜지스터를 사용하여 제조비용이 저감되는 유기발광 표시장치를 제공하는 것을 목적으로 한다.

발명의 구성

상기와 같은 목적 및 그 밖의 다른 목적을 달성하기 위하여, 본 발명은, 데이터신호, 부스트신호, 선택신호 및 발광신호를 각각 전달하는 복수의 데이터선, 복수의 부스트주사선, 복수의 선택주사선, 및 복수의 발광주사선과, 데이터선과 선택주사선에 의해 정의되는 복수의 화소에 각각 형성되는 복수의 화소회로와, 부스트신호를 출력하는 제1 주사 구동부를 포함하는 유기발광 표시장치에 있어서, 제1 주사 구동부는 복수의 부스트회로를 포함하고, 부스트회로는, 복수개의 동일 타입의 트랜지스터를 포함하고, 입력신호, 클럭신호 및 클럭바신호가 입력되고, 출력신호가 출력되며, 부스트회로에서, 입력신호가 인에이블, 클럭신호가 디스에이블, 클럭바신호가 인에이블인 경우에, 출력신호는 디스에이블이고, 디스에이블 출력신호 이후에, 입력신호가 디스에이블, 클럭신호가 인에이블, 클럭바신호가 디스에이블인 경우에, 출력신호는 인에이블인 유기발광 표시장치를 제공한다.

이러한 본 발명의 다른 특징에 의하면, 부스트회로에서, 입력신호가 디스에이블, 클럭신호가 디스에이블, 클럭바신호가 인에이블인 경우에 출력신호는 디스에이블이고, 디스에이블 출력신호 이후에, 입력신호가 디스에이블, 클럭신호가 인에이블, 클럭바신호가 디스에이블인 경우에 출력신호는 디스에이블이다.

이러한 본 발명의 또 다른 특징에 의하면, 부스트회로는, 클럭바신호에 응답하여 상기 입력신호를 제1 노드로 전달하는 제1 트랜지스터; 제1 노드의 신호에 응답하여 클럭신호를 제2 노드로 전달하는 제2 트랜지스터; 클럭바신호에 응답하여 제1 전압원의 인에이블 레벨을 제3 노드에 전달하는 제3 트랜지스터; 제1 노드의 신호에 응답하여 상기 클럭바신호를 제3 노드로 전달하는 제4 트랜지스터; 및 제3 노드의 신호에 응답하여 제2 전압원의 디스에이블 레벨을 제2 노드에 전달하는 제5 트랜지스터를 포함하고, 제2 노드의 신호가 상기 출력신호이다.

이러한 본 발명의 또 다른 특징에 의하면, 부스트회로는, 제2 트랜지스터의 제어전극과 제1 주전극 사이에 전기적으로 연결되어, 제1 노드의 인에이블 레벨과 제2 노드의 디스에이블 레벨의 전위차를 충전하는 제1 커패시터를 더 포함할 수 있다.

이러한 본 발명의 또 다른 특징에 의하면, 복수의 부스트회로 중 제1 부스트회로에는, 클럭신호로 제1 제어신호가, 클럭바신호로 제2 제어신호가, 입력신호로 부스트입력신호가 입력되어, 출력신호가 출력되며, 상기 출력신호는 제1 부스트신호가 되고, 복수의 부스트회로 중 제2 부스트회로에는 클럭신호로 제2 제어신호가, 클럭바신호로 제1 제어신호가, 입력신호로 제1 부스트신호가 입력되어, 출력신호가 출력되며, 출력신호는 제2 부스트신호가 된다.

본 발명은 또한 전술한 목적을 달성하기 위하여, 데이터신호, 부스트신호, 선택신호 및 발광신호를 각각 전달하는 복수의 데이터선, 복수의 부스트주사선, 복수의 선택주사선, 및 복수의 발광주사선과, 데이터선과 선택주사선에 의해 정의되는 복수의 화소에 각각 형성되는 복수의 화소회로와, 부스트신호를 출력하는 제1 주사 구동부를 포함하는 유기발광 표시장치에 있어서, 제1 주사 구동부는 복수의 부스트회로를 포함하고, 부스트회로는, 복수개의 동일 타입의 트랜지스터를 포함하고, 입력신호, 클럭신호, 클럭바 및 제2 클럭신호가 입력되고, 출력신호 및 부스트신호가 출력되며, 부스트회로에서, 입력신호가 인에이블, 클럭신호가 디스에이블, 클럭바신호가 인에이블, 제2 클럭신호가 디스에이블인 경우에, 출력신호 및 부스트신호는 디스에이블이고, 디스에이블 출력신호 및 디스에이블 부스트신호 이후에, 입력신호가 디스에이블, 클럭신호가 인에이블, 클럭바신호가 디스에이블, 제2 클럭신호가 인에이블인 경우에, 출력신호 및 부스트신호는 인에이블인 유기발광 표시장치를 제공한다.

이러한 본 발명의 다른 특징에 의하면, 부스트회로에서, 입력신호가 디스에이블, 클럭신호가 디스에이블, 클럭바신호가 인에이블, 제2 클럭신호가 디스에이블인 경우에, 출력신호 및 제2 클럭신호는 디스에이블이고, 디스에이블 출력신호 및 디스에이블 제2 클럭신호 이후에, 입력신호가 디스에이블, 클럭신호가 인에이블, 클럭바신호가 디스에이블, 제2 클럭신호가 인에이블인 경우에, 출력신호 및 부스트신호는 디스에이블이다.

이러한 본 발명의 또 다른 특징에 의하면, 부스트회로는, 클럭바신호에 응답하여 입력신호를 제1 노드로 전달하는 제1 트랜지스터; 제1 노드의 신호에 응답하여 클럭신호를 제2 노드로 전달하는 제2 트랜지스터; 클럭바신호에 응답하여 제1 전압원의 인에이블 레벨을 제3 노드에 전달하는 제3 트랜지스터; 제1 노드의 신호에 응답하여 클럭바신호를 제3 노드로 전달하는 제4 트랜지스터; 제3 노드의 신호에 응답하여 제2 전압원의 디스에이블 레벨을 제2 노드에 전달하는 제5 트랜지스터; 제1 노드의 신호에 응답하여 제2 클럭신호를 제4 노드에 전달하는 제6 트랜지스터; 제3 노드의 신호에 응답하여 제3 전압원의 디스에이블 레벨을 제4 노드로 전달하는 제7 트랜지스터;를 포함하고, 제2 노드의 신호가 출력신호이고, 제4 노드의 신호가 부스트신호이다.

이러한 본 발명의 또 다른 특징에 의하면, 부스트회로는, 제2 트랜지스터의 제어전극과 제1 주전극 사이에 전기적으로 연결되어, 제1 노드의 인에이블 레벨과 제2 노드의 디스에이블 레벨의 전위차를 충전하는 제1 커패시터를 더 포함할 수 있다.

이러한 본 발명의 또 다른 특징에 의하면, 복수의 부스트회로 중 제1 부스트회로에는, 클럭신호로 제1 제어신호가, 클럭바신호로 제2 제어신호가, 제2 클럭신호로 제3 제어신호가, 입력신호로 부스트입력신호가 입력되어, 제1 출력신호 및 제1 부스트신호가 출력되며, 복수의 부스트회로 중 제2 부스트회로에는 클럭신호로 제2 제어신호가, 클럭바신호로 제1 제어신호가, 제2 클럭신호로 제4 제어신호가, 입력신호로 제1 출력신호가 입력되어, 제2 출력신호 및 제2 부스트신호가 출력된다.

이러한 본 발명의 또 다른 특징에 의하면, 부스트신호의 인에이블 구간의 펄스폭은 제2 클럭신호의 인에이블 구간의 펄스폭에 따라 결정된다.

이러한 본 발명의 또 다른 특징에 의하면, 부스트신호의 인에이블 레벨과 디스에이블 레벨의 전위차는 제2 클럭신호의 인에이블 레벨과 제3 전압원의 디스에이블 레벨의 전위차에 의해 결정된다.

이러한 본 발명의 또 다른 특징에 의하면, 제1 전압원, 제2 전압원 및 제3 전압원의 전압을 각각 V_1 , V_2 , V_3 라 하면, $V_1 < V_3 < V_2$ 또는 $V_1 < V_3 = V_2$ 일 수 있다.

이러한 본 발명의 또 다른 특징에 의하면, 유기발광 표시장치는 선택신호를 출력하는 제2 주사 구동부를 더 포함하며, 제2 주사 구동부는 복수의 선택회로를 포함하고, 선택회로는, 복수개의 동일 타입의 트랜지스터를 포함하고, 입력신호, 클럭신호 및 클럭바신호가 입력되고, 출력신호가 출력되며, 선택회로에서, 입력신호가 인에이블, 클럭신호가 디스에이블, 클럭바신호가 인에이블인 경우에, 출력신호는 디스에이블이고, 디스에이블 출력신호 이후에, 입력신호가 디스에이블, 클럭신호가 인에이블, 클럭바신호가 디스에이블인 경우에, 출력신호는 인에이블이다.

이러한 본 발명의 또 다른 특징에 의하면, 선택회로에서, 입력신호가 디스에이블, 클럭신호가 디스에이블, 클럭바신호가 인에이블인 경우에, 출력신호는 디스에이블이고, 디스에이블 출력신호 이후에, 입력신호가 디스에이블, 클럭신호가 인에이블, 클럭바신호가 디스에이블인 경우에, 출력신호는 디스에이블이다.

이러한 본 발명의 또 다른 특징에 의하면, 선택회로는, 클럭바신호에 응답하여 입력신호를 제5 노드로 전달하는 제8 트랜지스터; 제5 노드의 신호에 응답하여 클럭신호를 제6 노드로 전달하는 제9 트랜지스터; 클럭바신호에 응답하여 제4 전압원의 인에이블 레벨을 제7 노드에 전달하는 제10 트랜지스터; 제1 노드의 신호에 응답하여 클럭바신호를 제7 노드로 전달하는 제11 트랜지스터; 제7 노드의 신호에 응답하여 제5 전압원의 디스에이블 레벨을 제6 노드에 전달하는 제12 트랜지스터를 포함하고, 제6 노드의 신호가 출력신호이다.

이러한 본 발명의 또 다른 특징에 의하면, 선택회로는, 제9 트랜지스터의 제어전극과 제1 주전극 사이에 전기적으로 연결되어, 제5 노드의 인에이블 레벨과 제6 노드의 디스에이블 레벨의 전위차를 충전하는 제2 커패시터를 더 포함한다.

이러한 본 발명의 또 다른 특징에 의하면, 복수의 선택회로 중 제1 선택회로에는, 클럭신호로 제5 제어신호가, 클럭바신호로 제6 제어신호가, 입력신호로 선택 입력신호가 입력되어, 출력신호가 출력되며, 출력신호는 제1 선택신호가 되고, 복수의 선택회로 중 제2 선택회로에는 클럭신호로 제6 제어신호가, 클럭바신호로 제5 제어신호가, 입력신호로 제1 선택신호가 입력되어, 출력신호가 출력되며, 출력신호는 제2 선택신호가 된다.

본 발명은 또한 기술한 목적을 달성하기 위하여, 데이터신호, 부스트신호, 선택신호 및 발광신호를 각각 전달하는 복수의 데이터선, 복수의 부스트주사선, 복수의 선택주사선, 및 복수의 발광주사선과, 데이터선과 선택주사선에 의해 정의되는 복수의 화소에 각각 형성되는 복수의 화소회로와, 부스트신호 및 선택신호를 출력하는 제1 주사 구동부를 포함하는 유기발광 표시장치에 있어서, 제1 주사 구동부는 복수의 부스트 선택 회로를 포함하고, 부스트 선택 회로는, 복수개의 동일 타입의 트랜지스터를 포함하고, 입력신호, 클럭신호, 클럭바신호, 제2 클럭신호 및 제3 클럭신호가 입력되고, 출력신호, 부스트신호 및 선택신호가 출력되며, 부스트 선택 회로에서, 입력신호가 인에이블, 클럭신호가 디스에이블, 클럭바신호가 인에이블, 제2 클럭신호가 디스에이블, 제3 클럭신호가 디스에이블인 경우에, 출력신호, 부스트신호 및 선택신호는 디스에이블이고, 디스에이블 출력신호, 디스에이블 부스트신호 및 디스에이블 선택신호 이후에, 입력신호가 디스에이블, 클럭신호가 인에이블, 클럭바신호가 디스에이블, 제2 클럭신호가 인에이블, 제3 클럭신호가 인에이블인 경우에, 출력신호, 부스트신호 및 선택신호는 인에이블인 유기발광 표시장치를 제공한다.

이러한 본 발명의 다른 특징에 의하면, 부스트 선택 회로에서, 입력신호가 디스에이블, 클럭신호가 디스에이블, 클럭바신호가 인에이블, 제2 클럭신호가 디스에이블, 제3 클럭신호가 디스에이블인 경우에, 출력신호, 부스트신호 및 선택신호는 디스에이블이고, 디스에이블 출력신호, 디스에이블 부스트신호 및 디스에이블 선택신호 이후에, 입력신호가 디스에이블, 클럭신호가 인에이블, 클럭바신호가 디스에이블, 제2 클럭신호가 인에이블, 제3 클럭신호가 인에이블인 경우에, 출력신호, 부스트신호 및 선택신호는 디스에이블이다.

이러한 본 발명의 또 다른 특징에 의하면, 부스트 선택 회로는, 클럭바신호에 응답하여 입력신호를 제1 노드로 전달하는 제1 트랜지스터; 제1 노드의 신호에 응답하여 클럭신호를 제2 노드로 전달하는 제2 트랜지스터; 클럭바신호에 응답하여 제1 전압원의 인에이블 레벨을 제3 노드에 전달하는 제3 트랜지스터; 제1 노드의 신호에 응답하여 클럭바신호를 제3 노드로 전달하는 제4 트랜지스터; 제3 노드의 신호에 응답하여 제2 전압원의 디스에이블 레벨을 제2 노드에 전달하는 제5 트랜지스터를 포함하고, 제1 노드의 신호에 응답하여 제2 클럭신호를 제4 노드에 전달하는 제6 트랜지스터; 제3 노드의 신호에 응답하여 제3 전압원의 디스에이블 레벨을 제4 노드로 전달하는 제7 트랜지스터; 제1 노드의 신호에 응답하여 제3 클럭신호를 제5 노드에 전달하는 제8 트랜지스터; 및 제3 노드의 신호에 응답하여 제4 전압원의 디스에이블 레벨을 제5 노드에 전달하는 제9 트랜지스터를 포함하고, 제2 노드의 신호가 상기 출력신호이고, 상기 제4 노드의 신호가 상기 부스트신호이며, 제5 노드의 신호가 선택신호이다.

이러한 본 발명의 또 다른 특징에 의하면, 부스트 선택 회로는, 제2 트랜지스터의 제어전극과 제1 주전극 사이에 전기적으로 연결되어, 제1 노드의 인에이블 레벨과 제2 노드의 디스에이블 레벨의 전위차를 충전하는 제1 커패시터를 더 포함할 수 있다.

이러한 본 발명의 또 다른 특징에 의하면, 복수의 부스트 선택 회로 중 제1 부스트 선택 회로에는, 클럭신호로 제1 제어신호가, 클럭바신호로 제2 제어신호가, 제2 클럭신호로 제3 제어신호가, 제3 클럭신호로 제5 제어신호가, 입력신호로 부스트 선택 입력신호가 입력되어, 제1 출력신호, 제1 부스트신호 및 제1 선택신호가 출력되며, 복수의 부스트 선택 회로 중 제

2 부스트 선택 회로에는 클럭신호로 제2 제어신호가, 클럭바신호로 제1 제어신호가, 제2 클럭신호로 제4 제어신호가, 제3 클럭신호로 제6 제어신호가, 입력신호로 제1 출력신호가 입력되어, 제2 출력신호, 제2 부스트신호 및 제2 선택신호가 출력된다.

이러한 본 발명의 또 다른 특징에 의하면, 부스트신호의 인에이블 구간의 펄스폭은 제2 클럭신호의 인에이블 구간의 펄스폭에 따라 결정되며, 스캔 신호의 인에이블 구간의 펄스폭은 제3 클럭신호의 인에이블 구간의 펄스폭에 따라 결정된다.

이러한 본 발명의 또 다른 특징에 의하면, 부스트신호의 인에이블 레벨과 디스에이블 레벨의 전위차는 제2 클럭신호의 인에이블 레벨과 제3 전압원의 디스에이블 레벨의 전위차에 의해 결정되며, 선택신호의 인에이블 레벨과 디스에이블 레벨의 전위차는 제3 클럭신호의 인에이블 레벨과 제4 전압원의 디스에이블 레벨의 전위차에 의해 결정된다.

이러한 본 발명의 또 다른 특징에 의하면, 제1 전압원, 제2 전압원, 제3 전압원 및 제4 전압원의 전압을 각각 V1, V2, V3, V4 라 하면, $V1 < V3 < V2$ 또는 $V1 < V3 = V2 = V4$ 이다.

이러한 본 발명의 또 다른 특징에 의하면, 동일 타입의 트랜지스터는 p 채널 트랜지스터일 수 있다.

이러한 본 발명의 또 다른 특징에 의하면, 동일 타입의 트랜지스터는 n 채널 트랜지스터일 수 있다.

이러한 본 발명의 또 다른 특징에 의하면, 화소회로는, 선택신호에 응답하여 데이터신호가 전달되고, 전달된 데이터신호가 제6 전압으로 저장되고, 부스트신호에 응답하여 제6 전압이 제7 전압으로 변경되어 저장되고, 상기 발광신호에 의해 제7 전압에 해당하는 구동전류가 전달되며, 구동 전류에 대응하여 빛을 발광하는 발광소자가 구동한다.

이러한 본 발명의 또 다른 특징에 의하면, 화소회로는, 구동전류에 대응하여 빛을 발광하는 발광소자; 발광소자를 발광시키기 위한 구동 전류를 공급하는 트랜지스터; 선택주사선으로부터의 선택신호에 응답하여 데이터선으로부터의 데이터신호를 트랜지스터로 전달하는 제1 스위칭 소자; 선택신호에 응답하여 트랜지스터를 다이오드 연결하는 제2 스위칭 소자; 트랜지스터의 제1 주전극과 제어전극 사이에 전기적으로 연결되는 제1 저장소자; 트랜지스터의 제어전극과 부스트주사선 사이에 전기적으로 연결되는 제2 저장소자; 및 발광주사선으로부터의 발광신호에 응답하여 트랜지스터로부터의 구동전류를 발광소자로 전달하는 제3 스위칭 소자를 포함한다.

이하, 첨부된 도면들을 참조하여 본 발명의 실시예에 대하여 상세히 설명한다.

도 4는 본 발명의 유기발광 표시장치를 도시한 도면이다.

도면을 참조하여 설명하면, 유기발광 표시장치(300)는 데이터 구동부(302), 제1 주사 구동부(304), 제2 주사 구동부(306), 제3 주사 구동부(308), 및 유기발광 표시 패널(310)을 포함한다.

데이터 구동부(302)는 데이터선(D[1], ...D[m])에 데이터 신호를 인가한다. 본 발명은 전류 기입 방식으로 화소회로를 구동하므로, 데이터 신호는 데이터 구동부 내의 전류원으로부터 출력된다.

제1 주사 구동부(304)는 부스트주사선에 부스트신호(B[1], ..B[n])를 인가한다. 부스트신호(B[1], ..B[n])에 관해서는 화소회로(P)와 관련하여 후술하기로 한다.

제2 주사 구동부(306)는 선택주사선에 선택신호(S[1], ...S[n])를 인가한다. 선택신호(S[1], ...S[n])는 선택주사선에 순차적으로 인가되며, 선택신호(S[1], ...S[n])에 맞춰 상기 데이터신호(D[1], ..D[m])가 화소회로(P)에 인가된다.

제3 주사 구동부(308)는 발광주사선(E[1],...E[n])에 발광신호를 인가한다. 발광신호에 의해, 화소회로(P) 내의 저장소자(커패시터)에 저장된 전압에 따라 구동전류가 유기발광소자로 인가되며, 유기발광소자가 발광하게 된다.

유기발광 표시패널(310)은, 선택주사선과 데이터선의 교차하는 영역에서 정의되는 복수개의 화소를 구동하기 위한 복수개의 화소회로(P)를 포함한다.

도 5는 도 4의 화소회로의 일예를 도시한 도면이다.

화소회로(P)는 발광소자로서 유기발광소자(OLED), 트랜지스터(M1), 제1 내지 제3 스위칭 소자(M2,M3,M4), 저장커패시터(Cst), 부스트커패시터(Cboost)를 포함한다. 여기서 트랜지스터(M1), 및 제1 내지 제3 스위칭 소자(M2,M3,M4)는 모두 동일 타입의 트랜지스터로 형성되는 것이 바람직하며, 도면에서는 p 채널 트랜지스터로 도시한다.

제1 스위칭 소자(M2)는 데이터선과 트랜지스터(M1)의 게이트 사이에 연결되며, 선택주사선으로부터의 선택신호(S[n])에 응답하여 데이터선으로부터의 데이터 신호(D[m]) 즉, 데이터전류(I_{DATA})를 트랜지스터(M1)으로 전달한다. 제2 스위칭 소자(M3)는 데이터선과 트랜지스터(M1)의 드레인 사이에 연결되며, 선택주사선으로부터의 선택신호(S[n])에 응답하여 트랜지스터(M1)를 다이오드 연결시킨다. 트랜지스터(M1)는 전원전압(VDD)에 소스가 연결되고 제3 스위칭 소자(M4)에 드레인이 연결되며, 트랜지스터(M1)의 게이트와 소스 사이에는 저장커패시터(Cst)가 연결된다. 부스트커패시터(Cboost)는 일단이 트랜지스터(M1)의 게이트에 연결되며, 부스트신호(B[n])의 인에이블 레벨(로우 레벨)과 디스에이블 레벨(하이 레벨)의 전위차(레벨변화량)에 따라 트랜지스터(M1)의 게이트 전압(Vg)을 조절한다. 제3 스위칭 소자(M4)는 유기발광소자(OLED)와 트랜지스터(M1) 사이에 연결되며, 발광신호(E[n])에 응답하여, 트랜지스터(M1)의 게이트-소스 사이에 전압에 해당하는 구동전류(I_{OLED})가 유기발광소자(OLED)에 흐르도록 한다.

도 6은 도 5의 화소회로에 인가되는 신호들의 일예를 보여주는 타이밍도이다.

도 5 및 도 6을 참조하여, 도 5의 화소회로의 동작을 상세히 설명하면, 일단 선택신호(S[n])가 인에이블되면 제1 및 제2 스위칭 소자(M2,M3)가 턴온되어, 트랜지스터(M1)는 다이오드 연결되고, 데이터전류(I_{DATA})가 트랜지스터(M1)에 흐르게 된다. 이 때, 발광신호(E[n])가 디스에이블이면, 제3 스위칭 소자(M4)는 턴오프되어, 트랜지스터(M1)와 유기발광소자(OLED)는 전기적으로 차단된다. 트랜지스터(M1)의 게이트와 소스 사이의 전압의 절대값(이하, "게이트-소스 전압"이라 함)(Vgs)과 트랜지스터(M1)에 흐르는 데이터전류(Idata)사이에는 수학적 1의 관계가 성립한다.

수학적 1

$$I_{data} = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{gs} - V_{th})^2$$

$$= \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{data} + V_{th})^2$$

여기서, u는 트랜지스터(M1)의 전자 이동도를, Cox는 트랜지스터(M1)의 게이트 전극과 채널에 의해 형성된 커패시터의 단위 면적당 커패시턴스를, W는 트랜지스터(M1)의 채널 폭을, L은 트랜지스터(M1)의 채널 길이를, Vth는 트랜지스터(M1)의 문턱전압을, Vdata는 데이터선으로부터 공급되는 데이터전류(Idata)로 인해 저장커패시터(Cst)에 저장되는 전압을 나타낸다. 여기서, u와 Cox는 제조 공정에 따라 달라진다.

한편, 부스트신호(B[n])의 인에이블 레벨과 디스에이블 레벨의 전위차를 부스트신호의 레벨변화량(Vswing)이라 할 때, 부스트신호(B[n])가 인에이블 레벨에서 디스에이블 레벨로 변하는 순간에, 트랜지스터(M1)의 게이트 전압(Vg)도 또한 같이 변하게 되며, 그 변화량을 Vboost라 한다. Vboost와 Vswing의 관계는 수학적 2와 같다.

수학적 2

$$V_{boost} = \frac{C_{boost}}{C_{st} + C_{boost}} V_{swing}$$

여기서, Cst는 저장커패시터의 커패시턴스를, Cboost는 부스트커패시터의 커패시턴스를, Vswing은 부스트신호의 인에이블 레벨과 디스에이블 레벨의 전위차(레벨변화량)를 나타낸다.

이와 같이, 부스트신호(B[n])의 레벨이 변화됨에 따라, 트랜지스터(M1)의 게이트 전압이 변하게 되며, 따라서 발광신호에 의해 제3 스위칭 소자(M4)가 턴온되는 경우에, 유기발광소자(OLED)를 따라 흐르는 구동전류(I_{OLED})는 수학적 3과 같다.

수학적 3

$$I_{OLED} = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{data} + V_{th} - V_{boost})^2$$

한편, 전자이동도에 대한 구동전류(I_{OLED})의 변화량을 얻기 위해, 수학식 1 및 수학식 3을 편미분하면, 다음과 같은 수학식 4가 얻어진다. 여기서, I_{data} 는 데이터전류로서 상수이고, V_{data} 는 전자이동도에 영향을 받는 변수이다.

수학식 4

$$\frac{\partial I_{OLED}}{\partial \mu} = -V_{boost} \sqrt{\frac{I_{OLED} C_{ox} W}{2\mu L}}$$

즉, 전자이동도(μ)에 대한 구동전류(I_{OLED})의 변화량은 부스트 전압(V_{boost})에 비례함을 알 수 있다. 부스트 전압(V_{boost})은 수학식 2에서 보듯이, 부스트신호의 레벨변화량(V_{swing})에 비례하므로, 결국, 전자이동도(μ)에 대한 구동전류(I_{OLED})의 변화량을 저감하기 위하여, 부스트신호의 레벨변화량(V_{swing})을 적정 수준으로 감소시키는 것이 바람직하다. 이렇게 함으로써, 부스트신호의 레벨변화량(V_{swing})을 감안하여, 전류값이 큰 데이터전류(I_{DATA})를 사용하는 문제점을 해결할 수 있게 된다. 이와 관련하여서는, 도 12 내지 도 18을 참조하여 후술하기로 한다.

도 7은 도 4의 제1 주사 구동부의 일예를 간략히 도시한 블록도이고, 도 8은 도 7의 부스트회로의 일예를 도시한 회로도이며, 도 9는 도 8의 부스트회로에 인가되는 신호들의 일예를 보여주는 타이밍도이다.

도면을 참조하여 설명하면, 제1 주사 구동부(304)는 부스트주사선에 부스트신호(B[n])를 인가하기 위하여, 부스트주사선의 개수에 해당하는 만큼의 부스트회로를 구비한다. 여기서 부스트회로(SCU1, 700)는, 제조비용 저감을 위해, 복수개의 동일한 타입의 트랜지스터로 구현된다. 도면에서는 p 채널 트랜지스터로 도시하고 있으나, n 채널 트랜지스터로 구현하는 것도 가능할 것이다. 이하에서는 p 채널 트랜지스터를 기반으로 하여 설명한다.

부스트회로(700)는 입력신호(S1), 클럭신호(clk) 및 클럭바신호(/clk)를 입력받아, 출력신호를 출력한다. 제1 부스트회로에는 클럭신호(clk)로 제1 제어신호(E1)가, 클럭바신호(/clk)로 제2 제어신호(E2)가, 입력신호(in)로 부스트입력신호(S1)가 입력되며, 출력신호(out)는 제1 부스트신호(B[1])가 되어 제1 부스트 주사선에 입력된다. 제2 부스트회로에는 클럭신호(clk)로 제2 제어신호(E2)가, 클럭바신호(/clk)로 제1 제어신호(E1)가, 입력신호(in)로 제1 부스트신호(B[n])가 입력되며, 출력신호(out)는 제2 부스트신호(B[2])가 되어 제2 부스트 주사선에 입력된다. 제3 부스트회로에는 클럭신호(clk)로 다시 제1 제어신호(E1)가, 클럭바신호(/clk)로 제2 제어신호(E2)가, 입력신호(in)로 제2 부스트신호(B[2])가 입력되며, 출력신호(out)는 제3 부스트신호(B[3])가 되어 제3 부스트 주사선에 입력된다. 복수개의 부스트회로에는 상기와 같이, 클럭신호(clk)와 클럭바신호(/clk)로 인가되는 제1 제어신호(E1)와 제2 제어신호(E2)가 교호하게 인가된다.

부스트회로(700)는 일단, 입력신호(in)가 인에이블, 클럭신호(clk)가 디스에이블(하이), 클럭바신호(/clk)가 인에이블(로우)인 경우에, 출력신호(out)로 디스에이블 레벨을 출력하며, 이와 같은 디스에이블 출력신호 이후에, 다시 입력신호(in)가 디스에이블, 클럭신호(clk)가 인에이블, 클럭바신호(/clk)가 디스에이블인 경우에, 출력신호(out)로 인에이블 레벨을 출력한다. 또한, 입력신호(in)가 디스에이블, 클럭신호(clk)가 디스에이블, 클럭바신호(/clk)가 인에이블인 경우에, 출력신호(out)로 디스에이블 레벨이 출력되며, 이와 같은 디스에이블 레벨 출력 이후에, 입력신호(in)가 디스에이블, 클럭신호(clk)가 인에이블, 클럭바신호(/clk)가 디스에이블인 경우에, 출력신호(out)로 디스에이블 레벨이 출력된다.

이와 같은 동작을 하기 위한, 본 발명의 제1 주사 구동부(304) 내에 구비되는 부스트회로(700)는, 도 8과 같이, 클럭바신호(/clk)에 응답하여 입력신호(in)를 제1 노드(N1)로 전달하는 제1 트랜지스터(M1), 제1 노드(N1)의 신호에 응답하여 클럭신호(clk)를 제2 노드(N2)로 전달하는 제2 트랜지스터(M2), 클럭바신호(/clk)에 응답하여 제1 전압원(접지단)의 인에이블 레벨을 제3 노드(N3)에 전달하는 제3 트랜지스터(M3), 제1 노드(N1)의 신호에 응답하여 클럭바신호(/clk)를 제3 노드(N3)로 전달하는 제4 트랜지스터(M4), 제3 노드(N3)의 신호에 응답하여 제2 전압원(VDD)의 디스에이블 레벨을 제2 노드(N2)에 전달하는 제5 트랜지스터(M5)를 포함하며, 제2 노드(N2)의 신호가 출력신호(out)로 된다.

즉, 게이트에 클럭바신호(/clk)가 인가되고 소스에 입력신호(in)가 인가되는 제1 트랜지스터(M1)의 드레인은, 제2 트랜지스터(M2)의 게이트 및 제4 트랜지스터(M4)의 게이트에 전기적으로 연결되며, 클럭바신호(/clk)가 소스에 인가되는 제4 트랜지스터(M4)의 드레인은, 제3 트랜지스터(M3)의 소스에 연결되고, 게이트에 클럭바신호(/clk)가 인가되는 제3 트랜지스터(M3)의 드레인은, 제1 전압원, 즉 접지단에 연결되고, 소스에 클럭바신호(/clk)가 인가되는 제2 트랜지스터(M2)의 드레인은 제5 트랜지스터(M5)의 드레인과 연결되며, 제4 트랜지스터(M4)의 드레인과 제3 트랜지스터(M3)의 소스의 접점인 제3 노드(N3)에 게이트가 전기적으로 연결되는 제5 트랜지스터(M5)의 소스에는 제2 전압원(VDD)이 연결된다. 제1

트랜지스터(M1)의 드레인과, 제4 트랜지스터(M4)의 게이트 또는 제2 트랜지스터(M2)의 게이트의 접점은, 제1 노드(N1)라 하고, 제2 트랜지스터(M2)의 드레인과 제5 트랜지스터(M5)의 드레인의 접점을 제2 노드(N2)라 한다. 제2 트랜지스터(M2)의 게이트와 드레인 사이에는 제1 커패시터(C1)가 연결된다. 제1 커패시터(C1)는 별도의 커패시터이거나 제2 트랜지스터(M2)의 게이트와 드레인 사이의 기생용량일 수도 있다.

도 8 및 도 9를 참조하여, 먼저, 제1 부스트회로의 동작을 설명한다. 제1 제어신호(E1)를 클럭신호(clk)로, 제2 제어신호(E2)를 클럭바신호(/clk)로 한다.

(1) 클럭신호(clk)가 디스에이블, 클럭바신호(/clk)가 인에이블, 입력신호(in)가 인에이블인 경우

제1 트랜지스터(M1)는 턴온되어 제1 노드(N1)에 인에이블 신호를 전달하고, 제1 노드(M1)의 인에이블 신호에 의해 제2 트랜지스터(M2) 및 제4 트랜지스터(M4)가 턴온되며, 인에이블의 클럭바신호(/clk)로 제3 트랜지스터(M3)도 턴온된다. 따라서 제3 노드(N3)의 신호도 인에이블되어 제5 트랜지스터(M5)가 턴온되며, 제2 노드(N2)에는 제2 전압원의 전압(VDD) 즉, 디스에이블 레벨이 전달된다. 출력신호(out)는 디스에이블이 되며, 따라서 제1 부스트신호(B[1])는 디스에이블이 된다. 한편, 제1 커패시터(C1)의 양단, 즉 제1 노드(N1)와 제2 노드(N2) 사이에는, 제1 노드(N1)의 인에이블 레벨과, 제2 노드(N2)의 디스에이블 레벨의 전위차가 저장된다.

(2) 클럭신호(clk)가 인에이블, 클럭바신호(/clk)가 디스에이블, 입력신호(in)가 디스에이블인 경우

클럭바신호(/clk)가 디스에이블이므로, 제1 트랜지스터(M1) 및 제3 트랜지스터(M3)는 턴오프된다. 따라서 제1 노드(N1) 및 제3 노드(N3)는 플로팅되어, 제5 트랜지스터(M5)도 턴온되지 않게 된다. 한편, 제2 트랜지스터(M2)는 (1) 과정에서 제1 커패시터(C1) 양단에 저장된 인에이블 레벨과 디스에이블 레벨의 전위차로 인하여, 턴온되어, 제2 노드(N2)에 클럭신호(clk)의 인에이블 레벨을 전달한다. 따라서 출력신호(out)는 인에이블 되며, 제1 부스트신호(B[1])는 인에이블 된다.

(3) 클럭신호(clk)가 디스에이블, 클럭바신호(/clk)가 인에이블, 입력신호(in)가 디스에이블인 경우

(1)과 비교하면 입력신호(in)의 신호 레벨이 다른 경우로서, 클럭바신호(/clk)가 인에이블이므로, 제1 트랜지스터(M1) 및 제3 트랜지스터(M3)가 기본적으로 턴온된다. 제1 트랜지스터(M1)의 턴온에 의해 제1 노드(N1)에는 입력신호(in)인 디스에이블 레벨이 전달되며, 제2 트랜지스터(M2)와 제4 트랜지스터(M4)는 턴오프된다. 제3 노드(N3)의 신호가 제1 전압원(접지단)의 접지 전압에 의해 인에이블이므로, 제5 트랜지스터(M5)는 턴온되며, 제2 전압원(VDD)의 디스에이블 레벨(하이 레벨)이 제2 노드(N2)에 전달된다. 따라서 출력신호(out)는 디스에이블 되며, 제1 부스트신호(B[1])는 디스에이블 된다. 한편, 제1 커패시터(C1)의 양단 즉, 제1 노드(N1)와 제2 노드(N2) 모두 디스에이블 레벨(하이 레벨)이므로, 제1 커패시터(C1)는 제1 노드(N1)와 제2 노드(N2)의 양단의 전위차가 저장된다.

(4) 클럭신호(clk)가 인에이블, 클럭바신호(/clk)가 디스에이블, 입력신호(in)가 디스에이블인 경우

기본적으로 (2)의 동작과 유사하다. 클럭바신호(/clk)가 디스에이블이므로, 제1 트랜지스터(M1), 제3 트랜지스터(M3)는 턴오프되고, 제1 노드(N1)의 신호 제3 노드(N3)의 신호는 플로팅되어 제4 트랜지스터(M4) 및 제5 트랜지스터(M5)도 턴오프된다. 한편, 제1 커패시터(C1) 양단에는 (3)에서 저장된 전위가 있으나, 제1 노드(N1)와 제2노드(N2)가 모두 디스에이블 레벨(하이레벨)로서 턴오프되지 못한다. 결국 제2 노드(N2)의 신호는 (3)에서 제2 노드에 저장되었던 디스에이블 레벨(하이 레벨)이 된다. 따라서 출력신호(out)는 디스에이블 되며, 제1 부스트신호(B[1])는 디스에이블이 된다.

다음에, 제2 부스트회로의 동작을 설명하면, 제2 제어신호(E2)가 클럭신호(clk)로, 제1 제어신호(E1)를 클럭바신호(/clk)로 입력되며, 입력신호(in)로는 제1 부스트신호(B[1])가 입력된다. 제2 부스트회로의 동작은 상기 제1 부스트회로의 (1) 내지 (4)를 반복한다.

제3 부스트회로에는 다시 제1 제어신호(E1)가 클럭신호(clk)로, 제2 제어신호(E2)가 클럭바신호(/clk)로, 제2 부스트신호(B[2])가 입력신호(in)로 입력되며, 출력신호(out)는 제3 부스트신호(B[3])가 된다. 이와 같은 동작을 반복하여, 제1 내지 제n 부스트신호(B[1],...B[n])가 각각 제1 내지 제n 부스트 주사선에 인가되게 된다.

도 10은 도 4의 제2 주사 구동부의 일예를 간략히 도시한 블록도이며, 도 11은 도 10의 제2 주사 구동부의 선택회로에 인가되는 신호들의 일예를 보여주는 타이밍도이다.

본 발명의 유기발광 표시장치에 있어서, 부스트신호(B[1], ...,B[n])를 부스트 주사선에 인가하는 제1 주사 구동부(304)는 도 7 내지 도 9에 도시된 바와 같이 구현함과 동시에, 선택신호(S[1], ...,S[n])를 선택주사선에 인가하는 제2 주사 구동부(306)는 도 10 내지 도 11과 같이 구현하는 것이 가능하다. 여기서 선택회로(700)는, 제조비용 저감을 위해, 복수개의 동일한 타입의 트랜지스터로 구현된다. 도면에서는 p 채널 트랜지스터로 도시하고 있으나, n 채널 트랜지스터로 구현하는 것도 가능할 것이다. 이하에서는 p 채널 트랜지스터를 기반으로 하여 설명한다.

도면을 참조하여 설명하면, 도 10은 n 개의 선택주사선 각각에 선택신호(S[1], ...,S[n])를 인가하기 위한, n 개의 선택회로를 도시하고 있다. 선택회로(800)에는 입력신호(in), 클럭신호(clk), 클럭바신호(/clk)가 입력되어 출력신호(out)가 출력되며, 선택회로(700)의 내부 구성은 도 8에 도시된 부스트회로(700)의 내부구성과 동일한 것이 바람직하다. 즉, 제1 선택회로에는 선택입력신호(S2)가 입력신호(in)로, 제5 제어신호(E5)가 클럭신호(clk)로, 제6 제어신호(E6)가 클럭바신호(/clk)로 인가되어, 출력신호(out)를 출력하며, 이 출력신호(out)는 제1 선택신호(S[1])로 제1 선택주사선에 인가된다. 제2 선택회로에는 제1 선택신호(S[1])가 입력신호(in)로, 제6 제어신호(E6)가 클럭신호(clk)로, 제5 제어신호(E5)가 클럭바신호(/clk)로 인가되어, 출력신호(out)를 출력하며, 이 출력신호(out)는 제2 선택신호(S[2])로 제2 선택주사선에 인가된다. 다시 제3 선택회로에는 제2 선택신호(S[2])가 입력신호(in)로, 제5 제어신호(E5)가 클럭신호(clk)로, 제6 제어신호(E6)가 클럭바신호(/clk)로 인가되어 출력신호(out)를 출력하며, 이 출력신호(out)가 제3 선택신호(S[3])로 제3 선택주사선에 인가된다. 선택회로(800)는 도 8의 부스트회로(700)의 동작과 동일하게, (1) 내지 (4)의 동작을 수행한다.

도 9 및 도 11은 각각 부스트회로(700) 및 선택회로(800)에 인가되는 제어신호들 및 출력신호를 도시하고 있으며, 결국, 부스트회로(700) 및 선택회로(800)에 입력신호(in)로 인에이블 레벨이 인가된 이후에, 클럭신호(clk)가 인에이블되면, 클럭신호(부스트신호 또는 선택신호)로 인에이블 레벨이 출력되는 것을 알 수 있다. 한편, 부스트회로(700) 및 선택회로(800)는 모두 동일한 타입의 트랜지스터로 구현되어, 제조공정상 제조비용이 저감되는 효과가 있다.

도 12는 도 4의 제1 주사 구동부의 다른 예를 간략히 도시한 블록도이며, 도 13은 도 12의 부스트회로의 일예를 도시한 회로도이며, 도 14는 도 13의 부스트회로와 선택회로에 인가되는 신호들의 예를 보여주는 타이밍도이다.

도면을 참조하여 설명하면, 본 발명의 유기발광 표시장치에 있어서, 부스트신호(B[1], ...,B[n])를 공급하는 제1 주사 구동부(304)는 도 13에 도시된 부스트회로(1200)를 이용하여, 도 12와 같이 구성함으로써, 구현할 수 있다. 특히, 수학식 1 내지 4에서 살펴본 바와 같이, 부스트신호의 레벨변화량을 줄일 수 있게 된다. 여기서 부스트회로(1200)는, 제조비용 저감을 위해, 복수개의 동일한 타입의 트랜지스터로 구현된다. 도면에서는 p 채널 트랜지스터로 도시하고 있으나, n 채널 트랜지스터로 구현하는 것도 가능할 것이다. 이하에서는 p 채널 트랜지스터를 기반으로 하여 설명한다.

일단, 부스트회로(1200)는 입력신호(in), 클럭신호(clk), 클럭바신호(/clk), 제2 클럭신호(clk2)가 입력되어, 출력신호(out) 및 부스트신호(bst)가 출력된다. 클럭신호(clk)로는 도 14에 도시된 제1 제어신호(E1) 또는 제2 제어신호(E2)가, 클럭바신호(/clk)로는 제1 제어신호(E1) 또는 제2 제어신호(E2)가, 제2 클럭신호(clk2)로는 제3 제어신호(E3) 또는 제4 제어신호(E4)가 입력된다. 즉, 제1 부스트회로에는 클럭신호(clk)로 제1 제어신호(E1)가, 클럭바신호(/clk)로 제2 제어신호(E2)가, 제2 클럭신호(clk2)로 제3 제어신호(E3)가, 입력신호(in)로 부스트선택신호(S1)가 입력되어, 제1 출력신호 및 제1 부스트신호를 출력한다. 제2 부스트회로에는 클럭신호(clk)로 제2 제어신호(E2)가, 클럭바신호(/clk)로 제1 제어신호(E1)가, 제2 클럭신호(clk2)로 제4 제어신호(E4)가, 입력신호(in)로 제1 출력신호가 입력되어, 제2 출력신호 및 제2 부스트신호를 출력한다. 제3 부스트회로에는, 입력신호(in)로 제2 출력신호가 입력되는 것을 제외하고, 클럭신호(clk), 클럭바신호(/clk) 및 제2 클럭신호(clk2)는 제1 부스트회로와 동일하게 입력되며, 제3 출력신호 및 제3 부스트신호를 출력한다. 제4 부스트회로에는, 입력신호(in)로 제3 출력신호가 입력되는 것을 제외하고, 클럭신호(clk), 클럭바신호(/clk) 및 제2 클럭신호(clk2)는 제2 부스트회로와 동일하게 입력되어, 제4 출력신호 및 제4 부스트신호를 출력한다.

부스트회로(1200)의 구성은, 도 8과 유사하므로, 그 차이점을 중심으로 설명한다. 도 13의 부스트회로(1200)는 도 8의 부스트회로(700)에, 제3 전압원(V3), 제6 트랜지스터(M6), 및 제7 트랜지스터(M7)를 더 포함하는 것을 그 특징으로 한다. 제6 트랜지스터(M6)는 제1 노드(N1)의 신호에 응답하여 제2 클럭신호(clk2)를 제4 노드(N4)에 전달하며, 제7 트랜지스터(M7)는 제3 노드(N3)의 신호에 응답하여 제3 전압원(V3)의 디스에이블 레벨을 제4 노드(N4)로 전달한다. 즉, 제6 트랜지스터(M6)는 제1 노드(N1)에 게이트가 연결되고, 드레인에는 제2 클럭신호(clk2)가 입력되며, 소스는 제4 노드(N4)에 연결된다. 제7 트랜지스터(M7)는 게이트가 제3 노드(N3)와 연결되고, 드레인이 제4 노드(N4)에 연결되며, 소스가 제3 전압원(V3)에 연결된다. 도 13의 회로에서 출력신호(out)는 제2 노드(N2)의 신호가 되며, 부스트신호(bst)는 제4 노드(N4)의 신호가 된다.

도 13 및 도 14를 참조하여, 먼저, 제1 부스트회로의 동작을 설명한다. 제1 제어신호(E1)를 클럭신호(clk)로, 제2 제어신호(E2)를 클럭바신호(/clk)로, 제3 제어신호(E3)를 제2 클럭신호(clk2)로, 부스트 입력신호(S1)를 부스트입력신호(in)로 한다.

(1) 입력신호(in)가 인에이블, 클럭신호(clk)가 디스에이블, 클럭바신호(/clk)가 인에이블, 제2 클럭신호(clk2)가 디스에이블인 경우

제1 내지 제5 트랜지스터(M1~M5)의 동작은, 도 8 및 도 9의 상기 (1)와 같으며, 일단 제2 노드(N2)의 신호는 디스에이블이 된다. 한편, 제1 노드(N1)의 신호가 인에이블이므로, 제6 트랜지스터(M6)가 턴온되어 제4 노드(N4)에 제2 클럭신호(clk2)가 전달된다. 제3 노드(N3)의 신호가 인에이블이므로, 제7 트랜지스터(M7)도 턴온되어 제4 노드(N4)에 제3 전압원(V3)의 전압을 전달한다. 따라서 제4노드(N4)의 신호는 디스에이블이 된다. 결국, 제2 노드(N2)의 신호인 제1 출력신호는 디스에이블, 제4 노드(N4)의 신호인 제1 부스트신호(B[1])는 디스에이블이 된다.

(2) 입력신호(in)가 디스에이블, 클럭신호(clk)가 인에이블, 클럭바신호(/clk)가 디스에이블, 제2 클럭신호(clk2)가 인에이블인 경우

제1 내지 제5 트랜지스터(M1~M5)의 동작은, 도 8 및 도 9의 상기 (2)와 같으며, 일단 제2 노드(N2)의 신호는 인에이블이 된다. 즉, 도 13 및 도 14의 (1) 과정에서 제1 커패시터(C1)의 양단(제1 노드와 제2 노드 사이)에 인에이블 레벨(로우 레벨)과 디스에이블 레벨(하이 레벨)의 전위차가 저장됨으로 인하여, 제1 노드(N1)의 신호는 인에이블 레벨이 되며, 제2 트랜지스터(M2) 및 제6 트랜지스터(M6)가 턴온된다. 따라서 제2 노드(N2)의 신호는 인에이블, 제4 노드(N4)의 신호는 인에이블이 된다. 결국, 제2 노드(N2)의 신호인 제1 출력신호는 인에이블, 제4 노드(N4)의 신호인 제1 부스트신호(B[1])는 인에이블이 된다.

(3) 입력신호(in)가 디스에이블, 클럭신호(clk)가 디스에이블, 클럭바신호(/clk)가 인에이블, 제2 클럭신호(clk2)가 디스에이블인 경우

제1 내지 제5 트랜지스터(M1~M5)의 동작은, 도 8 및 도 9의 상기 (3)와 같으며, 일단 제2 노드(N2)의 신호는 디스에이블이 된다. 한편, 제1 노드(N1)의 신호는 디스에이블, 제3 노드(N3)의 신호는 인에이블이므로, 제6 트랜지스터(M6)는 턴오프, 제7 트랜지스터(M7)는 턴온된다. 결국, 제2 노드(N2)의 신호인 제1 출력신호는 디스에이블, 제4 노드(N4)의 신호인 제1 부스트신호(B[n])는 디스에이블이 된다.

(4) 입력신호(in)가 디스에이블, 클럭신호(clk)가 인에이블, 클럭바신호(/clk)가 디스에이블, 제2 클럭신호(clk2)가 인에이블인 경우

제1 내지 제5 트랜지스터(M1~M5)의 동작은, 도 8 및 도 9의 상기 (4)와 같으며, 일단 제2 노드(N2)의 신호는 디스에이블이 된다. 한편, 제1 노드(N1)의 신호는 도 13 및 도 14의 (3)과정에서 제1 커패시터(C1) 양단에 저장된 전압에 의해, 디스에이블 레벨이라 할 수 있으며, 따라서 제6 트랜지스터(M6)가 턴오프되어, 제4 노드(N4)의 신호는 디스에이블이 된다. 결국, 제2 노드(N2)의 신호인 제1 출력신호는 디스에이블, 제4 노드(N4)의 신호인 제1 부스트신호(B[n])는 디스에이블이 된다.

다음에, 제2 부스트회로는 제2 제어신호(E2)를 클럭신호(clk)로, 제1 제어신호(E1)를 클럭바신호(/clk)로, 제4 제어신호(E4)를 제2 클럭신호(clk2)로, 제1 출력신호(B[1])를 입력신호(in)로 하여, 제2 출력신호 및 제2 부스트신호(B[2])를 출력한다. 제2 부스트회로의 동작은 제1 부스트회로의 동작 (1) 내지 (4)와 동일하다.

부스트회로(1200)의 동작은 결국, 제3 제어신호(E3) 또는 제4 제어신호(E4)가 인에이블 되는 경우에 따라 인에이블의 부스트신호를 출력하는 것을 그 특징으로 한다. 도 14와 같이 제3 제어신호(E3) 또는 제4 제어신호(E4)의 디스에이블 레벨과 인에이블 레벨의 전위차(레벨 변화량)를 제1 제어신호(E1) 또는 제2 제어신호(E2)의 디스에이블 레벨과 인에이블 레벨(레벨 변화량)의 전위차, 또는 후술하는 선택회로에 인가되는 제5 제어신호(도 14 및 도 15의 E5) 또는 제6 제어신호(도 14 및 도 15의 E6)의 레벨변화량보다 작게 한다면, 부스트신호의 레벨 변화량(Vswing)을 적절히 제어할 수 있게 된다. 또한, 제3 전압원(V3)의 전압을 제2 전압원의 전압(VDD) 보다 작게 하는 것도 가능할 것이다. 그러나 이에 한정되는 것은 아니며, 제조비용 저감을 위해 제2 전압원(VDD)과 제3 전압원(V3)을 동일 전압원으로 사용하는 것이 바람직할 것이다. 이와 같이 부스트신호의 레벨 변화량(Vswing)을 종래보다 작도록 제어함으로써, 도 5의 화소회로(P)에서 전류원으로부터

공급되는 데이터전류(I_{DATA})의 전류값을 줄일 수 있는 효과가 발생하며, 이는 다시 제조비용 저감으로 이어지게 된다. 한편, 제3 제어신호(E3) 또는 제4 제어신호(E4)의 인에이블 구간의 펄스폭을 조절하여, 부스트신호의 인에이블 구간의 펄스폭을 조절하는 것도 가능할 것이다.

한편, 도 14에서는 제1 제어신호(E1)의 디스에이블 구간이 제2 제어신호(E2)의 인에이블 구간을 포함하며, 제1 제어신호(E1)의 디스에이블 구간과 부스트입력신호(S1)의 인에이블 구간이 동일하도록 도시되고 있으나, 이에 한정되지 않으며, 도 15와 같이, 제1 제어신호(E1)의 디스에이블 구간과 제2 제어신호(E2)의 인에이블 구간이 동일하고, 제1 제어신호(E1)의 디스에이블 구간이 부스트입력신호(S1)의 인에이브 구간에 포함되도록 하는 것도 가능하다.

한편, 본 발명의 유기발광 표시장치는 도 12 및 도 13의 제1 주사 구동부(304)를 채택함과 동시에, 도 8의 부스트회로(700)와 동일한 선택회로(800)를 사용하여 도 10과 같은 제2 주사 구동부(306)를 사용하는 것도 가능하다. 선택회로(800)에 대한 설명은 도 10 내지 도 11을 참조하여 설명한 것과 같다. 이와 같은 선택회로(800)의 제5 제어신호(E5), 제6 제어신호(E6), 입력신호(S2) 및 선택신호(S[1],S[2])에 대해서는 도 14 및 도 15에 도시되고 있다.

도 16은 도 4의 제1 주사 구동부와 제2 주사 구동부가 하나로 구현되는 것을 간략히 도시한 블록도이고, 도 17은 도 16의 부스트 선택 회로의 일예를 도시한 회로도이며, 도 18은 도 17의 부스트 선택 회로에 인가되는 신호들을 도시한 타이밍도이다. 여기서 부스트 선택 회로는, 제조비용 저감을 위해, 복수개의 동일한 타입의 트랜지스터로 구현된다. 도면에서는 p 채널 트랜지스터로 도시하고 있으나, n 채널 트랜지스터로 구현하는 것도 가능할 것이다. 이하에서는 p 채널 트랜지스터를 기반으로 하여 설명한다.

도면을 참조하여 설명하면, 부스트 선택 회로(1600)는 클럭신호(clk), 클럭바신호(/clk), 제2 클럭신호(clk2), 제3 클럭신호(clk3) 및 입력신호(in)를 입력받아, 출력신호(out), 부스트신호(bst) 및 선택신호(sel)를 출력한다. 클럭신호(clk) 및 클럭바신호(/clk)로는 제1 제어신호(E1) 또는 제2 제어신호(E2)가 될 수 있으며, 제2 클럭신호(clk2)로는 제3 제어신호(E3) 또는 제4 제어신호(E4)가, 제3 클럭신호(clk3)로는 제5 제어신호(E5) 또는 제6 제어신호(E6)가 될 수 있다. 즉, 제1 부스트 선택 회로에는, 입력신호(in)로 부스트 선택 입력신호(S1)가, 클럭신호(clk)로 제1 제어신호(E1)가, 클럭바신호(/clk)로 제2 제어신호(E2)가, 제2 클럭신호(clk2)로 제3 제어신호(E3)가, 제3 클럭신호(clk3)로 제5 제어신호(E5)가 입력되어, 제1 출력신호, 제1 부스트신호(B[1]) 및 제1 선택신호(S[1])를 출력하며, 제2 부스트 선택 회로에는, 입력신호(in)로 제1 출력신호가, 클럭신호(clk)로 제2 제어신호(E2)가, 클럭바신호(/clk)로 제1 제어신호(E1)가, 제2 클럭신호(clk2)로 제4 제어신호(E4)가, 제3 클럭신호(clk3)로 제6 제어신호(E6)가 입력되어, 제2 출력신호, 제2 부스트신호(B[2]) 및 제2 선택신호(S[2])를 출력한다.

부스트 선택 회로(1600)의 구성은 도 17과 같다. 부스트 선택 회로(1600)는 도 13의 부스트회로(1200)에 제4 전압원(V4), 제8 트랜지스터(M8) 및 제9 트랜지스터(M9)를 더 부가한 것이다.

제8 트랜지스터(M8)는 제1 노드(N1)의 신호에 응답하여 제3 클럭신호(clk3)를 제5 노드(N5)에 전달하며, 제9 트랜지스터(M9)는 제3 노드(N3)의 신호에 응답하여 제4 전압원(V4)의 전압을 제5 노드(N5)에 전달한다. 이를 위하여, 제8 트랜지스터(M8)는 제1 노드(N1)에 게이트가 연결되고, 드레인에 제3 클럭신호(clk3)가 입력되며, 소스가 제5 노드(N5)에 연결된다. 제9 트랜지스터(M9)는 제3 노드(N3)에 게이트가 연결되고, 소스에 제4 전압원(V4)이 연결되며, 드레인에 제5 노드(N5)가 연결된다. 부스트 선택 회로(1600)에서는 제2 노드(N2)의 신호가 출력신호(out)로, 제4 노드(N4)의 신호가 부스트신호(bst)로, 제5 노드(N5)의 신호가 선택신호(sel)로 된다.

제4 노드(N4)를 통해 출력되는 부스트신호(bst)에 관해서는, 도 13과 동일하므로 그 설명을 생략한다. 한편, 제5 노드(N5)를 출력되는 선택신호(sel)는, 제1 노드(N1)의 신호 및 제3 노드(N3)의 신호에 응답하여 제8 트랜지스터(M8) 및 제9 트랜지스터(M9)가 동작을 하여, 디스에이블 레벨인 제4 전압원(V4)의 전압 또는 제3 클럭신호(clk3)으로 출력된다. 부스트 선택 회로(1600)의 동작은 앞서 도 13의 부스트회로(1200)의 동작과 유사하므로, 그 설명을 생략한다.

결국, 부스트 선택 회로(1600)에 있어서, 부스트신호(B[1], ..., B[n])는 제2 클럭신호(clk2)에 의해, 선택신호(S[1], ..., S[n])는 제3 클럭신호(clk3)에 의해, 인에이블 구간 및 인에이블 레벨과 디스에이블 레벨의 전위차(레벨 변화량)가 결정된다. 본 발명에서는 수학식 1 내지 수학식 4에서 살펴본 바와 같이, 부스트신호(B[1], ..., B[n])의 레벨변화량을 적절히 감소시키도록 제어하기 위하여, 제2 클럭신호(clk2)의 레벨변화량을 다른 신호들, 특히 제3 클럭신호(clk3)의 레벨변화량보다 작게 한다. 또한, 제4 전압원(V4)은 제2 전압원(VDD)과 동일한 것이 바람직하며, 제3 전압원(V3)은 제2 전압원(VDD)

보다 전압이 낮은 것이 바람직하다. 물론, 제조비용 저감을 위해, 제2 전압원 내지 제4 전압원(VDD,V3,V4)을 동일한 전압으로 구현하는 것도 가능할 것이다. 한편, 제3 제어신호(E3) 또는 제4 제어신호(E4)의 인에이블 구간의 펄스폭을 조절하여, 부스트신호(B[1], ...,B[n])의 인에이블 구간의 펄스폭을 조절하는 것도 가능할 것이다.

발명의 효과

상기한 바와 같은 본 발명의 따르면, 다음과 같은 효과를 얻을 수 있다.

첫째, 유기발광소자를 구동하기 위한 화소회로에, 필요한 신호들을 인가하는 구동부 중 부스트신호를 인가하는 제1 주사 구동부를 복수개의 동일 타입의 트랜지스터를 사용한 부스트회로로 구현함으로써, 제조비용을 저감할 수 있게 된다. 나아가, 화소회로에 선택신호를 인가하는 제2 주사 구동부도 복수개의 동일 타입의 트랜지스터를 사용한 선택회로로 구현함으로써, 제조비용을 저감할 수 있게 된다.

둘째, 부스트회로에 인가되는 제어신호의 레벨변화량을 제어함으로써, 화소회로에 인가되는 부스트신호의 레벨변화량을 조절할 수 있으며, 이와 같은 부스트신호의 레벨변화량을 적정 수준으로 작도록 구현하여, 유기발광소자에 흐르는 구동전류가 받는 영향을 줄일 수 있게 된다. 또한, 제어신호의 인에이블 구간의 펄스폭을 제어함으로써, 부스트신호의 인에이블 구간의 펄스폭도 제어가능하다.

본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

도면의 간단한 설명

도 1은 유기발광소자의 개념도이다.

도 2는 종래의 전압 구동 방식의 화소 회로의 회로도이다.

도 3은 종래의 전류 구동 방식의 화소 회로의 회로도이다.

도 4는 본 발명의 유기발광 표시장치를 도시한 도면이다.

도 5는 도 4의 화소회로의 일예를 도시한 도면이다.

도 6은 도 5의 화소회로에 인가되는 신호들의 일예를 보여주는 타이밍도이다.

도 7은 도 4의 제1 주사 구동부의 일예를 간략히 도시한 블록도이다.

도 8은 도 7의 부스트회로의 일예를 도시한 회로도이다.

도 9는 도 8의 부스트회로에 인가되는 신호들의 일예를 보여주는 타이밍도이다.

도 10은 도 4의 제2 주사 구동부의 일예를 간략히 도시한 블록도이다.

도 11은 도 10의 제2 주사 구동부의 선택회로에 인가되는 신호들의 일예를 보여주는 타이밍도이다.

도 12는 도 4의 제1 주사 구동부의 다른 예를 간략히 도시한 블록도이다.

도 13은 도 12의 부스트회로의 일예를 도시한 회로도이다.

도 14는 도 13의 부스트회로와 선택회로에 인가되는 신호들의 예를 보여주는 타이밍도이다.

도 15는 도 13의 부스트회로와 선택회로에 인가되는 신호들의 다른 예를 보여주는 타이밍도이다.

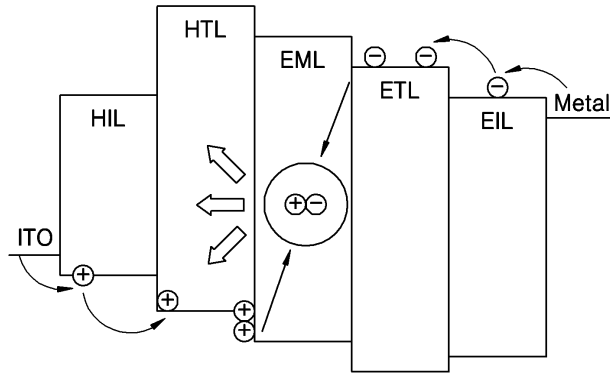
도 16은 도 4의 제1 주사 구동부와 제2 주사 구동부가 하나로 구현되는 것을 간략히 도시한 블록도이다.

도 17은 도 16의 부스트 선택 회로의 일예를 도시한 회로도이다.

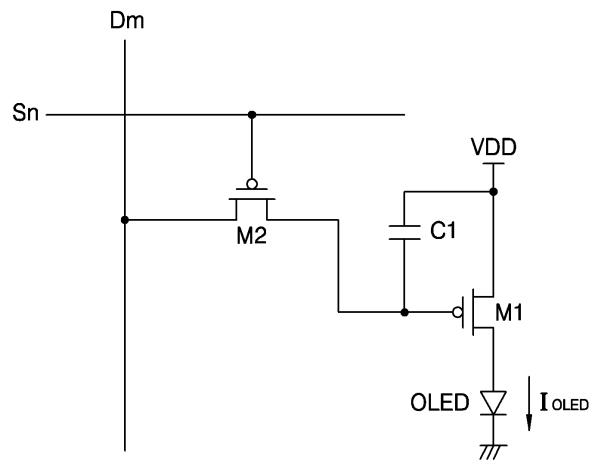
도 18은 도 17의 부스트 선택 회로에 인가되는 신호들을 도시한 타이밍도이다.

도면

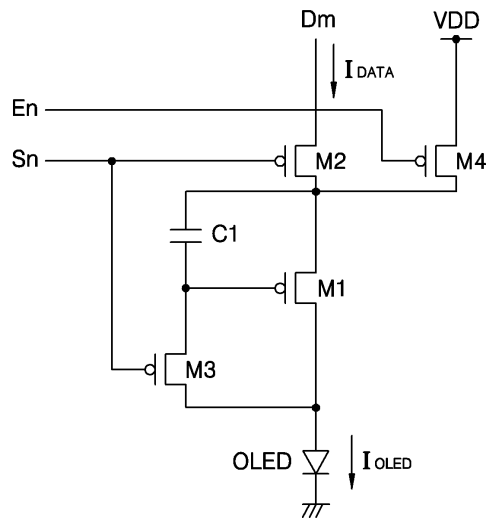
도면1



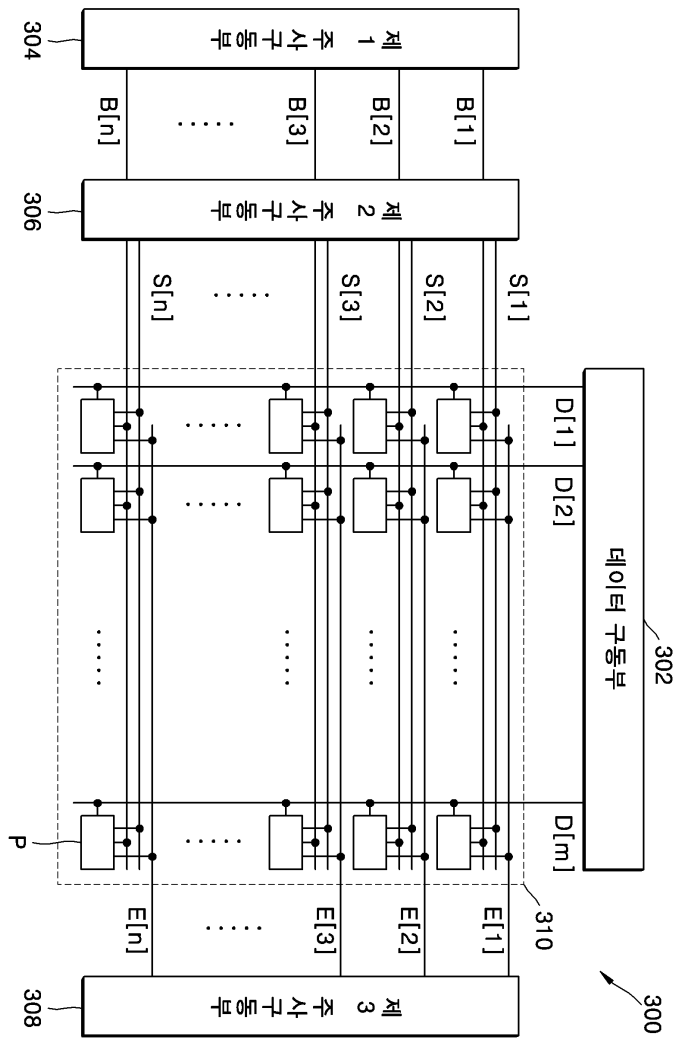
도면2



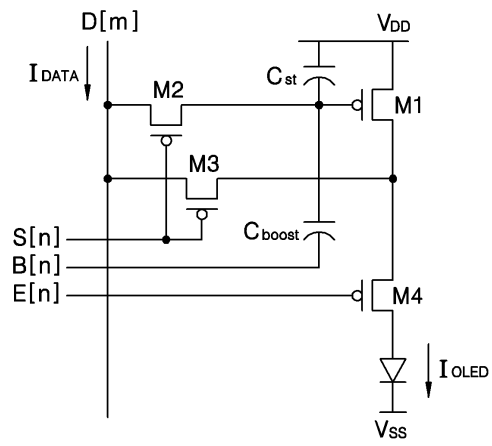
도면3



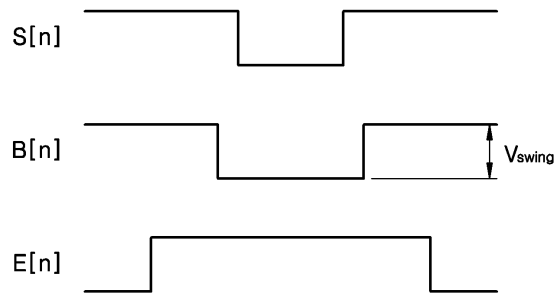
도면4



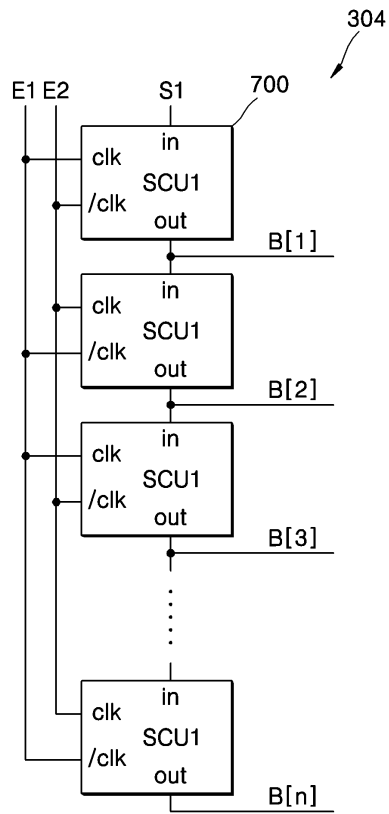
도면5



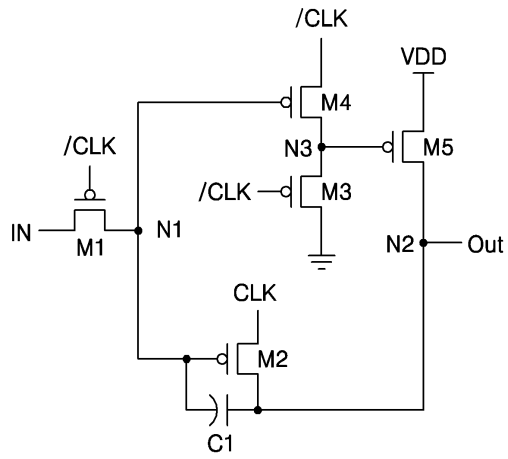
도면6



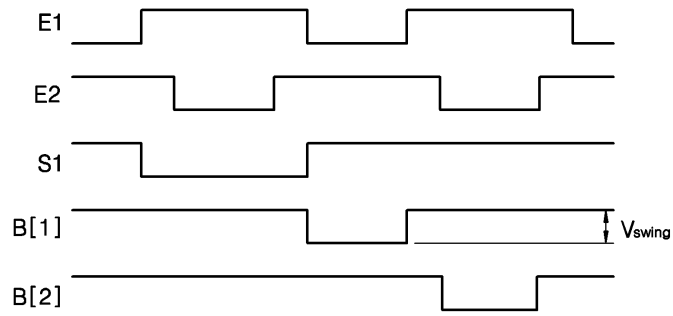
도면7



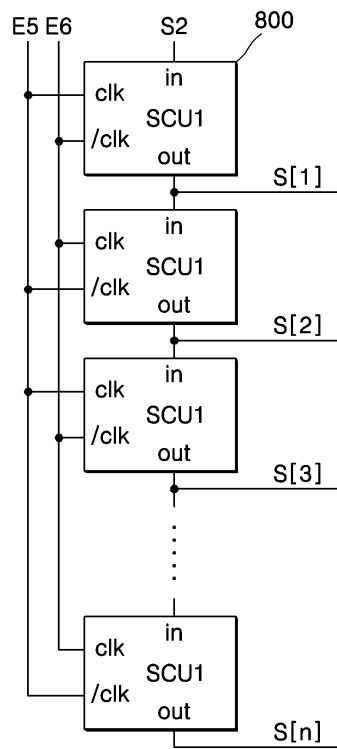
도면8



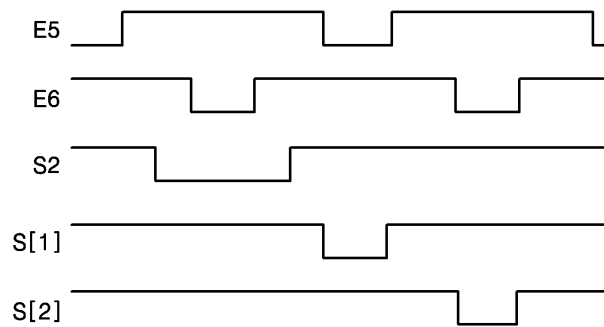
도면9



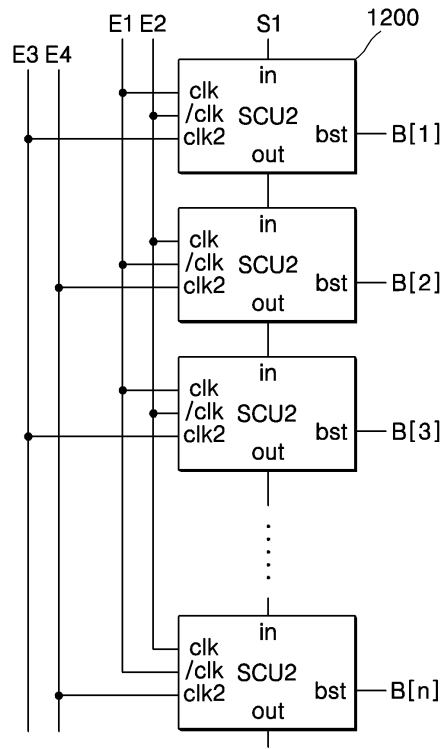
도면10



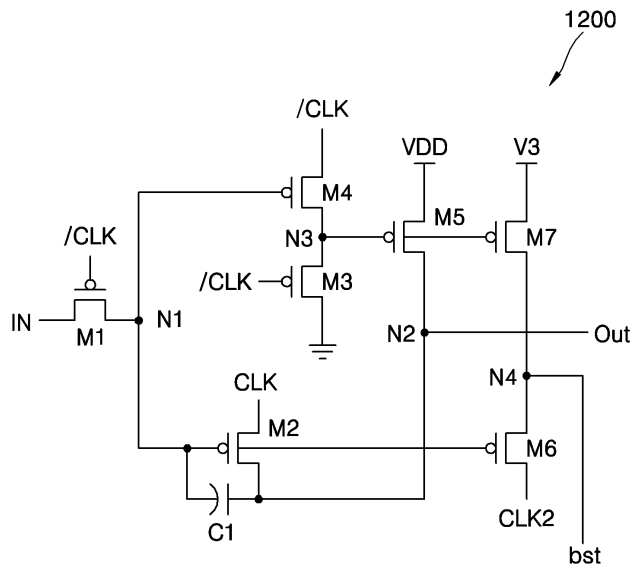
도면11



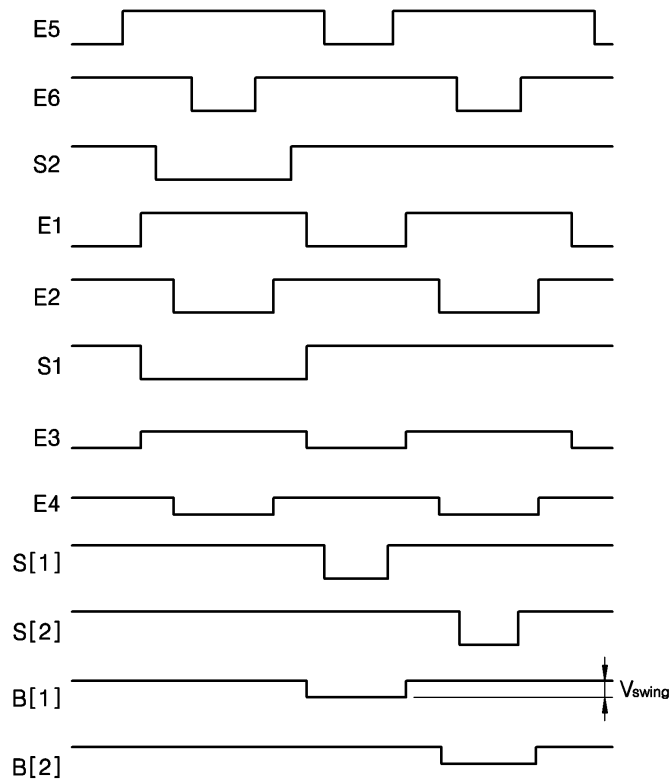
도면12



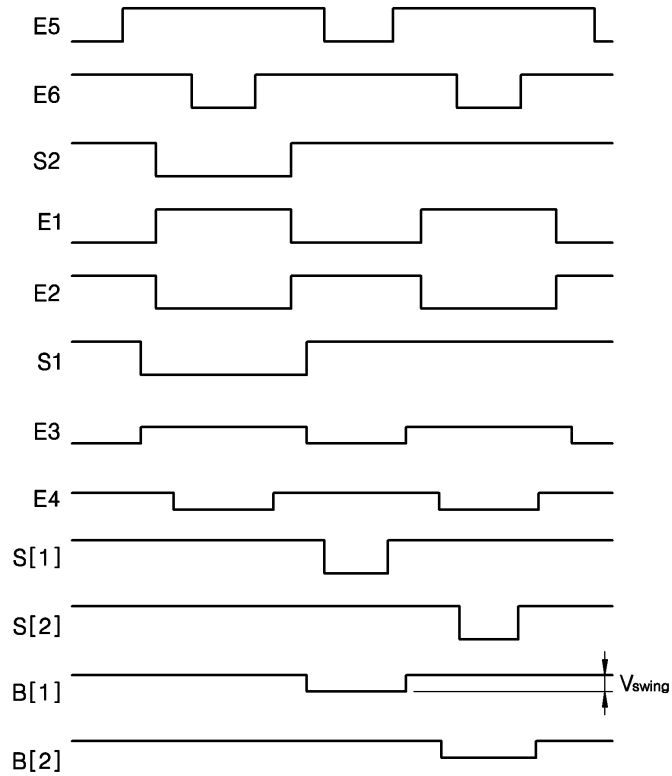
도면13



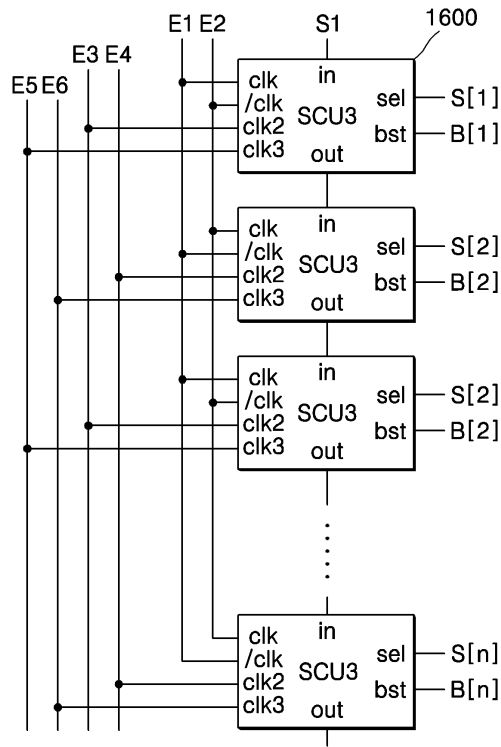
도면14



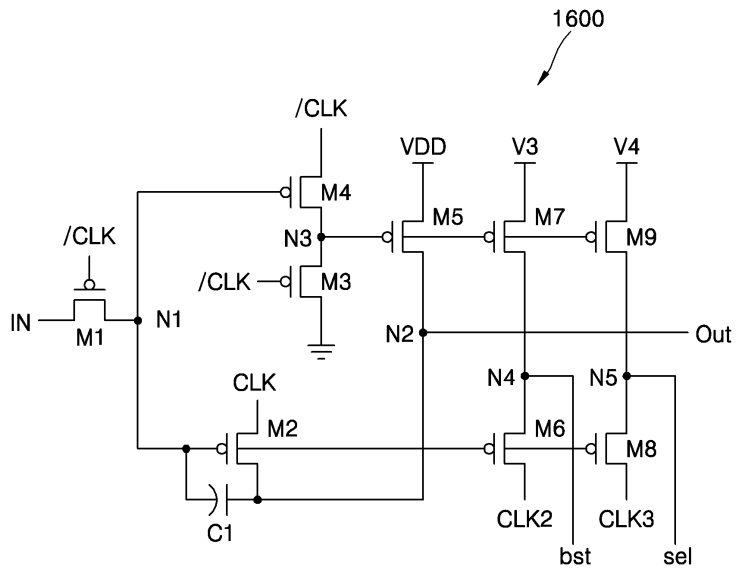
도면15



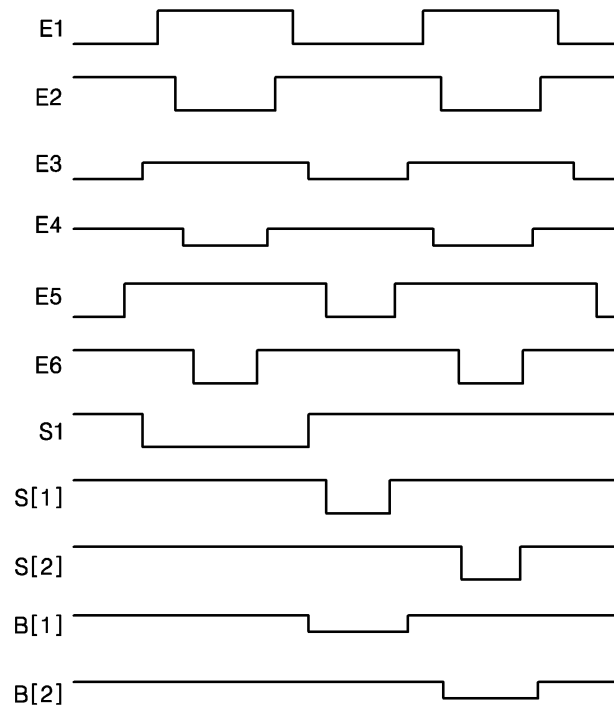
도면16



도면17



도면18



专利名称(译)	有机发光显示器		
公开(公告)号	KR100670372B1	公开(公告)日	2007-01-16
申请号	KR1020050121943	申请日	2005-12-12
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	SHIN DONG YONG		
发明人	SHIN,DONG YONG		
IPC分类号	G09G3/30		
CPC分类号	G09G3/3233 G09G3/3266 H03K19/01855		
外部链接	Espacenet		

摘要(译)

提供有机EL（电致发光）显示装置，通过控制施加在升压电路上的控制信号的电平变化量来调节施加在像素电路上的升压信号的电平变化量。有机EL显示装置包括数据线，升压扫描线，选择扫描线，发光扫描线，像素电路和第一扫描驱动器。第一扫描驱动器包括多个升压电路。升压电路包括多个相同类型的晶体管，接收输入信号（IN），时钟信号（CLK）和时钟条信号（/CLK），并输出输出信号（Out）。如果输入信号使能，则时钟信号被禁止，如果时钟条信号被使能，则输出信号被禁止，在升压电路中。在输出禁用的输出信号之后，如果输入信号被禁用并且时钟信号被使能并且时钟条信号被禁用，则输出信号被使能。

