



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.

H05B 33/00 (2006.01)

(45) 공고일자

2006년12월11일

(11) 등록번호

10-0656491

(24) 등록일자

2006년12월05일

(21) 출원번호

10-2004-0023898

(22) 출원일자

2004년04월07일

심사청구일자

2004년04월07일

(65) 공개번호

10-2005-0099025

(43) 공개일자

2005년 10월 13일

(73) 특허권자

삼성에스디아이 주식회사
경기 수원시 영통구 신동 575

(72) 발명자

박병건
인천광역시동구화수동영풍아파트102동1904호

이기용

경기도용인시기흥읍동성아파트101-1406

서진욱

경기도수원시팔달구영통동969-1태영아파트933-1603

(74) 대리인

박상수

(56) 선행기술조사문헌

KR1020040000542 A *

KR1020030037876 A

* 심사관에 의하여 인용된 문헌

KR1020030038835 A

심사관 : 김창균

전체 청구항 수 : 총 13 항

(54) 유기 전계 발광 표시 장치용 박막 트랜지스터 및 그의 제조방법, 그를 사용하는 유기 전계 발광 표시 장치

(57) 요약

본 발명은 금속 유도 결정화 방법(MIC, Metal Induced Crystallization)을 이용하여 형성된 박막 트랜지스터를 구비하는 유기 전계 발광 표시 장치용 TFT 패널 및 그를 사용하는 유기 전계 발광 표시 장치에 관한 것으로, 구동 박막 트랜지스터 영역과 스위칭 박막 트랜지스터 영역을 구비한 절연 기판; 상기 절연 기판 각각의 영역 상에 위치하며, 소오스/드레인 영역 및 채널 영역을 구비하는 MIC 다결정 실리콘으로 이루어진 활성층; 상기 활성층 상에 위치하는 게이트 절연막; 상기 게이트 절연막 상에 위치하는 게이트 전극; 상기 게이트 전극 상에 위치하는 층간 절연막; 상기 층간 절연막 상에 위치하며, 상기 소오스/드레인 영역과 직접 접촉하는 소오스/드레인 전극을 구비하는 구동 박막 트랜지스터 및 스위칭 박막 트랜지스터를 포함하며, 상기 구동 박막 트랜지스터 및 스위칭 박막 트랜지스터 중 적어도 어느 하나의 활성층은 다중 채널 영역을 구비하는 것을 특징으로 하는 박막 트랜지스터를 제공하는 것을 특징으로 한다.

대표도

도 3e

특허청구의 범위

청구항 1.

구동 박막 트랜지스터 영역과 스위칭 박막 트랜지스터 영역을 구비한 절연 기판;

상기 절연 기판 각각의 영역 상에 위치하며, 소오스/드레인 영역 및 채널 영역을 구비하는 MIC 다결정 실리콘으로 이루어진 활성층;

상기 활성층 상에 위치하는 게이트 절연막;

상기 게이트 절연막 상에 위치하는 게이트 전극;

상기 게이트 전극 상에 위치하는 층간 절연막;

상기 층간 절연막 상에 위치하며, 상기 소오스/드레인 영역과 직접 접촉하는 소오스/드레인 전극을 구비하는 구동 박막 트랜지스터 및 스위칭 박막 트랜지스터를 포함하며,

상기 구동 박막 트랜지스터 및 스위칭 박막 트랜지스터 중 적어도 어느 하나의 활성층은 다중 채널 영역을 구비하는 것을 특징으로 하는 박막 트랜지스터.

청구항 2.

제 1항에 있어서,

상기 구동 박막 트랜지스터의 활성층이 다중 채널 영역을 구비하는 것을 특징으로 하는 박막 트랜지스터.

청구항 3.

제 1항에 있어서,

상기 스위칭 박막 트랜지스터의 활성층이 다중 채널 영역을 구비하는 것을 특징으로 하는 박막 트랜지스터.

청구항 4.

제 1항에 있어서,

상기 구동 박막 트랜지스터 및 스위칭 박막 트랜지스터는 P-MOS 박막 트랜지스터인 것을 특징으로 하는 박막 트랜지스터.

청구항 5.

제 1항에 있어서,

상기 구동 박막 트랜지스터 및 스위칭 박막 트랜지스터는 N-MOS 박막 트랜지스터인 것을 특징으로 하는 박막 트랜지스터.

청구항 6.

구동 박막 트랜지스터 영역과 스위칭 박막 트랜지스터 영역을 구비한 절연 기판 상에 비정질 실리콘막을 형성하는 단계와;

상기 비정질 실리콘막 상에 결정화 유도 금속막을 형성하는 단계와;

상기 결정화 유도 금속막을 이용하여 상기 비정질 실리콘막을 다결정 실리콘막으로 MIC 결정화하는 단계와;

상기 다결정 실리콘막을 패터닝하여 구동 박막 트랜지스터 및 스위칭 박막 트랜지스터의 활성층을 각각 형성하는 단계와;

게이트 절연막 상에 구동 박막 트랜지스터 및 스위칭 박막 트랜지스터의 게이트 전극을 형성하는 단계와;

상기 구동 박막 트랜지스터 및 스위칭 박막 트랜지스터의 활성층에 소정의 불순물을 주입하여 소오스/드레인 영역을 형성하는 단계를 포함하며,

상기 구동 박막 트랜지스터 및 스위칭 박막 트랜지스터 영역 중 적어도 어느 하나의 영역의 활성층은 다중 채널 영역을 구비하는 것을 특징으로 하는 박막 트랜지스터의 제조 방법.

청구항 7.

제 6항에 있어서,

상기 구동 박막 트랜지스터 영역의 활성층이 다중 채널 영역을 구비하는 것을 특징으로 하는 박막 트랜지스터의 제조 방법.

청구항 8.

제 6항에 있어서,

상기 스위칭 박막 트랜지스터의 활성층이 다중 채널 영역을 구비하는 것을 특징으로 하는 박막 트랜지스터의 제조 방법.

청구항 9.

제 6항에 있어서,

상기 불순물은 P-타입 불순물인 것을 특징으로 하는 박막 트랜지스터의 제조 방법.

청구항 10.

제 6항에 있어서,

상기 불순물은 N-타입 불순물인 것을 특징으로 하는 박막 트랜지스터의 제조 방법.

청구항 11.

제 6항에 있어서,

상기 결정화 유도 금속막은 NI, Pd, Ti, Ag, Al, Sn, Sb, Cu, Co, Mo, Tr, Ru, Rh, Cd, Pt, 및 이들의 합금 중 어느 하나로 이루어지는 것을 특징으로 하는 박막 트랜지스터의 제조 방법.

청구항 12.

제 1항 내지 제 5항 중 어느 한 항의 구동 박막 트랜지스터와 전기적으로 연결되는 화소 전극과;

상기 화소 전극 상에 형성된 유기 발광층과;

상기 유기 발광층 상에 형성된 상부 전극을 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 13.

제 6항 내지 제 11항 중 어느 한 항의 방법에 의해 제조된 구동 박막 트랜지스터와 전기적으로 연결되는 화소 전극과;

상기 화소 전극 상에 형성된 유기 발광층과;

상기 유기 발광층 상에 형성된 상부 전극을 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

명세서**발명의 상세한 설명****발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 유기 전계 발광 표시 장치용 박막 트랜지스터 및 이의 제조방법, 그를 사용하는 유기 전계 발광 표시 장치에 관한 것으로, 더욱 상세하게는 금속 유도 결정화 방법(MIC, Metal Induced Crystallization)을 이용하여 형성된 박막 트랜지스터를 구비하는 유기 전계 발광 표시 장치용 박막 트랜지스터 및 그를 사용하는 유기 전계 발광 표시 장치에 관한 것이다.

일반적으로 유기 전계 발광 표시 장치에서 유기 발광체에 전압을 인가하기 위한 수단으로 TFT LCD와 마찬가지로 유리등의 투명 기판 위에 박막 트랜지스터를 형성한 TFT 패널을 사용한다. LCD 패널의 화소 영역에 형성되는 박막 트랜지스터는 통상 비정질 실리콘을 활성층으로 사용하는 박막 트랜지스터가 사용되고 최근에 결정질 박막트랜지스터의 사용이 증가하고 있는 추세에 있음에 반하여, 유기 전계 발광 표시 장치의 화소 영역에 형성되는 박막 트랜지스터는 대부분 결정질 박막 트랜지스터가 사용된다. 이는, 유기 전계 발광 표시 장치 패널의 화소 영역에는 스위칭 박막 트랜지스터와 함께 구동 박막 트랜지스터가 형성되어야 하는데 구동 박막 트랜지스터에 요구되는 동작 특성을 만족시키기 위해서는 결정질 박막 트랜지스터를 사용하는 것이 요구되기 때문이다. 따라서 유기 전계 발광 표시 장치에 사용되는 TFT 패널을 제작하는 공정에는 통상 비정질 실리콘 박막을 결정화시키는 공정이 포함된다.

상기 유기 전계 발광 표시 장치용 TFT 패널은 결정질 실리콘 박막 트랜지스터를 사용하기 때문에 유기 전계 발광 표시 장치의 픽셀 트랜지스터와 구동 회로를 하나의 TFT 패널에 동시에 형성할 수 있다. 이는 결정질 실리콘 TFT의 활성층을 구성하는 결정질 실리콘이 양호한 전자 이동도를 가지기 때문에 유기 전계 발광 표시 장치의 스위칭 소자 등의 구동 회로로 사용될 수 있어, 픽셀 트랜지스터와 구동회로 트랜지스터를 동시에 TFT 패널에 형성할 수 있기 때문이다. 또한, 결정질 실리콘 박막 트랜지스터는 자기 정렬 구조로서 레벨 시프트 전압이 비정질 실리콘 박막 트랜지스터에 비하여 낮고, 결정질 실리콘은 n 채널과 p 채널을 만들 수 있어 CMOS 회로 구성이 가능하고 제조 공정이 실리콘 웨이퍼의 CMOS 표준 공정과 유사하여 반도체 생산라인을 활용할 수 있는 장점이 있다.

이하 첨부된 도면을 참조하여, 종래 기술에 대하여 설명한다.

도 1a 내지 도 1d는 종래의 금속 유도 결정화 방법을 이용하여 형성된 유기 전계 발광 표시 장치용 박막 트랜지스터의 제조 방법을 설명하기 위한 공정 단면도이다.

도 1a를 참조하면, 버퍼층(110)을 구비하는 절연 기판(100) 상에 비정질 실리콘막(120)을 형성하고, 상기 비정질 실리콘막(120) 상에 금속 유도 결정화 방법을 수행하기 위한 결정화 유도 금속막(130)을 형성한다.

도 1b를 참조하면, 상기 결정화 유도 금속막(130)이 형성된 상기 절연 기판(100)을 로(furnace)에서 열처리하여 상기 비정질 실리콘막(120)을 다결정 실리콘막(123)으로 결정화한다.

도 1c를 참조하면, 상기 결정화 유도 금속막(130)을 제거한 후, 상기 다결정 실리콘막(123)을 패터닝하여 다결정 실리콘으로 이루어지는 활성층(125)을 형성한다.

도 1d를 참조하면, 상기 활성층(125)을 형성한 후, 상기 절연 기판(100) 상에 게이트 절연막(140)과 게이트 전극 물질을 순차 형성하고, 상기 게이트 전극 물질을 패터닝하여 게이트 전극(150)을 형성한다.

상기 게이트 전극(150)을 형성한 후, 상기 게이트 전극(150)을 마스크로 하여 소정의 불순물을 주입하여 상기 활성층(125)에 소오스/드레인 영역(125S, 125D)을 형성한다. 이때, 상기 소오스/드레인 영역(125S, 125D) 사이의 영역은 채널 영역(125C)으로 작용한다.

상기 소오스/드레인 영역(125S, 125D)을 형성한 후, 상기 게이트 전극(150)을 구비하는 상기 절연 기판(100) 전면에 상기 소오스/드레인 영역(125S, 125D)의 일부를 노출시키는 콘택 홀(161, 165)을 구비하는 층간 절연막(160)을 형성한다.

상기 층간 절연막(160)을 형성한 후, 상기 콘택 홀(161, 165)을 통하여 상기 소오스/드레인 영역(125S, 125D)과 전기적으로 연결되는 소오스/드레인 전극(171, 175)을 형성하여 유기 전계 발광 표시 장치용 박막 트랜지스터를 형성한다.

그러나, 상기한 바와 같은 공정을 통하여 형성된 유기 전계 발광 표시 장치용 박막 트랜지스터는 오프 전류가 큰 문제점이 있다. 특히, 상기 유기 전계 발광 표시 장치의 스위칭 박막 트랜지스터의 경우 약 $5e-12A/\mu m$ 이하의 오프 전류(Ioff) 특성이 요구되지만, 상기한 바와 같이 MILC 결정화를 통하여 형성된 박막 트랜지스터는 온 전류(Ion) 특성은 양호한 반면, 오프 전류 특성이 상대적으로 높아 유기 전계 발광 표시 장치에서 요구되는 박막 트랜지스터의 특성을 만족시키지 못하는 문제점이 있다.

한편, 국내 공개 특허 2003-0037876에서는 비정질 실리콘으로 이루어지는 활성층 상에 형성된 층간 절연막의 콘택 홀을 형성한 후에, 결정화 유도를 증착하여 결정화 공정을 수행하는 MILC 결정화 방법을 통하여 형성되는 박막 트랜지스터를 개시하고 있다.

그러나, 상기 특허에서와 같이 MILC 결정화를 이용하여 형성된 박막 트랜지스터는 도 2에 도시된 바와 같이, 콘택 홀의 얼라인 불량 발생이 발생하는 문제점이 있다. 이는 상기 결정화 유도 금속의 제거 시에 결정화 유도 금속과 층간 절연막의 불균일 식각 및 결정화시의 열로 인한 기판의 변형으로 인하여 발생하는 것이다.

상기한 바와 같은 문제점은 기판의 크기가 대형화되는 현재의 추세에 있어서 상기한 콘택 홀의 얼라인 불량은 더욱 큰 문제점으로 부각되고 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 상기한 종래 기술의 문제점을 해결하기 위한 것으로, 본 발명은 금속 유도 결정화 방법을 이용하여 유기 전계 발광 표시 장치에서 요구되는 전기적 특성을 만족하는 유기 전계 발광 표시 장치용 박막 트랜지스터 및 이의 제조 방법, 그를 사용하는 유기 전계 발광 표시 장치를 제공하는 데에 그 목적이 있다.

발명의 구성

상기한 목적을 달성하기 위한 본 발명은 구동 박막 트랜지스터 영역과 스위칭 박막 트랜지스터 영역을 구비한 절연 기판; 상기 절연 기판 각각의 영역 상에 위치하며, 소오스/드레인 영역 및 채널 영역을 구비하는 MIC 다결정 실리콘으로 이루어진 활성층; 상기 활성층 상에 위치하는 게이트 절연막; 상기 게이트 절연막 상에 위치하는 게이트 전극; 상기 게이트 전극 상에 위치하는 층간 절연막; 상기 층간 절연막 상에 위치하며, 상기 소오스/드레인 영역과 직접 접촉하는 소오스/드레인 전극을 구비하는 구동 박막 트랜지스터 및 스위칭 박막 트랜지스터를 포함하며, 상기 구동 박막 트랜지스터 및 스위칭 박막 트랜지스터 중 적어도 어느 하나의 활성층은 다중 채널 영역을 구비하는 것을 특징으로 하는 박막 트랜지스터를 제공하는 것을 특징으로 한다.

상기 구동 박막 트랜지스터 및 스위칭 박막 트랜지스터는 P-MOS 박막 트랜지스터 또는 N-MOS 박막 트랜지스터인 것이 바람직하다.

또한, 본 발명은 구동 박막 트랜지스터 영역과 스위칭 박막 트랜지스터 영역을 구비한 절연 기판 상에 비정질 실리콘막을 형성하는 단계와; 상기 비정질 실리콘막 상에 결정화 유도 금속막을 형성하는 단계와; 상기 결정화 유도 금속막을 이용하여 상기 비정질 실리콘막을 다결정 실리콘막으로 MIC 결정화하는 단계와; 상기 다결정 실리콘막을 패터닝하여 구동 박막 트랜지스터 및 스위칭 박막 트랜지스터의 활성층을 각각 형성하는 단계와; 게이트 절연막 상에 구동 박막 트랜지스터 및 스위칭 박막 트랜지스터의 게이트 전극을 형성하는 단계와; 상기 구동 박막 트랜지스터 및 스위칭 박막 트랜지스터의 활성층에 소정의 불순물을 주입하여 소오스/드레인 영역을 형성하는 단계를 포함하며, 상기 구동 박막 트랜지스터 및 스위칭 박막 트랜지스터 영역 중 적어도 어느 하나의 영역의 활성층은 다중 채널 영역을 구비하는 박막 트랜지스터의 제조 방법을 제공하는 것을 특징으로 한다.

상기 불순물은 P-타입 불순물 또는 N-타입 불순물인 것이 바람직하다.

상기 결정화 유도 금속막은 Ni, Pd, Ti, Ag, Al, Sn, Sb, Cu, Co, Mo, Tr, Ru, Rh, Cd, Pt, 및 이들의 합금 중 어느 하나로 이루어지는 것이 바람직하다.

또한, 본 발명은 상기한 TFT 패널의 구동 박막 트랜지스터와 전기적으로 연결되는 화소 전극과; 상기 화소 전극 상에 형성된 유기 발광층과; 상기 유기 발광층 상에 형성된 상부 전극을 포함하는 유기 전계 발광 표시 장치를 제공하는 것을 특징으로 한다.

이하 첨부된 도면을 참조하여, 본 발명의 바람직한 실시예를 설명한다. 본 발명의 바람직한 실시예에서는 액티브 매트릭스 유기 전계 발광 표시 장치(Active Matrix Organic Electro Luminescence Display)의 단위 화소 영역에 스위칭 박막 트랜지스터(Switching TFT) 및 구동 박막 트랜지스터(Driving TFT)를 구비하는 TFT 패널을 이용하여 설명한다.

도 3a 및 도 3e는 본 발명의 바람직한 실시예에 따른 유기 전계 발광 표시 장치용 TFT 패널 및 그를 사용하는 유기 전계 발광 표시 장치를 설명하기 위한 공정 단면도이다.

도 3a를 참조하면, 구동 박막 트랜지스터 영역(A) 및 스위칭 박막 트랜지스터 영역(B)을 구비하는 절연 기판(300) 상에 상기 절연 기판(300)으로부터 금속 이온 등의 불순물이 확산되어 박막 트랜지스터의 활성층에 침투되는 것을 방지하기 위한 버퍼층(310, buffer layer; diffusion barrier)을 형성한다.

그런 다음, 상기 버퍼층(310) 상에 비정질 실리콘막(320)을 증착한다.

도 3b를 참조하면, 상기 비정질 실리콘막(320) 상에 결정화 유도 금속막(330)을 형성한다.

이때, 상기 결정화 유도 금속막(330)은 Ni, Pd, Ti, Ag, Al, Sn, Sb, Cu, Co, Mo, Tr, Ru, Rh, Cd, Pt, 및 이들의 합금 중 어느 하나로 이루어지는 것이 바람직하다.

상기 비정질 실리콘막(320)을 형성한 후, 상기 비정질 실리콘막(320)이 형성된 절연 기판을 로(furnace)에서 열처리하여 상기 비정질 실리콘막(320)을 상기 결정화 유도 금속막(330)에 의하여 결정화하는 MIC(Metal Induced Crystallization) 결정화 공정을 수행하여 다결정 실리콘막(323)을 형성한다.

도 3c를 참조하면, 상기 결정화 유도 금속막(330)을 제거하고, 상기 다결정 실리콘막(323)을 패터닝하여 다결정 실리콘으로 이루어지는 스위칭 박막 트랜지스터 및 구동 박막 트랜지스터의 활성층(325A, 325B)을 형성한다.

도 3d를 참조하면, 상기 다결정 실리콘의 활성층(325A, 325B)을 구비하는 절연 기판(300) 전면에 게이트 절연막(340)과 게이트 전극 물질을 순차적으로 형성하고, 상기 게이트 전극 물질을 패터닝하여 스위칭 박막 트랜지스터 및 구동 박막 트랜지스터의 게이트 전극(350A, 350B)을 형성한다.

이때, 상기 구동 박막 트랜지스터(B) 영역 및 스위칭 박막 트랜지스터(A) 영역 중 적어도 어느 하나의 영역의 게이트 전극은 다중 게이트 전극의 형태로 형성하는 것이 바람직하다. 이는 MIC 결정화 방법을 이용하여 형성되는 박막 트랜지스터의 활성층에 다중 채널 영역을 형성하여 박막 트랜지스터의 오프 전류(Ioff)가 증가하는 문제점을 해결하기 위한 것이다.

상기 스위칭 박막 트랜지스터 및 구동 박막 트랜지스터의 게이트 전극(350A, 350B)을 형성한 후, 소정의 불순물을 주입하여 상기 활성층(325A, 325B)에 주입하여, 상기 스위칭 박막 트랜지스터 및 구동 박막 트랜지스터의 활성층(325A, 325B)에 소오스/드레인 영역(325A-S, 325A-D, 325B-S, 325B-D)을 형성한다. 이때, 상기 게이트 전극(350A, 350B) 하부의 불순물이 주입되지 않는 영역은 상기 스위칭 박막 트랜지스터 및 구동 박막 트랜지스터의 채널 영역(325A-C, 325B-C)으로 작용한다.

이때, 상기 불순물의 종류에 따라서, P-MOS 또는 N-MOS 박막 트랜지스터를 형성할 수 있다. 예를 들면, B₂H₆, B, BH₃ 등의 P-타입의 불순물을 도핑하는 경우에는 P-MOS 박막 트랜지스터를 형성할 수 있으며, PH₃, P, As 등의 N-타입의 불순물을 도핑하는 경우에는 N-MOS 박막 트랜지스터를 형성할 수 있다.

상기 소오스/드레인 영역(325A-S, 325A-D, 325B-S, 325B-D)을 형성한 후, 상기 게이트 전극(350A, 350B)을 구비하는 절연 기판(300) 상에 층간 절연막(360)을 증착하고 패터닝하여, 상기 소오스/드레인 영역(325A-S, 325A-D, 325B-S, 325B-D)의 일부분을 노출시키는 콘택 홀(361A, 365A, 361B, 365B)을 형성한다.

그런 다음, 상기 절연 기판(300) 전면에 소정의 도전 물질을 증착하고 패터닝하여 소오스/드레인 전극(371A, 375A, 371B, 375B)을 형성하여 유기 전계 발광 표시 장치의 구동 박막 트랜지스터 및 스위칭 박막 트랜지스터를 구비하는 유기 전계 발광 표시 장치용 TFT 패널을 형성한다.

상기 구동 박막 트랜지스터 및 스위칭 박막 트랜지스터를 형성한 후, 상기 절연 기판(300) 전면에 보호막(380)을 형성한다. 이때, 상기 보호막(380)은 수소를 함유한 무기 절연 물질로 이루어지는 무기 보호막을 구비하는 것이 바람직하다.

상기 보호막(380)을 형성한 후, 상기 구동 박막 트랜지스터 및 스위칭 박막 트랜지스터를 구비하는 절연 기판(300)을 로(furnace)에서 열처리하여 박막 트랜지스터의 제조 공정에서 발생할 수 있는 하부 구조의 손상을 완화시키며, 상기 보호막(380)에 함유된 수소를 확산시켜 박막 트랜지스터의 전기적 특성을 향상시킨다.

도 3e를 참조하면, 상기 열처리 공정 이후에, 상기 보호막(380)을 패터닝하여 상기 구동 박막 트랜지스터의 소오스/드레인 전극(371A, 375A) 중 어느 하나, 예를 들면, 드레인 전극(375A)의 일부분을 노출시키는 비아 홀(385)을 형성한다.

상기 비아 홀(385)을 형성한 후, 상기 비아 홀(385)을 통하여 상기 드레인 전극(375A)과 전기적으로 연결되는 유기 발광 소자(390)를 형성하여, 액티브 매트릭스 유기 전계 발광 표시 장치를 형성한다.

이때, 상기 유기 발광 소자(390)는 상기 비아 홀(385)을 통하여 상기 드레인 전극(375A)과 전기적으로 연결되는 하부 전극(391), 상기 하부 전극(391)의 일부분을 노출시키는 개구부가 형성된 화소 정의막(392), 상기 화소 정의막(392)의 개구부 상에 형성된 유기 발광층(393), 상기 절연 기판(300) 전면에 형성된 상부 전극(394)으로 이루어진다.

이때, 상기 유기 발광층(393)은 그 기능에 따라 여러 층으로 구성될 수 있으며, 일반적으로 발광층(Emitting layer)을 포함하여 정공 주입층(HIL), 정공 전달층(HTL), 정공 저지층(HBL), 전자 수송층(ETL), 전자 주입층(EIL) 중 적어도 하나 이상의 층을 포함하는 다층구조로 이루어진다.

상기한 바와 같은 유기 전계 발광 표시 장치용 박막 트랜지스터는 MIC 결정화 방법을 이용하여 2개의 채널 영역을 구비하는 활성층을 구비하도록 형성되어 MIC 결정화 방법을 이용하여 형성되는 박막 트랜지스터의 오프 전류 특성을 개선할 수 있다. 특히, 유기 전계 발광 표시 장치에서 요구하는 $5e-12A/\mu m$ 이하의 오프 전류 특성을 충족시킬 수 있다.

또한, 상기한 바와 같은 유기 전계 발광 표시 장치용 박막 트랜지스터는 비정질 실리콘막(320)을 증착하고, 상기 비정질 실리콘막(320) 상에 결정화 유도 금속막(330)을 증착한 후, 비정질 실리콘을 결정화하고 상기 결정화 유도 금속막(330)을

제거하는 MIC 결정화 공정을 이용함으로써, 도 4에서와 같이, 콘택 홀을 통하여 결정화 유도 금속을 증착하고 결정화한 후 결정화 유도 금속을 제거하는 공정에서 결정화 유도 금속과 층간 절연막의 불균일 식각 및 기관의 변형으로 인하여 발생할 수 있는 콘택 홀의 얼라인 불량을 방지할 수 있다.

발명의 효과

상기한 바와 같이 본 발명에 따르면, 본 발명은 MIC 결정화 방법을 이용하여 2개 이상의 채널 영역을 구비하는 활성층으로 이루어진 박막 트랜지스터를 형성함으로써, 오프 전류 특성이 향상된 유기 전계 발광 표시 장치용 TFT 패널 및 그를 이용하는 유기 전계 발광 표시 장치를 제공할 수 있다.

또한, MIC 결정화 방법을 이용하여 박막 트랜지스터를 형성함으로써, MILC 결정화 방법을 이용하여 박막 트랜지스터를 형성하는 공정에서 발생할 수 있는 콘택 홀의 얼라인 불량을 방지하는 유기 전계 발광 표시 장치용 TFT 패널 및 그를 이용하는 유기 전계 발광 표시 장치를 제공할 수 있다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구 범위 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

도 1a 내지 도 1d는 종래의 금속 유도 결정화 방법을 이용하여 형성된 유기 전계 발광 표시 장치용 박막 트랜지스터의 제조 방법을 설명하기 위한 공정 단면도.

도 2는 종래의 MILC 결정화 방법에 의하여 형성된 박막 트랜지스터의 콘택 홀의 얼라인 불량을 설명하기 위한 도면.

도 3a 내지 도 3e는 본 발명의 바람직한 실시예에 따른 유기 전계 발광 표시 장치용 박막 트랜지스터 및 그를 사용하는 유기 전계 발광 표시 장치를 설명하기 위한 공정 단면도.

도 4는 본 발명의 실시예에 따른 박막 트랜지스터의 콘택 홀의 얼라인 불량을 방지하는 것을 설명하기 위한 도면.

(도면의 주요 부위에 대한 부호의 설명)

300; 절연 기관 310; 버퍼층

325A, 325B; 활성층 330; 결정화 유도 금속

340; 게이트 절연막 350A, 350B; 게이트 전극

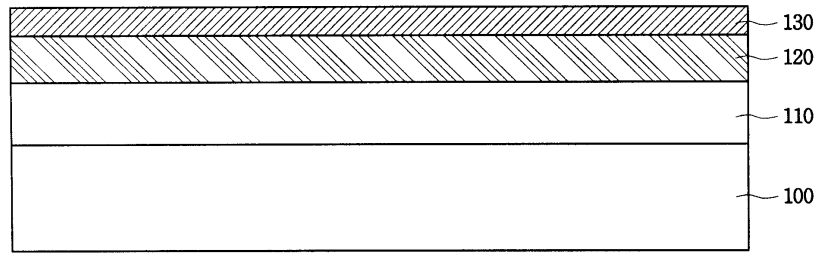
361A, 361B, 365A, 365B; 콘택 홀

371A, 371B, 375A, 375B; 소오스/드레인 전극

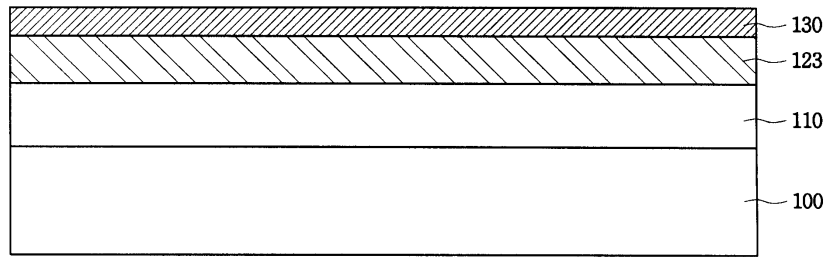
380; 보호막 390; 유기 발광 소자

도면

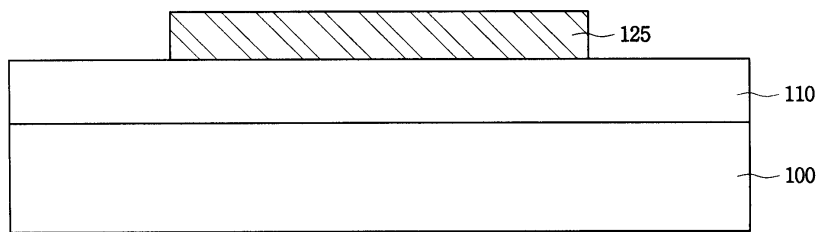
도면1a



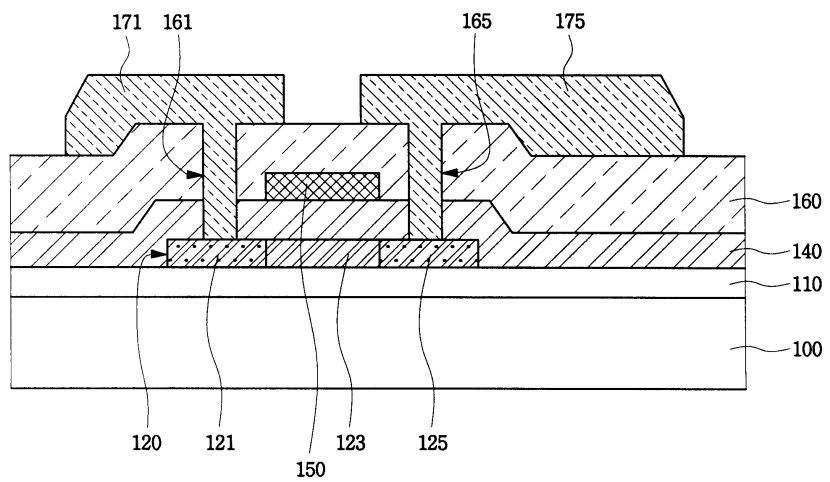
도면1b



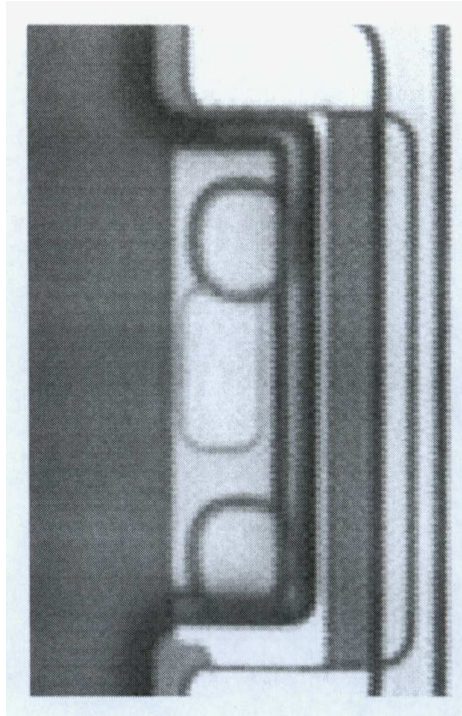
도면1c



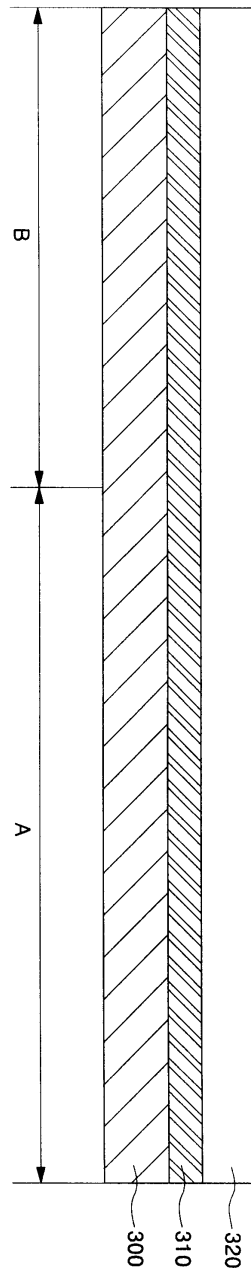
도면1d



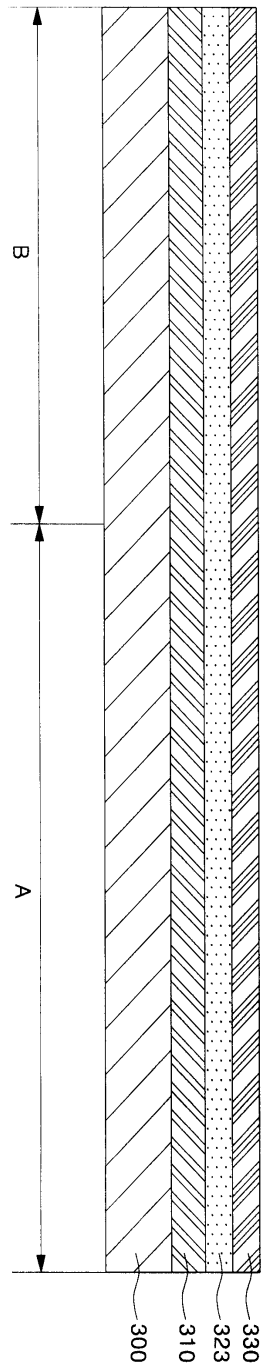
도면2



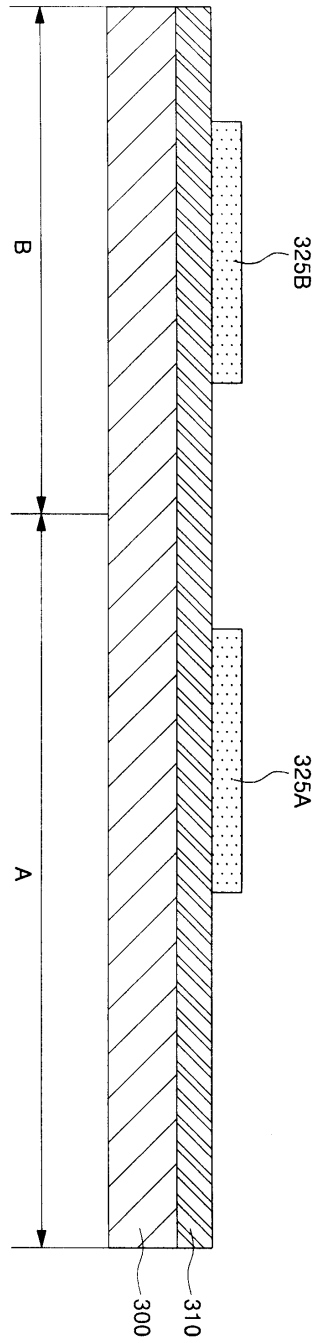
도면3a



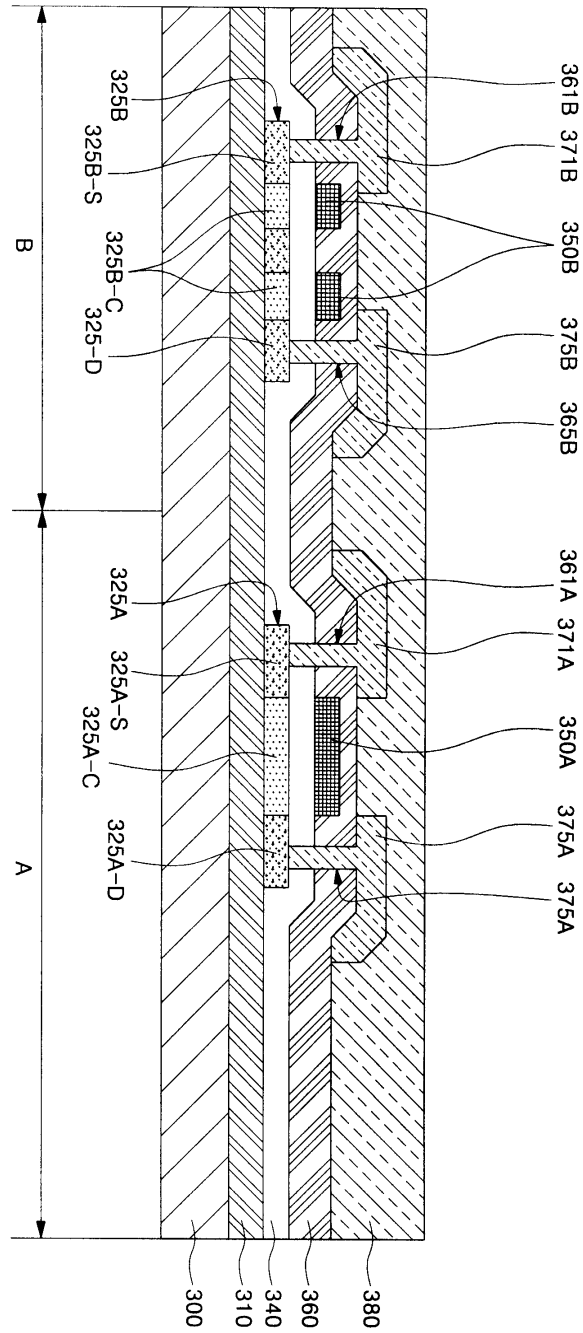
도면3b



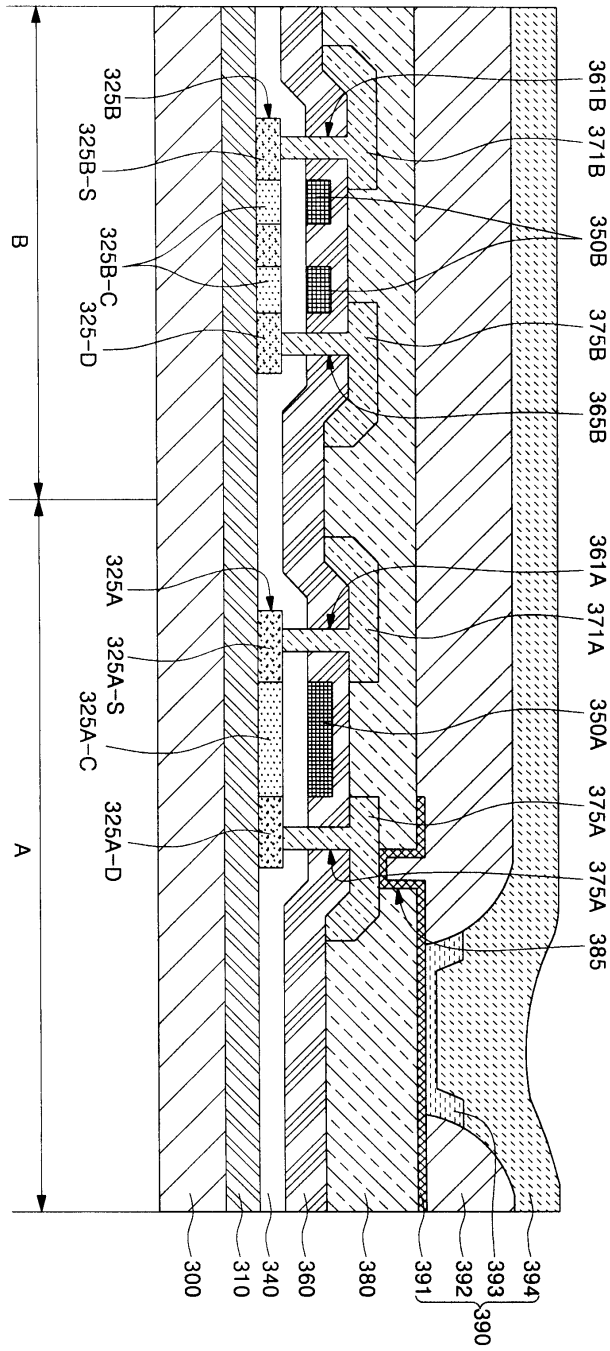
도면3c



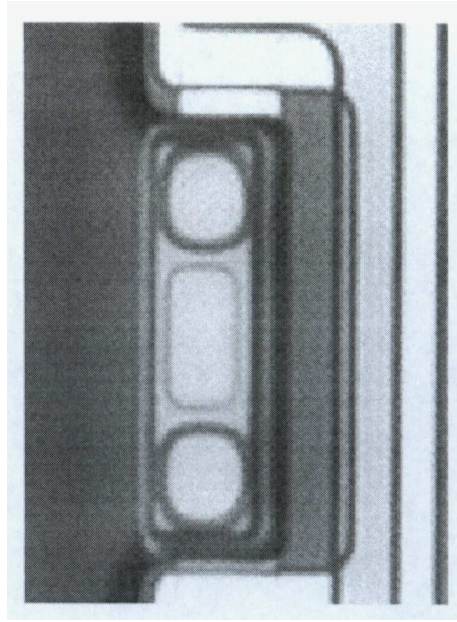
도면3d



도면3e



도면4



专利名称(译)	用于有机电致发光显示装置的薄膜晶体管及其制造方法，使用其的有机电致发光显示器		
公开(公告)号	KR100656491B1	公开(公告)日	2006-12-11
申请号	KR1020040023898	申请日	2004-04-07
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	PARK BYOUNGKEON 박병건 LEE KIYONG 이기용 SEO JINWOOK 서진욱		
发明人	박병건 이기용 서진욱		
IPC分类号	H05B33/00		
CPC分类号	A01G9/14 A01G9/26 A01G2009/1492 E04H9/16		
代理人(译)	PARK，常树		
其他公开文献	KR1020050099025A		
外部链接	Espacenet		

摘要(译)

本发明涉及包括的有机电致发光显示装置的TFT面板和使用其的有机电致发光显示装置，使用金属诱导结晶（MIC，金属诱导结晶）形成的薄膜晶体管，提供薄膜晶体管位于表面上包括源/漏区的MIC多晶硅，它位于绝缘衬底表面上：绝缘衬底每个区域和沟道区域上的栅绝缘层位于有源层上：有源层：栅电极位于在栅极绝缘层上：位于栅极电极上的层间绝缘膜：包括开关薄膜晶体管的驱动薄膜晶体管中的至少一个的层间绝缘膜和有源层，以及开关薄膜晶体管包括与包括驱动薄膜晶体管区域和开关薄膜晶体管区域的源/漏区域接触多通道区域的直接源/漏电极。MIC，TFT，多栅极，有机电致发光显示器件。

