

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) 。 Int. Cl. G09G 3/30 (2006.01)		(45) 공고일자	2006년09월18일
		(11) 등록번호	10-0623802
		(24) 등록일자	2006년09월06일
(21) 출원번호	10-2003-0099397	(65) 공개번호	10-2005-0068233
(22) 출원일자	2003년12월29일	(43) 공개일자	2005년07월05일

(73) 특허권자	엘지.필립스 엘시디 주식회사 서울 영등포구 여의도동 20번지
(72) 발명자	이대운 경기도의왕시내손동내손삼성APT104-701 이한상 경기도의왕시오전동230성원1차이화APT106동1902호 한상수 경기도과천시부림동41주공APT811-706
(74) 대리인	허용록

심사관 : 천대식

(54) 일렉트로 루미네센스 패널

요약

본 발명에 의한 일렉트로 루미네센스 패널은, 다수의 데이터 라인 및 상기 데이터 라인에 교차되게 배열되는 다수의 스캔 라인과, 상기 데이터 라인 및 스캔라인의 교차부에 매트릭스 형태로 형성되어 패널의 표시영역을 이루며, EL셀(OLED) 및 상기 EL셀을 구동시키기 위한 EL셀 구동회로가 구비된 화소를 포함하는 EL 패널에 있어서,

상기 각 화소 내의 EL셀에 제공되는 전류를 제어하기 위한 전류 멀티플렉서(current MUX.) 회로가 상기 표시영역 외부에 집적되어 형성됨을 특징으로 한다. 이와 같은 본 발명에 의하면, 각 화소에 구비된 전류 미러를 형성하는 박막트랜지스터의 폭을 증가시키지 않고서도 큰 부하의 데이터 라인을 충전이 가능하게 되어, 그에 따라 개구율 감소를 극복하여, 고 개구율에 의한 휘도 및 화질이 향상된다.

대표도

도 4

명세서

도면의 간단한 설명

도 1은 종래의 EL 패널을 개략적으로 도시한 도면.

도 2는 도 1에 도시된 화소 소자의 일 실시예를 도시한 회로도.

도 3은 도 2의 화소 소자를 구동하기 위한 타이밍도.

도 4는 본 발명에 의한 EL 패널을 도시한 회로도.

도 5는 도 4의 화소 소자를 구동하기 위한 타이밍도.

<도면의 주요 부분에 대한 부호의 설명>

40 : 표시영역 42 : 전류 멀티플렉서 회로

46 : EL 구동회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일렉트로 루미네센스 패널에 관한 것으로, 특히 전류 구동형 일렉트로 루미네센스 패널에서 표시영역 외부에 전류 미러 회로를 추가로 형성하여, 각 화소의 개구율 감소를 극복하는 일렉트로 루미네센스 패널에 관한 것이다.

최근 들어 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판표시장치들이 개발되고 있다.

이러한 평판표시장치들로는 액정표시장치(Liquid Crystal Display : 이하 LCD), 전계 방출 표시장치(Field Emission Display), 플라즈마 디스플레이 패널(Plasma Display Panel : 이하 PDP) 및 일렉트로 루미네센스(Electro-Luminescence : 이하 EL) 표시장치 등이 있으며, 이와 같은 상기 평판표시장치에 대해서 표시 품질을 높이고, 대화면화를 시도하는 연구들이 활발히 진행되고 있다.

상기 평판표시장치 중 EL 소자는 스스로 발광하는 자발광소자로, 전자 및 정공 등의 캐리어를 이용하여 형광물질을 여기 시킴으로써, 화상 또는 영상을 표시하게 되며, 직류 저전압으로 구동이 가능하고 응답속도가 빠른 장점이 있다.

도 1은 종래의 EL 패널을 개략적으로 도시한 도면이다.

도 1을 참조하면, EL 패널은 기판(10) 상에 서로 교차되게 배열되는 게이트 라인들(GL1 내지 GLm) 및 데이터 라인들(DL1 내지 DLn)과, 게이트 라인들(GL1 내지 GLm)과 데이터 라인들(DL1 내지 DLn)의 교차부들 각각에 배열되어진 화소 소자들(PE)이 구비되어 있다.

상기 화소 소자들(PE) 각각은 게이트 라인들(GL1 내지 GLn)의 게이트 신호들이 인에이블(enable)될 때에 구동되어 데이터 라인(DL)상의 화소 신호의 크기에 상응하는 빛을 발생하게 된다.

이러한 EL 패널을 구동하기 위하여 게이트 드라이버(12)가 게이트 라인들(GL1 내지 GLm)에 접속됨과 아울러 데이터 드라이버(14)가 데이터 라인들(DL1 내지 DLn)에 접속되며, 상기 게이트 드라이버(12)는 게이트 라인들(GL1 내지 GLm)을 순차적으로 구동시키고, 데이터 드라이버(14)는 데이터 라인들(DL1 내지 DLn)을 통해 화소들(PE)에 화소신호를 공급하게 된다.

도 2는 도 1에 도시된 화소 소자의 일 실시예를 도시한 회로도로서, 이는 전류 구동형 EL 패널의 한 화소 소자(PE)에 대한 회로 구조이다.

도 2를 참조하면, 상기 화소 소자(PE)는 게이트 라인(GL)과 데이터 라인(DL)의 교차부에 적용된 구동회로로 4개의 TFT(T1, T2, T3, T4)로 구성되며, 이는 기저전위원(GND)에 접속되어진 EL 셀(OLED)과, EL 셀(OLED) 및 데이터 라인(DL) 사이에 접속되어진 EL 셀(OLED) 구동회로(16)를 구비한다.

상기 EL 셀 구동회로(16)는 공급전압라인(VDD)에 전류 미러를 형성하게 접속되어진 제1 및 제2 PMOS TFT(T1, T2)와; 제1 PMOS TFT(T1), 데이터 라인(DL) 및 게이트 라인(GL)에 접속되어 게이트 라인(GL) 상의 신호에 응답되는 제3 PMOS TFT(T3)와; 제1 PMOS TFT(T1) 및 제2 PMOS TFT(T2)의 게이트 전극, 게이트 라인(GL) 및 제3 PMOS TFT(T3)에 접속되는 제4 PMOS TFT(T4); 제1 PMOS TFT(T1) 및 제2 PMOS TFT(T2)의 게이트 전극과 공급전압라인(VDD) 사이에 접속되어진 캐패시터(C_{ST})를 구비한다.

이의 동작을 살펴보면, 게이트 라인(GL)에 도 3에서와 같이 로우(LOW) 입력신호가 입력되면 제3 PMOS TFT(T3)와 제4 PMOS TFT(T4)이 턴-온 된다. 제3 PMOS TFT(T3)와 제4 PMOS TFT(T4)가 턴-온 되면 데이터 라인(DL)으로부터 스캔신호와 동기되게 입력되는 일정한 크기를 가진 비디오 신호가 제3 PMOS TFT(T3)와 제4 PMOS TFT(T4)를 통하여 캐패시터(Cst)에 충전된다.

상기 캐패시터(Cst)는 제1 PMOS TFT(T1) 및 제2 PMOS TFT(T2)의 게이트 전극과 공급전압(VDD)에 접속되어 게이트 라인(GL)의 로우입력 시간동안 데이터 라인(DL)으로부터 공급되는 비디오 신호를 충전한다.

또한, 상기 캐패시터(Cst)는 데이터라인(DL)으로부터 공급되어 충전된 비디오신호를 1 프레임 동안 홀딩(Holding) 시킨다. 이러한 홀딩시간으로 인해 데이터라인(DL)에서 공급되는 비디오신호가 EL 셀(OLED)에 공급되는 것을 캐패시터(Cst)에 의해 유지하게 된다. 또한 이러한 구조에서도 RGB 등의 각 비디오신호가 입력되는 만큼 각 화상신호를 입력하는 데이터 라인(DL)의 수가 구비되어야 한다.

1프레임 동안 홀드된 후 캐패시터(Cst)에 충전된 비디오 신호는 EL셀(OLED)에 공급되어 표시패널 상에 영상을 표시하게 된다.

그러나 종래의 기술의 경우에는 데이터 라인(DL)으로 입력되는 구동전류(I_d)로 매우 작은 전류를 사용하기 때문에 제한된 게이트라인 주사시간 안에 구동전류(I_d)로 스토리지 캐패시터(Cst)를 충/방전 시켜 해당전압으로 바꾸어 주는 데에 어려움이 있다. 여기서 게이트라인 주사시간은 제3 및 제4 PMOS TFT(T3, T4)가 동시에 턴-온 되어 있는 시간을 말한다.

또한, 상기와 같은 전류 미러 회로에서 상기 제1 PMOS TFT(T1)와 제2 PMOS TFT(T2)의 폭(Width)과 길이(Length)의 비율이 같다면 같은 크기의 전류가 제1 PMOS TFT(T1)와 제2 PMOS TFT(T2)로 흐른다.

그러나, 제1 PMOS TFT(T1)와 제2 PMOS TFT(T2)의 비율이 K:1 이라면 제2 PMOS TFT(T2)로 흐르는 전류 즉, EL 셀(OLED)에 인가되는 전류(I_{OLED})는 제1 PMOS TFT(T1)로 흐르는 전류(I_d)의 1/K 배의 크기를 가지는 전류가 흐르게 된다. 여기서, K는 제 1 PMOS TFT(T1)의 폭과 길이의 비율 대 제 2 PMOS TFT(T2)의 폭과 길이의 비율이다. ($W1/L1 : W2/L2$)

따라서, 상기 EL 셀(OLED)을 통해 흐르는 전류(I_{OLED})와 데이터 라인을 통해 흐르는 전류(I_d)는, 상기 T2와 T1의 폭(Width) 비에 비례하게 되고, 상기 비율을 크게 할수록 즉, T1의 폭을 크게 할수록 데이터 라인을 통해 공급되는 전류(I_d)의 양을 비례하여 증가시킬 수 있어 큰 부하의 데이터 라인을 충전이 가능하게 된다.

그러나, 상기 T1의 폭이 커지게 되면 그에 따라 T1의 크기도 커지게 되어 결과적으로 화소의 개구율이 감소한다는 문제가 있다.

일례로 상기 화소의 EL 셀(OLED)에 $3\mu A$ 의 전류가 필요하고, 충분한 계조(gray)의 확보를 위하여 데이터 구동회로에서 데이터 라인으로 인가되는 전류는 $30\mu A$ 가 필요한 경우에, 상기 T2의 폭과 길이의 비율 즉, $W2/L2$ 가 8/8 이라면, 상기 T1의 폭과 길이의 비율 즉, $W1/L1$ 은 80/8이 요구된다.

이와 같은 경우 화소 내부의 많은 면적을 상기 T1이 차지하게 되어 앞서 언급한 바와 같이 화소의 개구율이 감소하게 되는 것이다.

또한, 상기 구조에서 제3 및 제4 PMOS TFT(T3,T4)는 동일한 하나의 게이트 라인에 연결되어 상기 게이트 라인에 인가되는 게이트 신호에 따라 동시에 턴-온 되는데, 이 경우 상기 게이트 라인의 저항이 상기 게이트 라인을 따라 점진적으로 증가하기 때문에 게이트 신호가 지연 및 왜곡되는 문제점이 발생하게 된다.

이러한 게이트 신호의 지연 및 왜곡은 상기 캐패시터의 충전된 전압과 좌우 휘도차 값에 영향을 주어, 패널 전체적으로 휘도 및 화질이 저하되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 일렉트로 루미네센스 패널에 관한 것으로, 특히 전류 구동형 일렉트로 루미네센스 패널에서 각 화소 내의 EL셀에 제공되는 전류를 제어하기 위한 전류 미러 회로가 표시영역 외부에 집적되어 각 화소 내부의 미러 사이즈 비율을 낮춤으로써, 각 화소의 개구율 감소를 극복하는 일렉트로 루미네센스 패널에 관한 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명에 의한 일렉트로 루미네센스 패널은, 다수의 데이터 라인 및 상기 데이터 라인에 교차되게 배열되는 다수의 스캔라인과, 상기 데이터 라인 및 스캔라인의 교차부에 매트릭스 형태로 형성되어 패널의 표시영역을 이루며, EL셀(OLED) 및 상기 EL셀을 구동시키기 위한 EL셀 구동회로가 구비된 화소를 포함하는 EL 패널에 있어서,

상기 각 화소 내의 EL셀에 제공되는 전류를 제어하기 위한 전류 멀티플렉서(current MUX.) 회로가 상기 표시영역 외부에 집적되어 형성됨을 특징으로 한다.

여기서, 상기 전류 멀티플렉서 회로는,

전류 미러 회로를 구성하는 제 1미러 TFT(Q1) 및 제 2미러 TFT(Q2)와; 상기 제 1미러 TFT(Q1)와 제 2미러 TFT(Q2)의 게이트 전극 및 상기 제 1미러 TFT(Q1)의 드레인 전극과 제 2미러 TFT(Q2)의 소스 전극 사이에 형성된 스토리지 캐패시터(C)가 포함되어 구성됨을 특징으로 한다.

또한, 상기 제 1미러 TFT(Q1)의 소스 전극에 데이터 구동 회로에서 인가하는 화상 신호가 인가되고, 상기 제 2미러 TFT(Q2)의 드레인 전극은 각 화소에 연결되는 데이터 라인과 연결된다.

또한, 상기 전류 멀티플렉서 회로는 각각의 데이터 라인에 연결되도록 다수 구비됨을 특징으로 한다.

또한, 상기 제 1 미러 TFT(Q1)의 폭과 길이의 비율($W1/L1$)을 상기 제 2미러 TFT(Q2)의 폭과 길이의 비율($W2/L2$)보다 크게 형성함을 특징으로 한다.

또한, 상기 EL 셀 구동회로는, EL 셀(OLED) 및 공급전압라인(VDD)에 전류 미러를 형성하게 접속되어진 제 1 및 제 2 구동 TFT(D1, D2)와; 제 1 구동 TFT(D1), 데이터 라인(DL) 및 제 1스캔라인(SCAN1)에 접속되어 상기 제 1스캔라인(SCAN1) 상의 신호에 응답되는 제 1 스위칭 TFT(S1)와; 제 1 구동 TFT(D1) 및 제 2 구동 TFT(D2)의 게이트 전극, 제 2 스캔라인(SCAN2) 및 제 1 스위칭 TFT(S1)에 접속되는 제 2 스위칭 TFT(S2)와; 제 1 구동 TFT(D1) 및 제 2 구동 TFT(D2)의 게이트 전극과 공급전압라인(VDD) 사이에 접속되어진 스토리지 캐패시터(C_S)가 포함된다.

여기서, 상기 제 1 구동 TFT(D1)의 폭과 길이의 비율($W1/L1$)을 상기 제 2 구동 TFT(D2)의 폭과 길이의 비율($W2/L2$)과 같게 형성함을 특징으로 한다.

이와 같은 본 발명에 의하면, 각 화소에 구비된 전류 미러를 형성하는 박막트랜지스터의 폭을 증가시키지 않고서도 큰 부하의 데이터 라인을 충전이 가능하게 되어, 그에 따라 개구율 감소를 극복하여, 고 개구율에 의한 휘도 및 화질이 향상된다.

이하 첨부된 도면을 참조하여 본 발명에 의한 실시예를 상세히 설명하도록 한다.

도 4는 본 발명에 의한 EL 패널을 도시한 회로도로서, 이는 전류 구동형 EL 패널에 대해 표시영역 내에 매트릭스 형태로 구비된 화소 소자들 및 상기 표시영역(40) 외부에 집적되어 데이터 구동회로(미도시)로부터 화상신호(Idata)를 인가 받아 이를 각각의 화소에 인가하는 전류 멀티플렉서(current MUX.) 회로(42)가 도시된 것이다.

도 4를 참조하면, 상기 화소 소자들은 게이트 라인(SCAN1, SCAN2)과 데이터 라인(DL)의 교차부에 각각 구비되어 있으며, 이는 기저전위원(GND)에 접속되어진 EL 셀(OLED)과, EL 셀(OLED) 및 데이터 라인(DL1, DL2, ...) 사이에 접속되어진 EL 셀(OLED) 구동회로(46)를 구비한다.

여기서, 상기 게이트 라인(SCAN1, SCAN2)은 한 쌍으로 형성되어 있으며, 그에 따라 각 화소에는 제 1 스캔라인(SCAN1_1, SCAN1_2, ...) 및 제 2 스캔라인(SCAN2_1, SCAN2_2, ...)이 연결된다.

또한, 상기 EL 셀 구동회로(46)는 한 쌍의 스위칭 박막트랜지스터(switching TFT)와, 한 쌍의 구동 박막트랜지스터(driving TFT) 및 캐패시터(C)로 구성되며, 상기 한 쌍의 스위칭 박막트랜지스터는 제 1 스위칭 TFT(S1) 및 제 2 스위칭 TFT(S2)로 나뉘고, 상기 한 쌍의 구동 박막트랜지스터는 제 1 구동 TFT(D1) 및 제 2 구동 TFT(D2)로 나뉜다.

여기서, 상기 제 1 스위칭 TFT(S1)의 게이트 전극은 상기 제 1 스캔라인(SCAN1)에 연결되고, 소스 전극은 데이터 라인과 연결되어 있으며, 상기 제 2 스위칭 TFT(S2)는 제 1 스위칭 TFT(S1)과 직렬 연결되어 있다.

또한, 제 2 스위칭 TFT(S2)의 게이트 전극은 상기 제 2스캔라인(SCAN2)에 연결되어 있으며, 제 2 스위칭 TFT(S2)의 드레인 전극은 서로 마주보는 제 1 및 제 2 구동 TFT(D1, D2)의 게이트 전극과 연결되어 있고, 제 2 구동 TFT(D2)의 드레인 전극은 EL 셀(OLED)의 애노드 전극과 연결되어 있다.

또한, 제 1 구동 TFT(D1)의 드레인 전극은 직렬 연결된 제 1 및 2 스위칭 TFT(S1, S2)의 사이 즉, 제 1 스위칭 TFT(S1)의 드레인 전극과, 제 2 스위칭 TFT(S2)의 소스 전극에 연결되어 있다.

또한, 제 1 및 제 2 구동 TFT(D1, D2)의 소스 전극은 공급전압라인(VDD)과 연결되어 있고, EL 셀(OLED)의 캐소드 전극은 접지되어 있으며, 스토리지 캐패시터(Cs)는 상기 제 1 및 2 구동 TFT(D1, D2)의 게이트 전극과, 제 1 및 제 2 구동 TFT(D1, D2)의 소스 전극에 연결되어 있다.

이와 같이 다수의 데이터 라인 및 한 쌍의 스캔라인의 교차부에 매트릭스 형태로 형성되는 화소들은 패널의 표시영역을 이루게 된다.

정리하면, 상기 EL 셀 구동회로(46)는 공급전압라인(VDD)에 전류 미러를 형성하게 접속되어진 제 1 및 제 2 구동 TFT(D1, D2)와; 제 1 구동 TFT(D1), 데이터 라인(DL) 및 제 1스캔라인(SCAN1)에 접속되어 상기 제 1스캔라인(SCAN1) 상의 신호에 응답되는 제 1 스위칭 TFT(S1)와; 제 1 구동 TFT(D1) 및 제 2 구동 TFT(D2)의 게이트 전극, 제 2스캔라인(SCAN2) 및 제 1 스위칭 TFT(S1)에 접속되는 제 2 스위칭 TFT(S2)와; 제 1 구동 TFT(D1) 및 제 2 구동 TFT(D2)의 게이트 전극과 공급전압라인(VDD) 사이에 접속되어진 스토리지 캐패시터(Cs)를 구비한다.

이의 동작을 살펴보면, 제 1 및 제 2스캔라인(SCAN1, 2)에 도 5에서와 같이 로우(LOW) 입력신호가 입력되면 제 1 스위칭 TFT(S1)와 제 2 스위칭 TFT(S2)가 턴-온 된다. 이와 같이 제 1 스위칭 TFT(S1)와 제 2 스위칭 TFT(S2)가 턴-온 되면 데이터 라인(DL)으로부터 상기 스캔신호와 동기되게 입력되는 일정한 크기를 가진 비디오 신호가 상기 제 1 스위칭 TFT(S1)와 제 2 스위칭 TFT(S2)를 통하여 캐패시터(Cs)에 충전된다.

상기 캐패시터(Cs)는 제 1 구동 TFT(D1) 및 제 2 구동 TFT(D2)의 게이트 전극과 공급전압(VDD)에 접속되어, 스캔신호 입력 시간동안 데이터 라인(DL)으로부터 공급되는 비디오 신호를 충전하게 된다.

본 발명은 상기 각 화소 내의 EL셀에 제공되는 전류를 제어하기 위한 전류 멀티플렉서(current MUX.) 회로(42)가 상기 표시영역(40) 외부에 집적되어 형성됨을 그 특징으로 하며, 상기 전류 멀티플렉서 회로(42)는 한 쌍의 TFT(Q1, Q2)와 스토리지 캐패시터(C)로 구성되고, 그 내부에 전류 미러 회로가 구비되어 있음을 특징으로 한다.

여기서, 상기 한 쌍의 TFT는 제 1미러 TFT(Q1)와 제 2미러 TFT(Q2)로, 이는 전류 미러 회로를 구성하고 있다.

즉, 상기 제 1미러 TFT(Q1)와 제 2미러 TFT(Q2)는 서로 마주보고 있으며, 상기 제 1미러 TFT(Q1)의 소스 전극(s)에는 데이터 구동 회로(미도시)에서 인가하는 화상 신호(Idata)가 인가되고, 상기 제 1미러 TFT(Q1)와 제 2미러 TFT(Q2)의 게이트 전극(g) 및 상기 제 1미러 TFT(Q1) 드레인 전극(d)과 제 2미러 TFT(Q2)의 소스전극(s)은 각각 서로 연결되어 있다.

여기서, 상기 제 1미러 TFT(Q1)와 제 2미러 TFT(Q2)의 게이트 전극(g) 및 상기 제 1미러 TFT(Q1)의 드레인 전극(d)/제 2미러 TFT(Q2)의 소스 전극(s) 사이에는 스토리지 캐패시터(C)가 형성되어 있고, 상기 스토리지 캐패시터(C)의 일측은 접지되어 있다.

또한 상기 제 2미러 TFT(Q2)의 드레인 전극(d)은 각 화소에 연결되는 데이터 라인(DL)과 연결된다.

즉, 상기 제 1미러 TFT(Q1)의 소스 전극(s)으로 인가되는 화상신호(Idata)는 상기 전류 미러 회로 내부를 거쳐 상기 제 2미러 TFT(Q2)의 드레인 전극(g)으로 Id 값으로 출력되어 데이터 라인에 의해 각각의 화소로 인가되는 것이다.

결과적으로 본 발명은 각각의 화소 내에 구비된 전류 미러 회로를 통해 각 화소의 EL셀에 소정의 전류를 인가하기 전에, 미리 표시영역 외부에 집적된 상기 전류 멀티플렉서를 통해 전류 미러 회로를 거치게 한다.

여기서, 상기 전류 미러 회로의 미러 비율, 즉 전류 변화량을 크게 하는 것은 앞서 설명한 바와 같이 큰 부하의 데이터 라인을 충전이 가능하게 하기 위함이다.

종래의 경우에는 상기 전류 멀티플렉서(42)가 구비되지 않았기 때문에 상기 각 화소 내에 구비된 전류 미러 회로(D1, D2)의 미러 비율을 크게 하였으나, 이 경우 각 화소의 개구율이 크게 감소된다는 문제점이 있었다.

이에 본 발명은 상기 각 화소 내에 구비된 전류 미러 회로(D1, D2)의 미러 비율, 즉 제1 전류 변화량은 1 : 1로 하고, 상기 전류 멀티플렉서(42)에 구비된 전류 미러 회로(Q1, Q2)의 미러 비율, 즉 제2 전류 변화량을 크게 함으로써, 큰 부하의 데이터 라인을 충전이 가능토록 할 뿐 아니라, 개구율의 감소를 극복할 수 있게 한다.

이를 좀 더 상세히 설명하면, 상기 전류 멀티플렉서(42) 내의 제 1 미러 TFT(Q1)와 제2 미러 TFT(Q2)의 비율이 K:1 이라면 제 2 미러 TFT(Q2)로 흐르는 전류 즉, 데이터 라인에 인가되는 전류(Id)는 상기 제 1 미러 TFT(Q1)로 흐르는 전류 즉, 데이터 구동 회로에서 인가되는 전류(Idata)의 1/K 배의 크기를 가지는 전류가 흐르게 된다.

앞서 설명한 바와 같이 상기 K는 제 1미러 TFT(Q1)의 폭과 길이의 비율 대 제 2미러 TFT(Q2)의 폭과 길이의 비율이다. ($W1/L1 : W2/L2$)

따라서, 데이터 구동 회로(미도시)에서 인가되는 전류(Idata)와 데이터 라인을 통해 흐르는 전류(Id)는, 상기 Q1과 Q2의 폭(Width) 비에 비례하게 되고, 상기 비율을 크게 할수록 즉, Q1의 폭을 크게 할수록 데이터 라인을 통해 공급되는 전류(Id)의 양을 비례하여 증가시킬 수 있어 큰 부하의 데이터 라인을 충전이 가능하게 된다.

이 경우 상기 Q1의 폭이 커지게 되면 그에 따라 Q1의 크기도 커지게 되나, 이 때, 상기 전류 멀티플렉서(42)는 표시영역(40) 외부에 집적되어 있으므로, 상기 Q1을 크게 하더라도 개구율에 전혀 영향을 미치지 않는다.

즉, 상기 제 1 미러 TFT(Q1)의 폭과 길이의 비율($W1/L1$)을 상기 제 2미러 TFT(Q2)의 폭과 길이의 비율($W2/L2$)보다 크게 형성하고, 이에 따라 상기 각 화소 내에 구비된 전류 미러 회로(D1, D2)의 미러 비율은 1 : 1로 하게 됨으로써, 개구율 감소의 문제없이 큰 부하의 데이터 라인의 충전이 가능하게 되는 것이다.

일례로 상기 화소의 EL 셀(OLED)에 $3\mu A$ 의 전류가 필요하고, 충분한 계조(gray)의 확보를 위하여 데이터 구동회로에서 데이터 라인으로 인가되는 전류는 $30\mu A$ 가 필요한 경우, 상기 전류 멀티플렉서 내 전류 미러 회로 즉, Q1, Q2의 미러 비율($W1/L1 : W2/L2$)을 10 : 1로 하게 되면, 상기 화소 내에 구비된 전류 미러 회로 즉, D1, D2의 미러 비율을 1 : 1로 가져갈 수 있는 것이다.

이에 따라 상기 D2의 폭과 길이의 비율 즉, $W2/L2$ 가 8/8 이라면, 상기 D1의 폭과 길이의 비율 즉, $W1/L1$ 을 8/8로 할 수 있으며, 결과적으로 화소 내부의 TFT 크기가 종래보다 작아져 개구율을 크게 증가시킬 수 있는 것이다.

발명의 효과

본 발명에 의한 일렉트로 루미네센스 패널에 의하면, 각 화소에 구비된 전류 미러를 형성하는 박막트랜지스터의 폭을 증가시키지 않고서도 큰 부하의 데이터 라인을 충전이 가능하게 되어, 그에 따라 개구율 감소를 극복하여, 고 개구율에 의한 휘도 및 화질이 향상된다는 장점이 있다.

(57) 청구의 범위

청구항 1.

다수이 스캔라인과 다수의 데이터라인이 교차 배열되고, 상기 스캔라인과 상기 데이터라인의 교차부에 화소가 배치되고, 상기 각 화소에 의해 구성된 표시영역과 비표시영역으로 구분되는 일렉트로 루미네센스 패널에 있어서,

상기 화소는,

EL 셀과 상기 EL 셀을 구동시키기 위한 EL 셀 구동회로를 포함하고,

상기 EL 셀 구동회로는 제1 전류 변화량을 제어하는 제1 전류미러 회로를 구비하고,

상기 화소에 연결되어 제2 전류 변화량을 제어하는 제2 전류미러 회로가 상기 비표시영역에 구비되는 것을 특징으로 하는 일렉트로 루미네센스 패널.

청구항 2.

제 1항에 있어서,

상기 제2 전류미러 회로는,

제2 전류미러를 구성하는 제 1미러 TFT(Q1) 및 제 2미러 TFT(Q2)와,

상기 제 1미러 TFT(Q1)와 제 2미러 TFT(Q2)의 게이트 전극 및 상기 제 1미러 TFT(Q1)의 드레인 전극과 제 2미러 TFT(Q2)의 소스 전극 사이에 형성된 스토리지 캐패시터(C)가 포함되어 구성됨을 특징으로 하는 일렉트로 루미네센스 패널.

청구항 3.

제 2항에 있어서,

상기 제 1미러 TFT(Q1)의 소스 전극에 데이터 구동 회로에서 인가하는 화상 신호가 인가되고, 상기 제 2미러 TFT(Q2)의 드레인 전극은 상기 데이터라인과 연결됨을 특징으로 하는 일렉트로 루미네센스 패널.

청구항 4.

제 1항에 있어서,

상기 제2 전류미러 회로는 상기 각 데이터라인에 연결되도록 다수 구비됨을 특징으로 하는 일렉트로 루미네센스 패널.

청구항 5.

제 2항에 있어서,

상기 제 1 미러 TFT(Q1)의 폭과 길이의 비율($W1/L1$)을 상기 제 2미러 TFT(Q2)의 폭과 길이의 비율($W2/L2$)보다 크게 형성함을 특징으로 하는 일렉트로 루미네센스 패널.

청구항 6.

제 1항에 있어서,

상기 EL 셀 구동회로는, 제1 전류미러를 구성하기 위해 EL 셀(OLED) 및 공급전압라인(VDD)에 접속되어진 제 1 및 제 2 구동 TFT(D1, D2)와; 제 1 구동 TFT(D1), 데이터 라인(DL) 및 제 1스캔라인(SCAN1)에 접속되어 상기 제 1스캔라인(SCAN1) 상의 신호에 응답되는 제 1 스위칭 TFT(S1)와; 제 1 구동 TFT(D1) 및 제 2 구동 TFT(D2)의 게이트 전극, 제 2 스캔라인(SCAN2) 및 제 1 스위칭 TFT(S1)에 접속되는 제 2 스위칭 TFT(S2)와; 제 1 구동 TFT(D1) 및 제 2 구동 TFT(D2)의 게이트 전극과 공급전압라인(VDD) 사이에 접속되어진 스토리지 캐패시터(C_S)가 포함됨을 특징으로 하는 일렉트로 루미네센스 패널.

청구항 7.

제 6항에 있어서,

상기 제 1 구동 TFT(D1)의 폭과 길이의 비율($W1/L1$)을 상기 제 2 구동 TFT(D2)의 폭과 길이의 비율($W2/L2$)과 같게 형성함을 특징으로 하는 일렉트로 루미네센스 패널.

청구항 8.

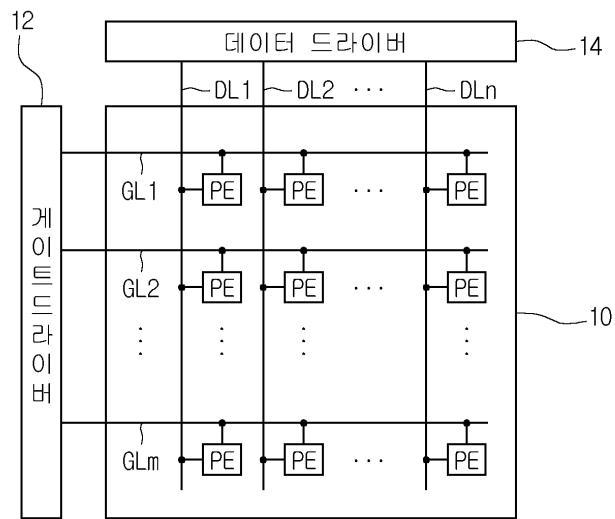
제6항에 있어서, 상기 제 1 및 제 2 구동 TFT(D1, D2)와 상기 스토리지 캐패시터(C_S)에 의해 상기 제1 전류미러 회로가 구성되는 것을 특징으로 하는 일렉트로 루미네센스 패널.

청구항 9.

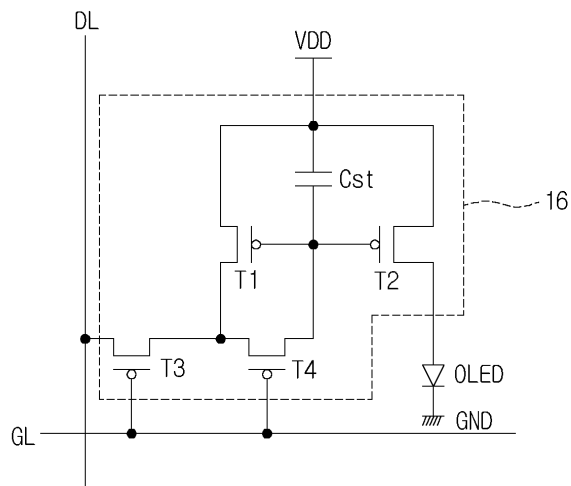
제1항에 있어서, 상기 제2 전류 변화량은 상기 제1 전류 변화량보다 큰 것을 특징으로 하는 일렉트로 루미네센스 패널.

도면

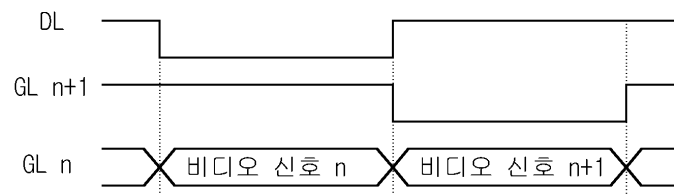
도면1



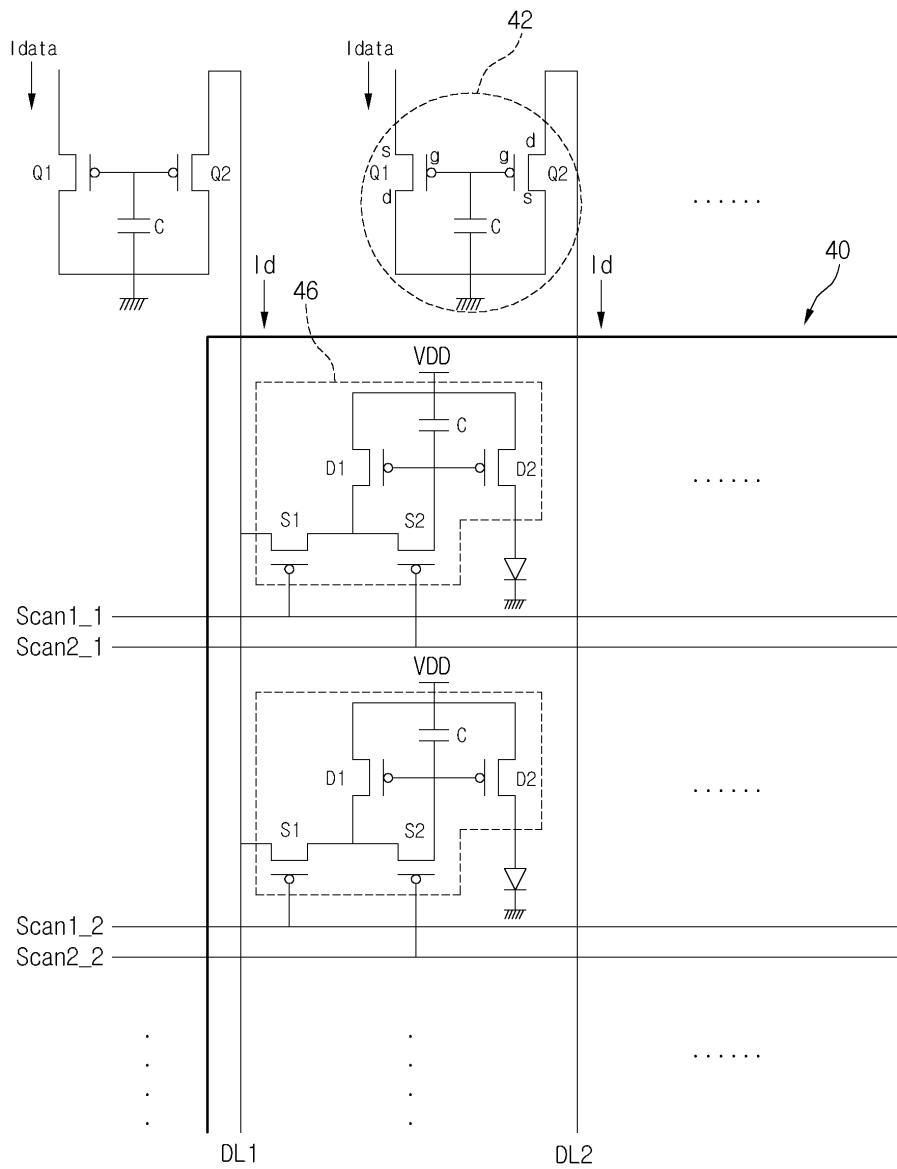
도면2



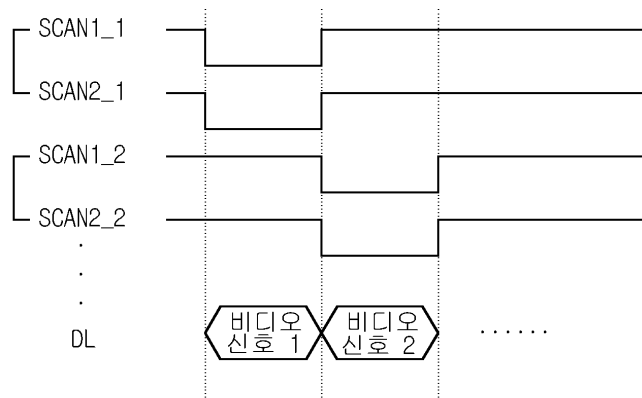
도면3



도면4



도면5



专利名称(译)	电致发光板		
公开(公告)号	KR100623802B1	公开(公告)日	2006-09-18
申请号	KR1020030099397	申请日	2003-12-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE DAIYUN 이대운 LEE HANSANG 이한상 HAN SANGSOO 한상수		
发明人	이대운 이한상 한상수		
IPC分类号	G09G3/30		
其他公开文献	KR1020050068233A		
外部链接	Espacenet		

摘要(译)

根据本发明的电致发光板包括多条数据线，布置成与数据线交叉的多条扫描线，以及在数据线和扫描线的交叉点处以矩阵形成的显示区域，一种电流多路复用器（MUX），用于控制提供给每个像素中的EL单元的电
流，该EL面板包括具有EL单元（OLED）的像素和用于驱动EL单元的EL
单元驱动电路，本发明的特征在于，在不增加形成每个像素中包括的电
流镜的薄膜晶体管的宽度的情况下对大负载的数据线充电，因此，克服
了孔径比的降低，并且改善了由于高孔径比导致的亮度和图像质量。 4

