

(19)대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl. <i>H05B 33/08</i> (2006.01) <i>G09G 3/30</i> (2006.01)	(45) 공고일자 2006년07월31일 (11) 등록번호 10-0604774 (24) 등록일자 2006년07월19일
--	--

(21) 출원번호	10-2004-0048309	(65) 공개번호	10-2005-0122687
(22) 출원일자	2004년06월25일	(43) 공개일자	2005년12월29일

(73) 특허권자 삼성에스디아이 주식회사
 경기 수원시 영통구 신동 575

(72) 발명자 최웅식
 경기도 부천시 오정구 원종동 332-31번지 엘리트주택 라동 201호

(74) 대리인 신영무

심사관 : 김창균

(54) 유기 발광 표시장치

요약

본 발명은 서로 다른 색을 표시하는 화소 내의 유기 발광 소자의 발광 능력에 따라 서로 다른 전류량을 공급하며, 발광 능력이 다른 유기 발광 소자의 화이트 밸런스를 용이하게 조절할 수 있는 박막 트랜지스터 구조를 포함한 유기 발광 표시장치에 관한 것이다. 본 발명에 따른 유기 발광 표시장치는 데이터 신호를 전달하는 복수의 데이터선과, 선택 신호를 전달하는 복수의 주사선, 그리고 서로 다른 색을 표시하는 제1, 제2 및 제3 발광 소자에, 상기 선택 신호에 따라 상기 데이터 신호에 상응하는 전류를 각각 공급하는 제1, 제2, 및 제3 박막 트랜지스터를 구비하는 화소를 포함하며, 제1 내지 제3 박막 트랜지스터의 적어도 하나의 채널 영역은 양단 부분의 폭이 넓고 가운데 부분의 폭이 좁게 형성되는 것을 특징으로 한다.

대표도

도 2

색인어

유기 발광, 디스플레이, 화이트 밸런스, TFT, 채널

명세서

도면의 간단한 설명

도 1은 종래의 유기 발광 표시장치 및 그 화소 회로에 채용된 구동 박막 트랜지스터를 확대하여 나타낸 도면이다.

도 2는 본 발명의 제1 실시예에 따른 유기 발광 표시장치에 대한 구성도이다.

도 3은 본 발명의 제1 실시예에 따른 유기 발광 표시장치의 화상표시부에 채용할 수 있는 레이아웃에 대한 도면이다.

도 4는 도 3의 유기 발광 표시장치의 IV-IV선을 따라 취한 단면도이다.

도 5a 내지 도 5c는 본 발명의 제1 실시예에 따른 유기 발광 표시장치의 구동용 박막 트랜지스터를 설명하기 위한 평면도이다.

도 6a 및 도 6b는 본 발명의 제1 실시예에 따른 유기 발광 표시장치의 구동용 박막 트랜지스터의 변형예를 설명하기 위한 평면도이다.

<도면의 주요 부분에 부호의 설명>

200: 유기 발광 표시장치 210: 주사 구동부

212: 주사선 220: 데이터 구동부

222: 데이터선 230: 화상표시부

232: 화소 242: 전원전압선

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 발광 표시장치에 관한 것으로, 보다 상세하게는 서로 다른 색을 표시하는 화소 내에서, 유기 발광 소자의 발광 능력에 따라 각 유기 발광 소자에 서로 다른 전류를 공급하여 발광 능력이 다른 유기 발광 소자들의 화이트 밸런스를 용이하게 조절할 수 있는 박막 트랜지스터 구조를 구비한 유기 발광 표시장치에 관한 것이다.

일반적으로 액티브 매트릭스(active matrix)형 유기 발광 표시장치는 각 화소당 적어도 2개의 박막 트랜지스터(thin film transistor; 이하, "TFT"라 함)를 구비한다. 이들 박막 트랜지스터는 각 화소의 동작을 제어하는 스위칭 소자 및 유기 발광 소자를 구동시키는 구동 소자로 사용된다.

박막 트랜지스터는 통상 반도체층, 게이트 절연층, 소스 전극, 드레인 전극 및 게이트 전극의 제작 순서에 따라, 게이트 전극과 소스 및 드레인 전극이 반도체층을 사이에 두고 양측에 형성되어 있는 스테거드형(staggered type)과, 게이트 전극과 소스 및 드레인 전극이 반도체층의 한쪽 면에 형성되어 있는 코플래너형(coplanar type) 등으로 분류된다. 또한, 박막 트랜지스터는 기판 상부에서 소스 및 드레인 전극에 대한 게이트 전극의 위치에 따라 상부 게이트 구조나 하부 게이트 구조로 분류될 수 있다.

예를 들면, 코플래너형 또는 상부 게이트 구조의 박막 트랜지스터는 기판 상에 소정 농도의 불순물로 도핑된 드레인 영역과 소스 영역 및 이 영역들 사이에 형성된 채널 영역을 갖는 반도체층과, 이 반도체층 상에 형성된 게이트 절연막과, 채널 영역 상부의 게이트 절연막 상에 형성된 게이트 전극, 그리고 게이트 전극 상에서 층간 절연막을 사이에 두고 콘택홀을 통해 드레인 영역 및 소스 영역에 각각 접속되는 드레인 전극 및 소스 전극 등으로 구성된다.

한편, 액티브 매트릭스형 유기 발광 표시장치를 구성하는 적색, 녹색, 및 청색 유기 발광 소자는 각각 전류에 대한 발광 능력 즉 광효율이 다르다. 따라서, 종래 기술에서는 각 유기 발광 소자 회로에 서로 다른 전압 또는 전류를 공급하여 전체적인 색좌표를 잡고 색순도 및 색효율을 높인다.

이를 위해, 종래 기술에서는 적색, 녹색, 및 청색을 표시하는 각각의 유기 발광 소자에 대해 서로 다른 크기의 전압을 공급하는 구동 회로를 사용한다. 예를 들면, 종래 기술에서는 발광 능력이 다른 유기 발광 소자 각각에 대해 다른 감마 전압을 인가하는 구동 회로를 사용하는 방법들이 채택되고 있다.

그러나, 독립적으로 감마 전압을 인가하는 종래의 방법에서는 유기 발광 표시장치의 색좌표를 잘 표현하는 구동 범위를 구현하기가 어렵다. 따라서, 종래의 방법을 이용하는 경우, 구동 범위를 조정하기 어렵다는 한계가 그대로 유기 발광 표시장치의 모듈 및 회로에 영향을 주어 제품 품질 및 화질의 저하로 나타난다.

다른 한편으로, 종래 기술에서는 유기 발광 소자의 발광 능력에 따라 구동용 박막 트랜지스터의 크기를 다르게 형성하여 화질을 개선하는 방법을 제안하고 있다. 그 일례가 국내 등록특허공고 제388174호(2003.6.19)에 개시된 "칼라 표시 장치"이다. 이 종래 기술에 대하여 도 1을 참조하여 설명한다.

도 1은 종래의 칼라 표시 장치 및 그 화소 회로에 채용된 구동 박막 트랜지스터를 확대하여 나타낸 도면이다.

도 1에 나타난 바와 같이, 종래의 액티브 매트릭스형 칼라 표시 장치(100)는 제1 방향으로 연장되는 복수의 주사선(102)과, 제1 방향과 교차하는 제2 방향으로 연장되는 복수의 데이터선(104), 및 주사선(102)과 데이터선(104)에 연결되는 복수의 화소(110)를 포함한다. 화소(110)는 적색(R), 녹색(G), 및 청색(B)을 각각 표시하는 부화소(110R, 110G, 110B)를 포함한다. 부화소(110R, 110G, 110B)는 유기 발광 소자(organic light emitting diode)(이하 'OLED'라고 한다), 구동용 박막 트랜지스터(M1; M2; M3), 스위칭용 박막 트랜지스터(M4; M5; M6), 및 스토리지 커패시터(Cs1; Cs2; Cs3)를 각각 포함한다. 도 1에서 구동용 박막 트랜지스터(M1, M2, M3)는 듀얼 게이트 구조의 박막 트랜지스터로 형성되어 있다.

상술한 종래의 칼라 표시 장치(100)에서는 각 부화소(110R, 110G, 110B) 내의 적색, 녹색 및 청색의 OLED의 발광 능력에 따라 구동용 박막 트랜지스터(M1, M2, M3)의 크기를 다르게 형성하여 화이트 밸런스를 조정한다. 다시 말해서, 종래의 칼라 표시 장치(100)에서는, 어느 한 색을 표시하는 OLED의 발광 능력이 다른 색을 표시하는 OLED의 발광 능력보다 낮은 경우, 예를 들어 구동용 박막 트랜지스터(M3)에 연결되는 OLED의 발광 능력이 가장 낮은 경우, 그것의 채널 길이(L5, L6)를 다른 구동용 박막 트랜지스터(M1, M2)의 각 채널 길이(L1, L2; L3, L4)보다 짧게 하여 구동용 박막 트랜지스터(M3)에 흐르는 전류량을 크게 한다. 이러한 구성에 의해, 종래의 칼라 표시 장치(100)에서는 화소 내에서 발광 능력이 서로 다른 복수의 OLED의 화이트 밸런스를 조절한다.

그러나, 상술한 종래의 칼라 표시 장치에서는 적색, 녹색, 및 청색을 각각 표시하는 부화소의 각 구동용 박막 트랜지스터의 크기가 적색, 녹색, 및 청색의 OLED의 발광 능력에 따라 서로 다르게 형성되기 때문에, 비교적 제조 공정이 복잡할 뿐만 아니라, 구동용 박막 트랜지스터의 크기가 커진 부화소에서는 상대적으로 개구율이 감소된다는 문제점이 있다. 게다가, 상술한 종래의 칼라 표시 장치에서는, 배면 발광 구조를 갖은 경우, 발광 능력이 낮은 OLED를 가진 부화소에 탑재되는 구동용 박막 트랜지스터의 채널 폭이 상대적으로 크게 형성될 수 있기 때문에, 발광 능력을 높여야 하는 부화소의 발광 영역 또는 개구율이 작아져 도리어 해당 부화소의 휘도가 감소될 수 있다는 단점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상술한 종래의 문제점을 해결하고 표시 장치의 구동 환경을 개선하며 화질을 향상시킬 수 있는 유기 발광 표시장치를 제공하기 위해 도출된 것으로, 본 발명의 목적은 유기 발광 소자의 발광 능력에 따라 다른 전류량을 공급하면서도 채널 크기 또는 채널의 길이와 폭이 실질적으로 동일한 박막 트랜지스터 구조를 포함하는 유기 발광 표시장치를 제공하는 것이다.

발명의 구성 및 작용

상술한 목적으로 달성하기 위하여, 본 발명의 일 측면에 따르면, 데이터 신호를 전달하는 복수의 데이터선과, 선택 신호를 전달하는 복수의 주사선, 및 서로 다른 색을 표시하는 제1, 제2 및 제3 발광 소자에, 상기 선택 신호에 따라 상기 데이터 신호에 상응하는 전류를 각각 공급하는 제1, 제2, 및 제3 박막 트랜지스터를 구비하는 화소를 포함하며, 제1 내지 제3 박막 트랜지스터의 적어도 하나의 채널 영역의 폭은 다단으로 형성되는 유기 발광 표시장치가 제공된다.

바람직한 일 실시예에서, 채널 영역의 폭은 제1 내지 제3 발광 소자의 발광 능력의 차이에 따라 서로 다른 폭 길이를 가진 다단으로 형성된다.

또한, 채널 영역의 폭은 양단 부분의 폭이 넓고, 가운데 부분의 폭이 좁게 형성된다.

또한, 제1 내지 제3 박막 트랜지스터의 제1 내지 제3 채널 영역의 폭은 실질적으로 동일하다.

또한, 제1 내지 제3 박막 트랜지스터 중 채널 영역의 좁은 폭의 길이가 가장 짧은 박막 트랜지스터는 제1 내지 제3 발광 소자 중 발광 능력이 가장 우수한 발광 소자에 접속된다.

또한, 발광 능력이 가장 우수한 발광 소자는 적색을 표시하는 발광 소자이다.

본 발명의 다른 측면에 따르면, 데이터 신호를 전달하는 복수의 데이터선, 선택 신호를 전달하는 복수의 주사선, 및 서로 다른 색을 표시하는 제1, 제2 및 제3 발광 소자에 선택 신호에 따라 데이터 신호에 상응하는 전류를 각각 공급하는 제1, 제2, 및 제3 박막 트랜지스터를 구비하는 화소를 포함하며, 제1 내지 제3 박막 트랜지스터의 적어도 하나의 채널 영역은 사각 링 모양으로 형성되는 유기 발광 표시장치가 제공된다.

바람직한 일 실시예에서, 제1 내지 제3 박막 트랜지스터 중 사각 링의 내부 영역의 폭 방향의 길이가 가장 긴 박막 트랜지스터는 제1 내지 제3 발광 소자 중 발광 능력이 가장 우수한 발광 소자에 연결된다.

또한, 제1 내지 제3 박막 트랜지스터의 채널 영역은 실질적으로 동일한 길이 및 동일한 폭으로 이루어진다.

또한, 본 발명에 따른 유기 발광 표시장치는 선택 신호에 응답하여 데이터 신호를 화소에 전달하는 스위칭 소자를 추가적으로 포함할 수 있다.

또한, 본 발명에 따른 유기 발광 표시장치는 스위칭 소자를 통해 전달된 데이터 신호에 상응하는 전압을 저장하는 커패시터를 추가적으로 포함한다.

또한, 제1 내지 제3 박막 트랜지스터는 커패시터에 저장된 전압에 상응하는 전류를 발광 소자에 공급한다.

또한, 박막 트랜지스터는 코플래너 구조, 스테거드 구조, 상부 게이트 구조, 및 하부 게이트 구조 중 적어도 어느 하나의 구조로 이루어진다.

본 발명의 또 다른 측면에 따르면, 절연 기판 상에 형성되며, 양단 부분의 폭이 넓고 가운데 부분의 폭이 좁은 채널과 이 채널의 양단 부분에 각각 접속되는 소스 및 드레인을 포함하는 반도체층과, 채널에 접하여 형성되는 절연층, 및 이 절연층을 사이에 두고 채널과 마주하는 게이트를 구비하는 트랜지스터가 제공된다.

본 발명의 또 다른 측면에 따르면, 절연 기판 상에 형성되며, 사각 링 모양의 채널과 이 채널의 양단부에 각각 접속되는 소스 및 드레인을 포함하는 반도체층과, 채널에 접하여 형성된 절연층, 및 이 절연층을 사이에 두고 채널과 마주하는 게이트를 구비하는 트랜지스터가 제공된다.

이하, 본 발명을 첨부한 도면을 참조하여 상세히 설명한다

도 2는 본 발명의 제1 실시예에 따른 유기 발광 표시장치에 대한 구성도이다. 도 3은 본 발명의 제1 실시예에 따른 유기 발광 표시장치의 화상표시부에 채용할 수 있는 레이아웃에 대한 도면이다. 도 4는 도 3의 유기 발광 표시장치의 IV-IV선을 따라 취한 단면도이다.

도 2를 참조하면, 유기 발광 표시장치(200)는 복수의 주사선(S1, S2, ~ Sn; 212)을 통해 화상표시부(230)에 선택 신호를 전달하는 주사 구동부(210)와, 복수의 데이터선(D1, D2, D3, ~ Dm; 222)을 통해 화상표시부(230)에 데이터 신호를 전달하는 데이터 구동부(220), 그리고 화상을 표시하는 복수의 부화소(232)를 구비한 화상표시부(230)를 포함한다. 부화소(232)는 적색, 녹색, 청색을 표시하는 복수의 부화소로 하나의 화소를 형성한다. 부화소(232)는 주사 신호 등의 선택 신호가 인가되는 주사선(212)과, 데이터 신호가 인가하는 데이터선(222), 제1 전원전압(VDD)을 공급하는 제1 전원전압선(242), 그리고 제2 전원전압(VSS)을 공급하는 제2 전원전압선(244)에 연결된다. 또한, 부화소(232)는 선택 신호와 데이터 신호에 따라 백색, 적색, 녹색 또는 청색 등의 색을 표시한다.

또한, 부화소(232)는 적어도 두 개의 박막 트랜지스터와 적어도 하나의 커패시터를 포함하여 이루어진다. 두 개의 박막 트랜지스터는 하나의 스위칭 트랜지스터와 구동 트랜지스터를 포함한다. 예를 들면, 부화소(232)는 도 3에 도시한 레이아웃과 같이 설계될 수 있다. 도 3은 도 2의 칼라 표시 장치의 P영역 내의 화소에 대한 레이아웃 도면이다. 도 3에는 세 개의 부화소를 각각 포함하는 두 개의 화소가 도시되어 있다. 이하에서는 하나의 화소를 중심으로 설명한다.

도 3을 참조하면, 화소(230)는 두 개의 박막 트랜지스터(M1, M4; M2, M5; M3, M6)와 하나의 스토리지 커패시터(storage capacitor; Cs1; Cs2; Cs3)를 각각 포함하는 세 개의 부화소(232R, 232G, 232B)로 이루어진다. 여기서, 일부 박막 트랜지스터(M1, M2, M3)는 구동용 박막 트랜지스터이고, 나머지 박막 트랜지스터(M4, M5, M6)는 스위치용 박막 트랜지스터이다. 화소(230) 내에서 스위치용 박막 트랜지스터(M4, M5, M6)는 데이터를 샘플링하고, 스토리지 커패시터(Cs1, Cs2, Cs3)에는 데이터가 프로그래밍되며, 구동용 박막 트랜지스터(M1, M2, M3)는 전류원으로 동작한다. 이러한 동작에 의해, 유기 발광 소자는 소정의 휘도로 발광한다. 데이터는 예를 들어 그레이(gray)를 단계별로 표현하기 위한 소정 레벨의 계조 전압 또는 전류를 나타낸다.

물론, 화소(230) 내의 각 부화소는 1개 이상의 구동용 박막 트랜지스터나 1개 이상의 스위치용 박막 트랜지스터를 추가적으로 포함하도록 이루어질 수 있다. 또한, 부화소는 구동용 박막 트랜지스터의 문턱 전압을 보상하기 위한 문턱 전압 보상용 커패시터나 또 다른 스토리지 커패시터 등을 1개 이상 추가적으로 포함하도록 이루어질 수 있다. 또한, 부화소는 서로 다른 색을 표시하는 복수의 OLED를 포함할 수 있다. 더욱이, 부화소는 상술한 전압 프로그래밍 구조의 화소 회로뿐만 아니라 다른 전압 프로그래밍 구조의 화소 회로나 전류 프로그래밍 구조의 화소 회로로 설계될 수 있다.

화소(230) 내의 각 구동용 박막 트랜지스터(M1, M2, M3)는 도 4에 나타난 것과 같은 단면 구조를 갖는다. 도 4에서는 상부 게이트 타입 또는 코플래너 타입의 구동용 박막 트랜지스터(M1)를 포함한 부화소(232R)의 단면 구조에 대하여 언급하지만, 이러한 단면 구조는 다른 구동용 박막 트랜지스터(M2, M3)를 포함한 부화소(232G, 232B)의 단면 구조에 실질적으로 거의 동일하게 적용될 수 있다.

도 4를 참조하면, 부화소(232R)의 단면 구조는, 먼저 유리 등의 절연 기판(400) 상에 질화막 또는 산화막으로 형성된 버퍼층(buffer layer: 401)을 포함한다. 버퍼층(401)은 금속 이온 등의 불순물이 반도체층 내의 액티브 채널(active channel)로 확산되는 것을 방지하기 위해 형성된 것이다. 이러한 버퍼층(401)은 화학 기상 증착(chemical vapor deposition: CVD), 스퍼터링(sputtering) 등의 방법으로 형성될 수 있다.

다음, 버퍼층(401)이 형성된 기판(400) 상에 CVD, 스퍼터링 등의 공정을 통해 비정질 실리콘(amorphous silicon) 층을 형성하고, 약 430℃ 정도의 온도에서 가열하여 비정질 실리콘층 내부에 함유된 수소 성분을 제거하는 탈수소 처리 공정을 수행한 후, 탈수소 처리된 비정질 폴리실리콘 층을 소정의 방법으로 결정화하여 반도체층(402)으로 형성한다. 이때, 스토리지 커패시터(Cs)의 하부 전극(402c)도 같이 형성된다.

한편, 반도체층(402)은 비정질 실리콘을 증착한 후, 다결정 폴리실리콘으로 결정화하는 방법 이외에, 버퍼층(401) 상부에 직접 다결정 폴리실리콘을 증착하고 패터닝하는 방법에 의해서 형성될 수 있다.

비정질 실리콘을 증착한 후 결정화하는 방법에는 고상결정화(solid phase crystallization: SPC)법, 엑시머 레이저 결정화(excimer laser crystallization: ELC/excimer laser anneal: ELA)법, 연속측면 고상화(sequential lateral solidification: SLS)법, 금속 유도 결정화(metal induced crystallization: MIC)법, 금속 유도 측면 결정화(metal induced lateral crystallization: MILC)법 등이 있다.

이때, 본 발명에서는 구동용 박막 트랜지스터(M1)가 다른 구동용 박막 트랜지스터(M2, M3)와는 다른 전이 특성을 갖도록 하기 위하여, 구동용 박막 트랜지스터(M1)가 형성되는 부화소 내의 OLED의 발광 능력과 다른 구동용 박막 트랜지스터(M2, M3)가 형성되는 다른 부화소 내의 다른 OLED의 발광 능력을 고려하여 반도체층(402)을 소정의 모양으로 패터닝한다. 여기서, 발광 능력은 유기 발광 소자에서 공급되는 전류에 따른 휘도 차이를 나타낸다. 다시 말해서, 발광 능력이 우수한 발광 소자는 동일한 전류가 공급될 때 다른 발광 소자에 비해 더 높은 휘도를 나타낸다. 이러한 반도체층(402)의 모양에 대하여는 후술한다.

이어서, 반도체층(402)이 형성된 기판(400) 전면에서 게이트 절연막(403)을 형성하고, 게이트 절연막(403) 위에 알루미늄 등의 게이트 전극 물질을 전면 증착한 후 패터닝하여 게이트 전극(407a)을 형성한다. 이때, 스토리지 커패시터(Cs)의 상부 전극(407b)도 게이트 전극(407a)의 형성과 함께 형성된다. 그 후, 게이트 전극(407a)을 마스크로 이용하여 P+ 형 불순물을 이온 주입하여 소스 영역(402b) 및 드레인 영역(402a)을 형성한다. 여기서, 게이트 전극(407a) 아래에 위치하는 반도체층(402)의 영역은 채널 영역이 되고, 이 채널 영역의 양측에서 이온 주입에 의해 불순물이 도핑된 영역은 드레인 영역(402a)과 소스 영역(402b)이 된다.

다음, 상기 구조 상에 층간 절연막(404)을 형성하고, 층간 절연막(404) 내에 소스 영역(402b) 및 드레인 영역(402a)을 각각 노출시키는 제1 및 제2 콘택홀(413, 412)을 형성한다. 이때, 상부 전극(407b)을 노출시키는 제3 콘택홀(414)도 함께

형성된다. 그 후, 금속층(405)을 전면 증착하고 패터닝하여 소스 전극 및 드레인 전극을 형성한다. 드레인 전극과 소스 전극은 제1 콘택홀(412)과 제2 콘택홀(413)을 통해 드레인 영역(402a)과 소스 영역(402b)에 각각 연결된다. 스토리지 커패시터(Cs)의 상부 전극(407b)은 제3 콘택홀(414)을 통해 금속층(405)에 연결된다.

다음, 금속층(405) 상부에 보호막(406)이 형성된다. 보호막(406)은 드레인 전극을 노출시키는 제4 콘택홀(415)을 포함한다. 그 후, 보호막(406) 상부의 일부 영역에 애노드 전극(408)이 증착되고 패터닝된다. 애노드 전극(408)은 제4 콘택홀(415)을 통해 드레인 전극에 전기적으로 연결된다.

다음, 상기 구조의 상부에 절연물로 이루어진 평탄화막(409)이 형성되고 패터닝된다. 평탄화막(409)에는 애노드 전극(408)을 노출시키는 개구부가 형성된다. 그 후, 개구부에 유기 발광 물질(410)이 도포된다. 그리고, 유기 발광 물질(410)을 포함한 상기 구조 상에 캐소드 전극(411)이 형성된다.

상술한 구성에 의해, 반도체층(402)의 소스 영역(402b)에 연결된 소스 전극과, 드레인 영역(402a)에 연결된 드레인 전극, 및 반도체층(402) 상부에 형성되어 있는 게이트 전극(407a)을 구비한 구동용 박막 트랜지스터(M1)가 형성된다. 그리고, 하부 전극(402c)과 하부 전극(402c) 상부에 위치하는 상부 전극(407b)에 의해 스토리지 캐패시터(Cs)가 형성된다. 또한, 애노드 전극(408), 유기 발광 물질(410) 및 캐소드 전극(411)에 의해 유기 발광 소자(light emitting device: OLED)가 형성된다.

한편, 본 실시예에서는 PMOS 구조의 박막 트랜지스터를 포함한 화소의 제조 방법에 대하여 언급하였다. 하지만, 본 발명은 그러한 구성으로 한정되지 않고, NMOS 구조나 CMOS 구조 등의 다른 박막 트랜지스터 구조를 포함한 화소의 제조 방법에 용이하게 적용할 수 있다.

다음은 본 발명의 제1 실시예에 따른 유기 발광 표시장치의 구동 박막 트랜지스터에 대하여 도 5a, 도 5b, 및 도 5c를 참조하여 설명한다. 도 5a 내지 도 5c는 본 발명의 제1 실시예에 따른 유기 발광 표시장치의 구동 박막 트랜지스터를 설명하기 위한 평면도이다. 도 5a 내지 도 5c에서 구동용 박막 트랜지스터(M1, M2, M3)는 서로 다른 발광 능력을 가진 OLED를 각각 구비한 부화소 내에 각각 형성되는 것으로 가정한다. 또한, 본 실시예에서는 구동용 박막 트랜지스터의 액티브 채널 내에 형성된 입자 경계(grain boundary)의 변화나 폴리크리스탈라인(polycrystalline)의 결정성 등이 서로 크게 차이 나지 않는 것으로 가정한다. 이하, 구동용 박막 트랜지스터(M1, M2, M3)는 제1, 제2 및 제3 박막 트랜지스터(M1, M2, M3)로 각각 언급한다.

도 5a 내지 도 5c를 참조하면, 제1 내지 제3 박막 트랜지스터(M1, M2, M3)는 동일한 크기로 형성된다. 다시 말해서, 제1 내지 제3 박막 트랜지스터(M1, M2, M3)는 동일한 채널 길이($L_a=L_b=L_c$)와 동일한 채널 폭($W_a=W_b=W_c$)을 갖는다. 여기서, W_a 는 W_{a1} 및 W_{a2} 의 합에 대한 평균값을 나타내고, W_b 는 W_{b1} 및 W_{b2} 의 합에 대한 평균값을 나타낸다. 그리고, 채널 길이(L_a, L_b, L_c)는 유효 채널 길이를 나타낸다.

구체적으로, 제1 박막 트랜지스터(M1)는 반도체층(500), 게이트 전극(508), 드레인 전극(510), 및 소스 전극(512)으로 이루어진다. 반도체층(500)은 게이트 전극(508)의 하부에 형성되는 채널 영역(502)과 채널 영역(502)의 양측에 형성되는 드레인 영역(504) 및 소스 영역(506)을 포함한다. 드레인 전극(510)은 적어도 하나의 제1 콘택홀(514)을 통해 드레인 영역(504)에 전기적으로 연결되고, 소스 전극(512)은 적어도 하나의 제2 콘택홀(516)을 통해 소스 영역(506)에 전기적으로 연결된다.

제1 박막 트랜지스터(M1)의 채널 영역(502)의 폭(W_a)은 서로 다른 폭(W_{a1}, W_{a2})을 가진 다단으로 형성된다. 보다 바람직하게는, 채널 영역(502)의 양단 부분의 폭이 넓고, 가운데 부분의 폭이 좁은 형태로 형성된다. 여기서, 폭(W_a)은 장폭(W_{a1})과 단폭(W_{a2}) 길이의 합에 대한 평균값이 되고, 도 5c의 제3 박막 트랜지스터(M3)의 채널 영역(542)의 폭(W_c)과 실질적으로 동일한 크기를 갖는다.

다음으로, 제2 박막 트랜지스터(M2)는 반도체층(520), 게이트 전극(528), 드레인 전극(530), 및 소스 전극(532)으로 이루어진다. 반도체층(520)은 게이트 전극(528)의 하부에 형성되는 채널 영역(522)과 채널 영역(522)의 양측에 형성되는 드레인 영역(524) 및 소스 영역(526)을 포함한다. 드레인 전극(530)은 적어도 하나의 제1 콘택홀(534)을 통해 드레인 영역(524)에 전기적으로 연결되고, 소스 전극(532)은 적어도 하나의 제2 콘택홀(536)을 통해 소스 영역(526)에 전기적으로 연결된다.

제2 박막 트랜지스터(M2)의 채널 영역(522)의 폭(W_b)은 서로 다른 폭(W_{b1}, W_{b2})을 가진 다단으로 형성된다. 이때, 채널 영역(522)의 폭(W_b)은 장폭(W_{b1})과 단폭(W_{b2}) 길이의 합에 대한 평균값을 나타내고, 제3 박막 트랜지스터(M3)의 채널

영역(542)의 폭(Wc)과 실질적으로 동일한 크기를 갖는다. 그리고, 채널 영역(522)의 장폭(Wb1)의 길이가 제1 박막 트랜지스터(M1)의 채널 영역(502)의 장폭(Wa1)의 길이보다 긴 경우, 채널 영역(522)의 단폭(Wb2)의 길이는 제1 박막 트랜지스터(M1)의 채널 영역(502)의 단폭(Wa2)의 길이보다 짧게 형성된다. 이것은 각 박막 트랜지스터의 채널 영역의 폭을 실질적으로 동일하게 형성하기 위한 것이다.

다음으로, 제3 박막 트랜지스터(M3)는 반도체층(540), 게이트 전극(548), 드레인 전극(550), 및 소스 전극(552)으로 이루어진다. 반도체층(540)은 게이트 전극(548)의 하부에 형성되는 채널 영역(542)과 채널 영역(542)의 양측에 형성되는 드레인 영역(544) 및 소스 영역(546)을 포함한다. 드레인 전극(550)은 적어도 하나의 제1 콘택홀(554)을 통해 드레인 영역(544)에 전기적으로 연결되고, 소스 전극(552)은 적어도 하나의 제2 콘택홀(556)을 통해 소스 영역(546)에 전기적으로 연결된다.

제3 박막 트랜지스터(M3)의 채널 영역(542)은 일반적인 직선 형태로 형성되어 있다. 그러나, 본 실시예에 있어서, 제3 박막 트랜지스터(M3)의 채널 영역(542)의 폭(Wc)은 서로 다른 발광 능력 또는 광효율을 가진 부화소의 복수의 OLED에 대한 화이트 밸런스와 화질 개선을 위하여 채널 영역의 폭이 다단으로 형성되는 제1 및 제2 박막 트랜지스터(M2, M3)의 기준 폭이 된다.

도 6a 및 도 6b는 본 발명의 제1 실시예에 따른 유기 발광 표시장치의 구동용 박막 트랜지스터의 변형예에 대한 평면도이다.

도 6a 및 도 6b를 참조하면, 구동용 박막 트랜지스터(M1', M2')는 사각 링 모양으로 형성된 채널 영역(602, 622)을 각각 포함한다. 또한, 구동용 박막 트랜지스터(M1', M2')의 채널 영역의 길이(La, Lb)와 채널 영역의 폭(Wa, Wb, Wc)은 실질적으로 동일하게 형성된다. 여기서, Wa는 사각 링 모양의 채널 영역의 장폭(Wa1)과, 제1 및 제2 두께(Wa2, Wa3)를 더한 단폭의 합에 대한 평균값을 나타내고, Wb는 사각 링 모양의 채널 영역의 장폭(Wb1)과, 제1 및 제2 두께(Wb2, Wb3)를 더한 단폭의 합에 대한 평균값을 나타낸다. 그리고, La 및 Lb는 유효 채널 길이를 나타낸다. 이와 함께, 구동용 박막 트랜지스터(M1', M2')는 화소 내의 각 OLED의 광효율에 따라 폭 방향에서 서로 다른 두께를 갖는 사각 링 모양의 채널 영역을 포함한다.

구체적으로 도 6a를 참조하면, 박막 트랜지스터(M1')는 반도체층(600), 게이트 전극(608), 드레인 전극(610), 및 소스 전극(612)으로 이루어진다. 반도체층(600)은 게이트 전극(608)의 하부에 형성되는 채널 영역(602)과 채널 영역(602)의 양측에 형성되는 드레인 영역(604) 및 소스 영역(606)을 포함한다. 드레인 전극(610)은 적어도 하나의 제1 콘택홀(614)을 통해 드레인 영역(604)에 전기적으로 연결되고, 소스 전극(612)은 적어도 하나의 제2 콘택홀(616)을 통해 소스 영역(606)에 전기적으로 연결된다.

박막 트랜지스터(M1')의 채널 영역(602)은 비채널 영역(616)을 제외한 나머지 영역으로 이루어진다. 비채널 영역(616)은 반도체층을 형성할 때, 패터닝된다. 이러한 비채널 영역(616)에는 반도체층 위에 형성되는 절연층이 채워진다.

박막 트랜지스터(M1')의 채널 영역(602)은 사각 링 모양으로 비채널 영역(616)이 형성되지 않은 부분의 장폭(Wa1)과 비채널 영역(616)이 형성된 부분에서 폭 방향의 제1 및 제2 두께(Wa2, Wa3)를 더한 단폭을 갖는다.

다음으로, 도 6b를 참조하면, 박막 트랜지스터(M2')는 반도체층(620), 게이트 전극(628), 소스 전극(630), 및 드레인 전극(632)으로 이루어진다. 반도체층(620)은 게이트 전극(628)의 하부에 형성되는 채널 영역(622)과 채널 영역(622)의 양측에 형성되는 드레인 영역(624) 및 소스 영역(626)을 포함한다. 드레인 전극(630)은 적어도 하나의 제1 콘택홀(634)을 통해 드레인 영역(624)에 전기적으로 연결되고, 소스 전극(632)은 적어도 하나의 제2 콘택홀(636)을 통해 소스 영역(626)에 전기적으로 연결된다.

박막 트랜지스터(M2')의 채널 영역(622)은 비채널 영역(636)을 제외한 나머지 영역으로 이루어진다. 비채널 영역(636)은 반도체층을 형성할 때 패터닝된다. 이러한 비채널 영역(636)에는 절연물이 채워진다.

박막 트랜지스터(M2')의 채널 영역(622)은 사각 링 모양으로 비채널 영역(636)이 형성되지 않은 부분의 장폭(Wb1)과 비채널 영역(636)이 형성된 부분에서 폭 방향의 제1 및 제2 두께(Wb2, Wb3)를 더한 단폭을 갖는다. 여기서, 박막 트랜지스터(M2')의 채널 영역(622)의 장폭(Wb1)은 박막 트랜지스터(M1')의 채널 영역(602)의 장폭(Wa1)보다 작은 크기로 형성되고, 박막 트랜지스터(M2')의 채널 영역(622)의 단폭(Wb2+ Wb3)은 박막 트랜지스터(M1')의 채널 영역(602)의 단폭(Wa2+ Wa3)보다 큰 크기로 형성된다. 이러한 구성에 의해, 두 박막 트랜지스터(M1', M2')는 실질적으로 동일한 채널 길

이($L_a=L_b$)와 동일한 평균 폭을 갖도록 형성될 수 있다. 이처럼, 상술한 두 박막 트랜지스터($M1'$, $M2'$)의 채널 영역(602, 622)은 박막 트랜지스터($M1'$, $M2'$)가 탑재되는 화소 내의 OLED의 발광 능력에 따라 적절한 크기의 단폭을 갖도록 형성된다.

한편, 상술한 실시예에서 비채널 영역을 하나의 사각형 모양으로 형성하였지만, 본 발명에서 비채널 영역은 적어도 하나의 원형이나 다각형의 모양으로 형성될 수 있다. 또한, 상술한 실시예에서는 코플래너 구조 또는 상부 게이트 구조의 박막 트랜지스터에 대하여 설명하였지만, 본 발명은 다른 구조의 박막 트랜지스터에도 용이하게 적용할 수 있다.

이와 같이, 본 발명은 구동용 박막 트랜지스터의 구조가 각 OLED의 발광 능력에 따라 조정된 채널 영역의 모양을 갖도록 이루어진다. 이러한 구성은 박막 트랜지스터의 게이트 전압이 문턱 전압보다 클 경우, 소스 영역과 드레인 영역 사이에 채널이 형성되어 이동 캐리어가 유도되고, 그 때에 박막 트랜지스터에 흐르는 전류에 대한 전이(transfer) 특성에서 확인할 수 있다. 박막 트랜지스터의 전이 특성은 아래의 수학적 식 1로 간단히 표현될 수 있다.

수학적 식 1

$$I_d = k \frac{W}{L} (V_g - V_{th})^2$$

여기서, I_d 는 드레인 전류, W 는 채널의 폭, L 은 채널의 길이, V_g 는 게이트 전압, V_{th} 는 문턱 전압, 그리고 k 는 채널에서의 게이트 절연막에 대한 정전용량과 전계효과 이동도에 대한 상수이다.

위의 수학적 식 1에서와 같이, 박막 트랜지스터의 드레인 전류는 채널 영역의 길이와 폭에 따라 변화되는 것을 알 수 있다. 따라서, 본 발명에서는 박막 트랜지스터의 전체적인 채널 영역의 길이와 폭은 실질적으로 동일하게 형성하면서, OLED의 발광 능력에 따라 채널 영역의 모양을 조정하여 유기 발광 표시장치의 화이트 밸런스를 조정하고 화질을 개선한다.

상술한 실시예에서는 액티브 매트릭스형 유기 발광 표시장치의 화상표시부 내의 구동용 박막 트랜지스터의 채널 크기를 실질적으로 동일하게 형성하면서, 적어도 하나의 박막 트랜지스터의 채널 영역을 다단, 사각 링 모양의 서로 다른 모양으로 형성하여 OLED의 발광 능력에 따른 불균일한 화이트 밸런스를 조정한다. 이러한 견지에서, 본 발명은 유기 발광 표시장치의 화소 내의 구동용 박막 트랜지스터의 채널 영역의 폭이 폭 방향에서 대칭적인 다단 모양으로 형성되는 것과 함께 어느 한쪽 면이 다단으로 형성된 채널 영역과 비대칭적인 다단으로 형성된 채널 모양을 포함할 수 있다.

이상, 본 발명의 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되는 것은 아니며, 본 발명의 기술적 사상의 범위내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능하다.

발명의 효과

이상과 같이, 본 발명에 의하면, 적색, 녹색, 및 청색을 각각 표시하는 유기 발광 소자들의 발광 능력에 따라 서로 다른 전류량을 공급하면서도 그 크기 또는 채널 영역의 길이와 폭이 실질적으로 동일한 구동 박막 트랜지스터를 이용함으로써, 유기 발광 표시장치의 특정 부화소에 대한 개구율을 감소시키지 않고, 유기 발광 소자들의 발광 능력 차이에 따른 휘도차를 보상하여 화이트 밸런스를 용이하게 조정할 수 있다.

또한, 본 발명에 의하면, 적색, 녹색, 및 청색을 각각 표시하는 유기 발광 소자들의 발광 능력에 따라 구동 전원의 전압 크기 또는 전류량을 조정하여 공급할 필요가 없고, 따라서 구동 전원을 제어하기 위한 회로나 배선 등이 생략되어 구동 회로가 단순화 될 수 있다. 또한, 대량 생산에 있어서 구동 회로의 단선이나 단락 등을 방지하여 제조 수율을 높이고 제품의 안정성 및 신뢰성을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1.

데이터 신호를 전달하는 복수의 데이터선;

선택 신호를 전달하는 복수의 주사선;

서로 다른 색을 표시하는 제1, 제2 및 제3 발광 소자에, 상기 선택 신호에 따라 상기 데이터 신호에 상응하는 전류를 각각 공급하는 제1, 제2, 및 제3 박막 트랜지스터를 구비하는 화소를 포함하며,

상기 제1 내지 제3 박막 트랜지스터의 적어도 하나의 채널 영역의 폭은 다단으로 형성되는 유기 발광 표시장치.

청구항 2.

제1항에 있어서,

상기 채널 영역의 폭은 상기 제1 내지 제3 발광 소자의 발광 능력의 차이에 따라 서로 다른 폭 길이를 가진 다단으로 형성되는 유기 발광 표시장치.

청구항 3.

제1항에 있어서,

상기 채널 영역의 폭은 양단 부분의 폭보다 가운데 부분의 폭이 좁게 형성되는 유기 발광 표시장치.

청구항 4.

제3항에 있어서,

상기 제1 내지 제3 박막 트랜지스터의 제1 내지 제3 채널 영역의 폭은 하기의 수학식 2를 만족하는 유기 발광 표시장치:

수학식 2

$$Wa = (Wa1 + Wa2) / 2$$

$$Wb = (Wb1 + Wb2) / 2,$$

$$Wa = Wb = Wc$$

(단, Wa, Wb, Wc는 상기 제1 내지 제3 채널 영역의 폭이고, Wa1 및 Wa2는 상기 제1 채널 영역의 장폭 및 단폭이며, Wb1 및 Wb2는 상기 제2 채널 영역의 장폭 및 단폭임).

청구항 5.

제3항에 있어서,

상기 제1 내지 제3 박막 트랜지스터 중 상기 채널 영역의 좁은 폭의 길이가 가장 짧은 박막 트랜지스터는 상기 제1 내지 제3 발광 소자 중 발광 능력이 가장 우수한 발광 소자에 연결되는 유기 발광 표시장치.

청구항 6.

제5항에 있어서,

상기 발광 능력이 가장 우수한 발광 소자는 적색을 표시하는 발광 소자인 유기 발광 표시장치.

청구항 7.

데이터 신호를 전달하는 복수의 데이터선;

선택 신호를 전달하는 복수의 주사선; 및

서로 다른 색을 표시하는 제1, 제2 및 제3 발광 소자에, 상기 선택 신호에 따라 상기 데이터 신호에 상응하는 전류를 각각 공급하는 제1, 제2, 및 제3 박막 트랜지스터를 구비하는 화소를 포함하며,

상기 제1 내지 제3 박막 트랜지스터의 적어도 하나의 채널 영역은 사각 링 모양으로 형성되는 유기 발광 표시장치.

청구항 8.

제7항에 있어서,

상기 제1 내지 제3 박막 트랜지스터 중 상기 사각 링의 내부 영역의 폭 방향의 길이가 가장 긴 박막 트랜지스터는 상기 제1 내지 제3 발광 소자 중 발광 능력이 가장 우수한 발광 소자에 연결되는 유기 발광 표시장치.

청구항 9.

제8항에 있어서,

상기 제1 내지 제3 박막 트랜지스터의 채널 영역은 실질적으로 동일한 길이 및 동일한 폭으로 이루어지는 유기 발광 표시장치.

청구항 10.

제1항 내지 제9항 중 어느 한 항에 있어서,

상기 선택 신호에 응답하여 상기 데이터 신호를 상기 화소에 전달하는 스위칭 소자를 추가적으로 포함하는 유기 발광 표시장치.

청구항 11.

제10항에 있어서,

상기 전달된 데이터 신호에 상응하는 전압을 저장하는 커패시터를 추가적으로 포함하는 유기 발광 표시장치.

청구항 12.

제11항에 있어서,

상기 제1 내지 제3 박막 트랜지스터는 상기 커패시터에 저장된 전압에 상응하는 전류를 상기 발광 소자에 공급하는 유기 발광 표시장치.

청구항 13.

제1항 또는 제7항에 있어서,

상기 박막 트랜지스터는 코플래너 구조, 스테거드 구조, 상부 게이트 구조, 및 하부 게이트 구조 중 적어도 어느 하나의 구조로 이루어지는 유기 발광 표시장치.

청구항 14.

절연 기판 상에 형성되며, 양단 부분의 폭보다 가운데 부분의 폭이 좁은 채널과 상기 채널의 양단 부분에 각각 접속되는 소스 및 드레인을 포함하는 반도체층;

상기 채널에 접하여 형성되는 절연층; 및

상기 절연층을 사이에 두고 상기 채널과 마주하는 게이트를 구비하는 트랜지스터.

청구항 15.

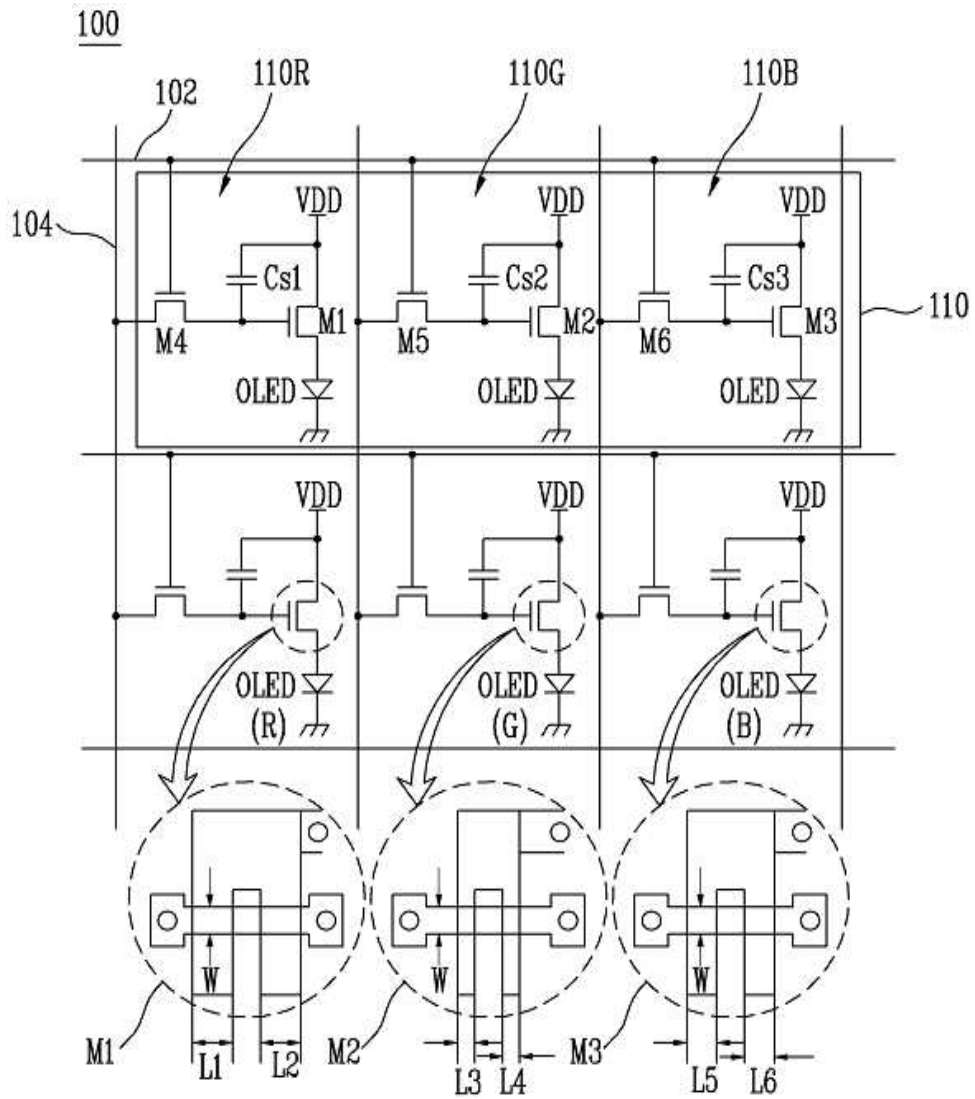
절연 기판 상에 형성되며, 사각 링 모양의 채널과 상기 채널의 양단부에 각각 접속되는 소스 및 드레인을 포함하는 반도체층;

상기 채널에 접하여 형성되는 절연층; 및

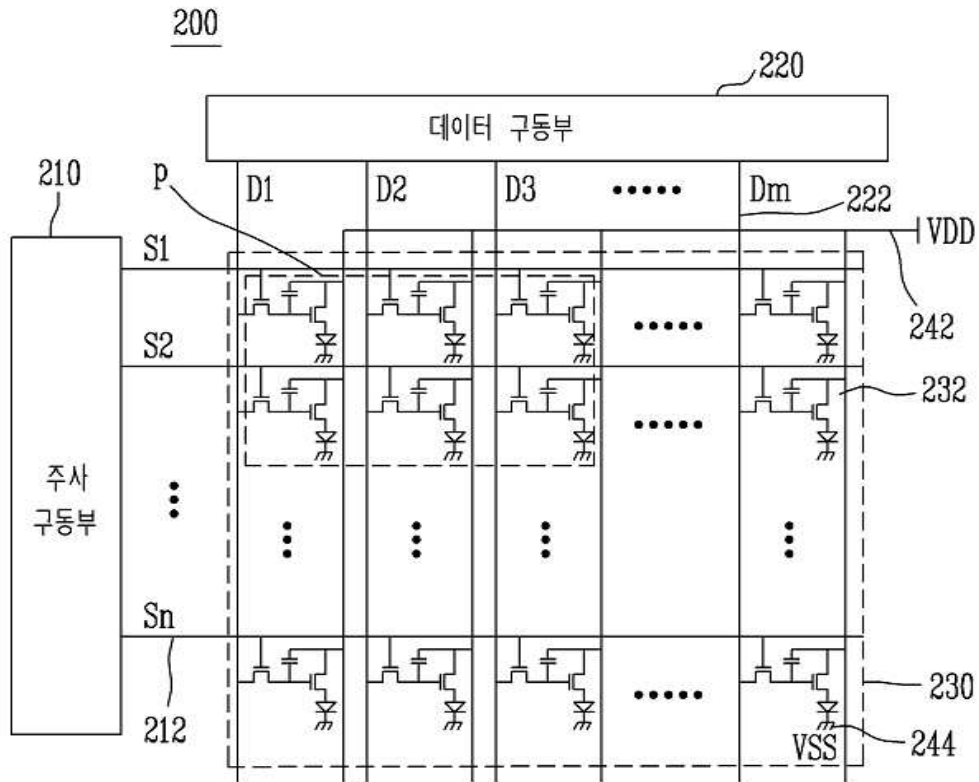
상기 절연층을 사이에 두고 상기 채널과 마주하는 게이트를 구비하는 트랜지스터.

도면

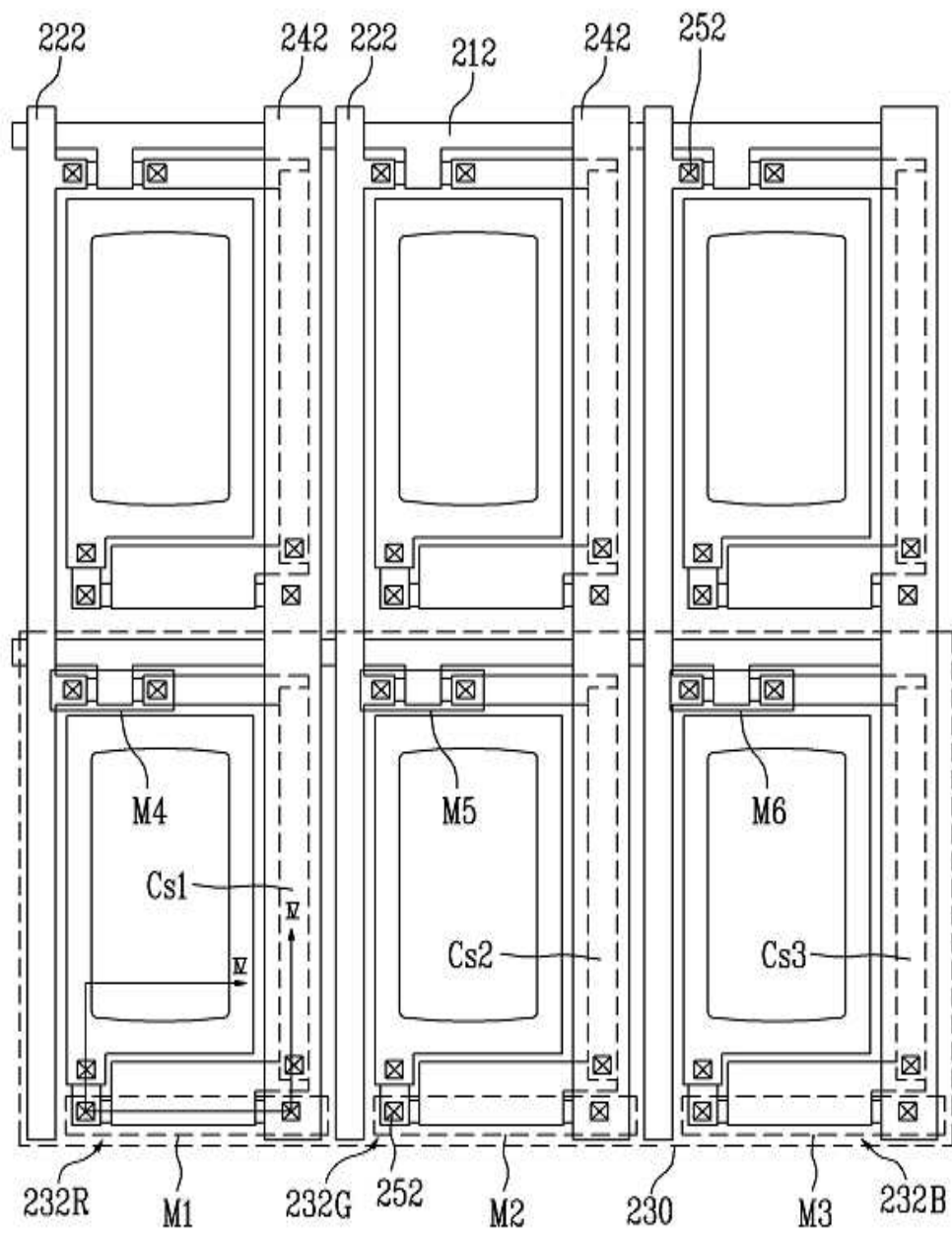
도면1



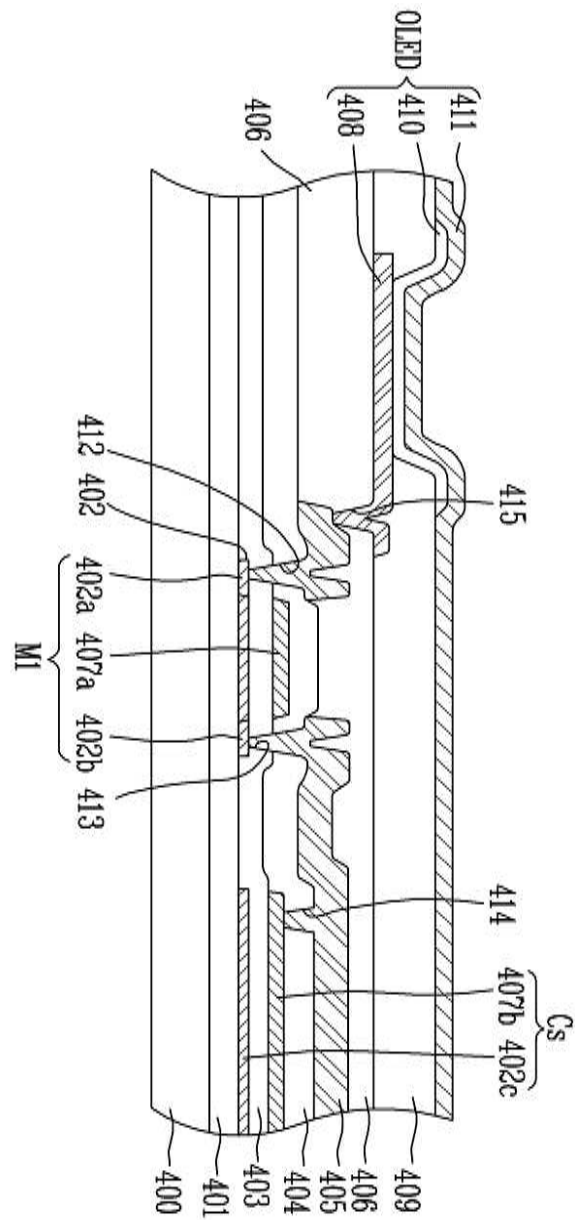
도면2



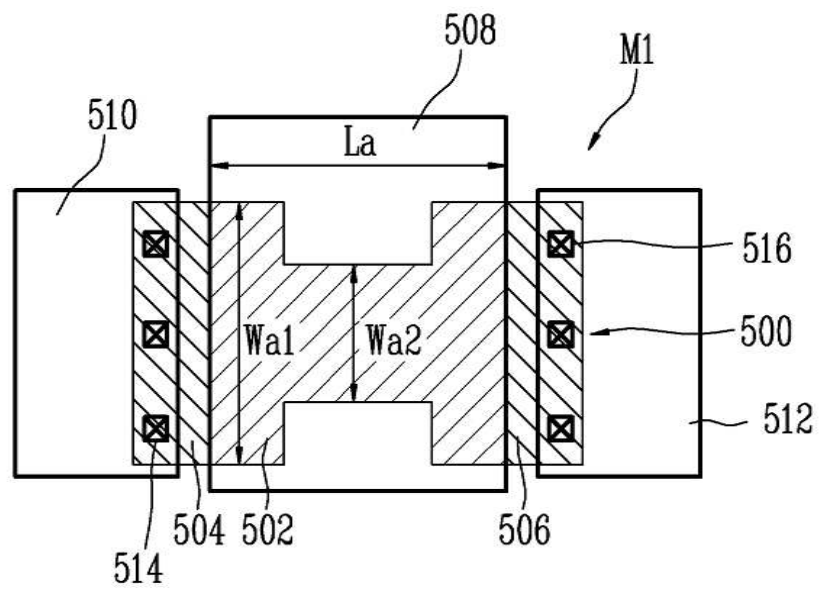
도면3



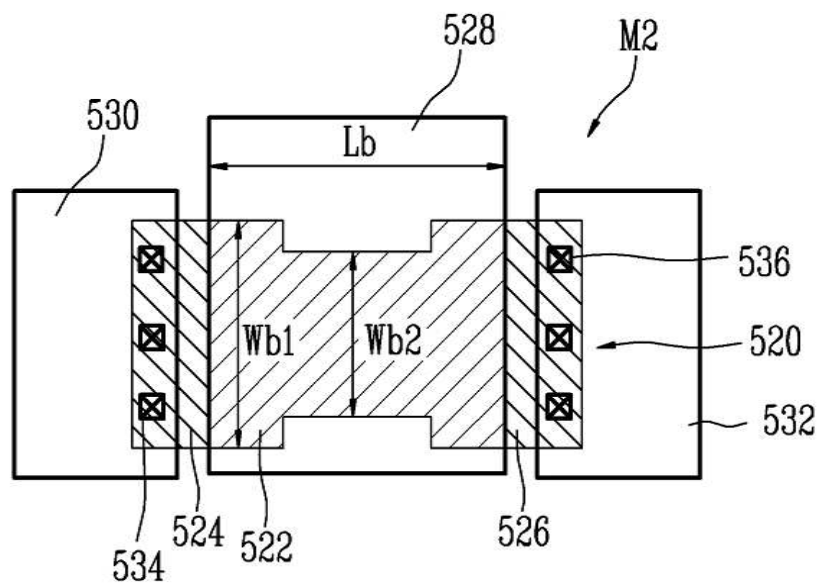
도면4



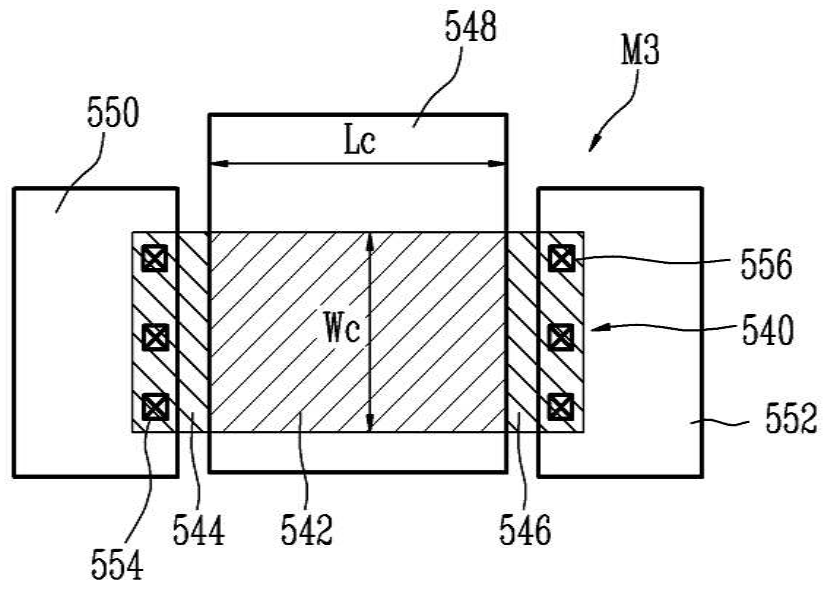
도면5a



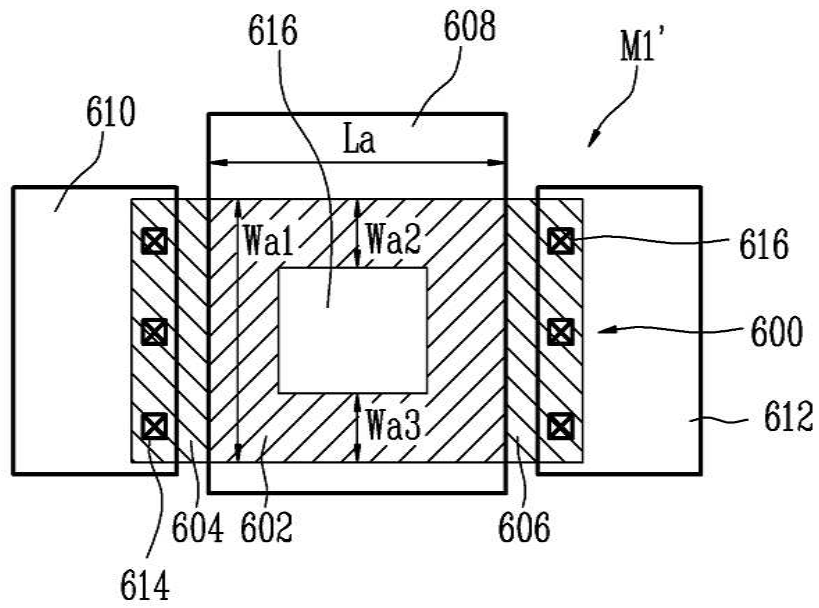
도면5b



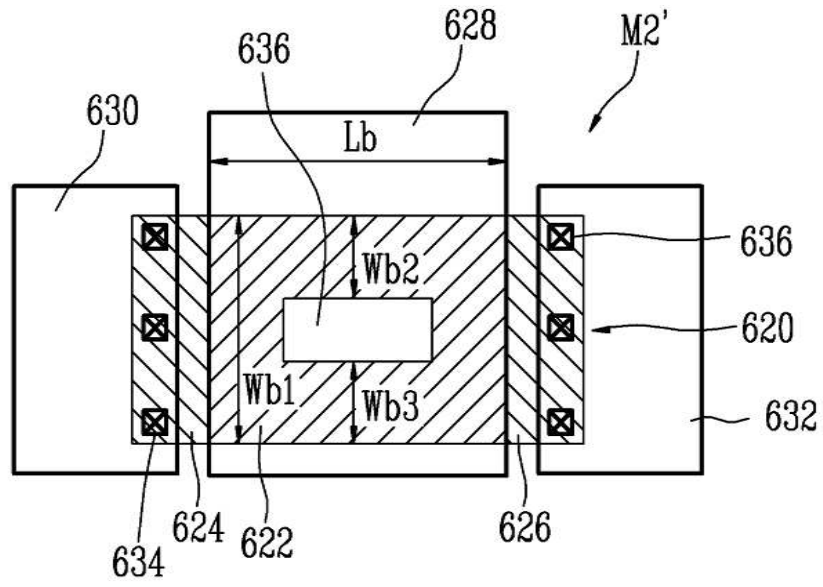
도면5c



도면6a



도면6b



专利名称(译)	有机发光显示器		
公开(公告)号	KR100604774B1	公开(公告)日	2006-07-31
申请号	KR1020040048309	申请日	2004-06-25
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	CHOI WOONGSIK		
发明人	CHOI,WOONGSIK		
IPC分类号	H05B33/08 G09G3/30		
CPC分类号	Y02B20/343		
代理人(译)	SHIN , YOUNG MOO		
其他公开文献	KR1020050122687A		
外部链接	Espacenet		

摘要(译)

本发明，每个有机发光显示器包括薄膜晶体管结构，并且每个根据有机发光器件的发光能力的电流供给不同量，发光能力可以容易地调整另一个有机发光器件的像素的白平衡显示不同的颜色 & lt; & lt; & lt; 有机光在根据本发明用于显示多条扫描线，第一，第二和第三发光元件，并且不同颜色的发光显示设备，传送所述多个数据线，选择信号用于传送数据信号，所述选择信号第二和第三薄膜晶体管，用于根据数据信号的宽度提供对应于数据信号的电流，其中第一至第三薄膜晶体管的至少一个沟道区具有宽度并且中心部分的宽度窄。 2 指数方面 有机发光，显示，白平衡，TFT，通道

