

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02019/064342

発行日 令和2年7月30日(2020.7.30)

(43) 国際公開日 平成31年4月4日(2019.4.4)

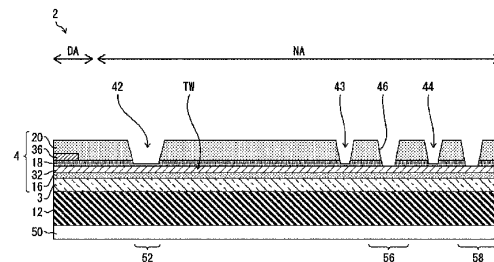
(51) Int.Cl.	F I	テーマコード (参考)
H01L 51/50 (2006.01)	H05B 33/14 A	3K107
H01L 27/32 (2006.01)	H01L 27/32	5C094
H05B 33/04 (2006.01)	H05B 33/04	5G435
H05B 33/06 (2006.01)	H05B 33/06	
H05B 33/22 (2006.01)	H05B 33/22 Z	
審査請求 有 予備審査請求 未請求 (全 40 頁) 最終頁に続く		

出願番号	特願2019-545420 (P2019-545420)	(71) 出願人	000005049
(21) 国際出願番号	PCT/JP2017/034737		シャープ株式会社
(22) 国際出願日	平成29年9月26日(2017.9.26)		大阪府堺市堺区匠町1番地
(81) 指定国・地域	AP (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA (AM, AZ, BY, KG, KZ, RU, TJ, TM), EP (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT	(74) 代理人	100147304 弁理士 井上 知哉
		(72) 発明者	三谷 昌弘 大阪府堺市堺区匠町1番地 シャープ株式会社内
		Fターム(参考)	3K107 AA01 BB01 CC21 DD03 DD38 DD89 DD90 EE48 EE49 EE50 EE58 FF15 5C094 AA31 BA03 BA27 DA06 DA07 DA13 DA15 DB02 5G435 AA14 BB05 EE32 KK05

(54) 【発明の名称】 表示デバイス、表示デバイスの製造方法、表示デバイスの製造装置

(57) 【要約】

アクティブ側スリット(43)およびFPC側スリット(44)は、各々、第2無機絶縁膜(20)を貫通して第1無機絶縁膜(18)に達している。平面視においては、アクティブ側スリット(43)が、ELデバイス(2)のアクティブ領域とICチップ搭載領域(56)との間に形成されるとともに、ICチップ搭載領域(56)は、アクティブ側スリット(43)およびFPC側スリット(44)によって挟まれている。



【特許請求の範囲】**【請求項 1】**

複数の無機絶縁膜を含む T F T 層と、前記 T F T 層よりも上層の発光素子層とを備え、前記 T F T 層には、複数の端子を含む端子領域が、アクティブ領域よりも外側に設けられる表示デバイスであって、

前記複数の無機絶縁膜の少なくとも 1 つを貫通する、第 1 スリットパターンおよび第 2 スリットパターンを含み、

前記第 1 スリットパターンは、平面視における前記アクティブ領域と前記端子領域との間に形成され、

前記端子領域は、前記第 1 スリットパターンおよび前記第 2 スリットパターンによって平面視において挟まれている表示デバイス。

10

【請求項 2】

前記端子領域に I C チップが搭載されている請求項 1 に記載の表示デバイス。

【請求項 3】

平面視における前記第 2 スリットパターンと前記表示デバイスのエッジとの間にフレキシブル回路基板が接続されている請求項 1 または 2 に記載の表示デバイス。

【請求項 4】

前記端子の少なくとも一部は、前記複数の無機絶縁膜よりも上層の導電層で形成されている請求項 1 ~ 3 の何れか 1 項に記載の表示デバイス。

【請求項 5】

20

前記第 1 スリットパターンは、前記端子に繋がる複数の端子配線と交差する方向に伸びる実線状スリットで構成される請求項 1 ~ 4 の何れか 1 項に記載の表示デバイス。

【請求項 6】

前記 T F T 層よりも下層のバリア層を備える請求項 5 に記載の表示デバイス。

【請求項 7】

前記第 1 および第 2 スリットパターンは、前記バリア層に達しない請求項 6 に記載の表示デバイス。

【請求項 8】

前記端子配線が前記第 1 スリットパターンよりも下側を通る請求項 7 に記載の表示デバイス。

30

【請求項 9】

前記端子配線は、前記 T F T 層のゲート配線と同層に形成されている請求項 8 に記載の表示デバイス。

【請求項 10】

前記第 1 および第 2 スリットパターンは、前記複数の無機絶縁膜を貫通して前記バリア層内に達するか、あるいは前記複数の無機絶縁膜および前記バリア層を貫通する請求項 6 に記載の表示デバイス。

【請求項 11】

前記端子配線が、前記第 1 スリットパターンの内側面および底面を通る請求項 10 に記載の表示デバイス。

40

【請求項 12】

前記第 1 スリットパターンが有機絶縁材で埋められ、

前記端子配線が前記有機絶縁材の上を通る請求項 10 に記載の表示デバイス。

【請求項 13】

前記端子配線のうちの前記アクティブ領域と前記第 1 スリットパターンとの間に延設されている本体部は、前記端子と同層に形成されている請求項 11 または 12 に記載の表示デバイス。

【請求項 14】

前記端子配線は、前記アクティブ領域と前記第 1 スリットパターンとの間に延設されている本体部と、前記第 1 スリットパターンと交差する交差部とを含み、前記本体部と前記

50

交差部とが異なる導電層で形成されている請求項 11 または 12 に記載の表示デバイス。

【請求項 15】

前記第 1 スリットパターンは底方向に向けて狭幅となるテーパ形状である請求項 11 または 12 に記載の表示デバイス。

【請求項 16】

前記第 1 スリットパターンは、前記端子に接続する端子配線と交差する方向に並ぶ複数の島状スリットで構成される列状スリット群を 1 以上含む請求項 1～4 の何れか 1 項に記載の表示デバイス。

【請求項 17】

前記端子配線は、前記第 1 スリットパターンと重ならない請求項 16 に記載の表示デバイス。 10

【請求項 18】

前記島状スリットは、各列状スリット群について、前記端子配線が該列状スリット群を構成する前記島状スリットの間を 1 対 1 対応に通るように、配置されている請求項 17 に記載の表示デバイス。

【請求項 19】

前記島状スリットは、各々、前記端子配線のうちの 1 本のみと交差する請求項 16 に記載の表示デバイス。

【請求項 20】

前記島状スリットは、前記端子配線と 1 対 1 対応に交差するように、配置されている請求項 19 に記載の表示デバイス。 20

【請求項 21】

前記 TFT 層よりも下層にバリア層が設けられ、

前記第 1 スリットパターンは、前記複数の無機絶縁膜を貫通して前記バリア層内に達するか、あるいは前記複数の無機絶縁膜および前記バリア層を貫通する請求項 17～20 の何れか 1 項に記載の表示デバイス。

【請求項 22】

前記第 1 スリットパターンは、複数の列状スリット群を含み、

前記複数の列状スリット群に含まれる複数の島状スリットは、前記端子配線が延伸する方向から見て隙間がないように、平面視において千鳥配置されている請求項 16～21 のいずれか 1 項に記載の表示デバイス。 30

【請求項 23】

前記複数の島状スリットに含まれる或る島状スリットの端部は、前記複数の島状スリットに含まれる別の島状スリットと、前記端子配線が延伸する方向から見て重畳する請求項 22 に記載の表示デバイス。

【請求項 24】

前記端子領域は、前記第 1 スリットパターンと、実線状スリットで構成された前記第 2 スリットパターンと、前記端子配線と同方向に伸びる実線状スリットで構成された 2 つの第 4 スリットパターンとによって囲まれている請求項 5～23 の何れか 1 項に記載の表示デバイス。 40

【請求項 25】

前記アクティブ領域と前記第 1 スリットパターンとの間に折り曲げ領域が形成されており、

前記折り曲げ領域に、前記複数の無機絶縁膜の少なくとも 1 つを貫通する第 3 スリットパターンが形成されている請求項 5～24 の何れか 1 項に記載の表示デバイス。

【請求項 26】

前記第 1 スリットパターンおよび前記第 3 スリットパターンの深さが同じである請求項 25 に記載の表示デバイス。

【請求項 27】

前記第 1 スリットパターンおよび前記第 3 スリットパターンのスリットパターンが同じ 50

である請求項 26 に記載の表示デバイス。

【請求項 28】

前記 T F T 層よりも下層にバリア層が設けられ、
前記バリア層よりも下層に支持材が設けられ、
前記第 1 および第 3 スリットパターンは、前記複数の無機絶縁膜および前記バリア層を貫通して、前記支持材に達すると共に、有機絶縁材で埋められ、
前記端子配線が前記有機絶縁材の上を通る請求項 26 または 27 に記載の表示デバイス。

【請求項 29】

前記発光素子層を覆う封止層を備え、
前記発光素子層からの光が前記封止層を透過する上方発光型であり、
前記第 3 スリットパターンを折り目として前記端子の表面が下方を向くように折り曲げられている請求項 25 ~ 28 の何れか 1 項に記載の表示デバイス。

【請求項 30】

前記端子配線の少なくとも一部は、前記複数の無機絶縁膜よりも上層の導電層で形成されていると共に、前記 T F T 層よりも上層の有機絶縁膜によって被覆されている請求項 5 ~ 29 の何れか 1 項に記載の表示デバイス。

【請求項 31】

可撓性の支持材を備える請求項 1 ~ 30 の何れか 1 項に記載の表示デバイス。

【請求項 32】

複数の無機絶縁膜を含む T F T 層と、前記 T F T 層よりも上層の発光素子層とを備え、
前記 T F T 層には、複数の端子を含む端子領域が、アクティブ領域よりも外側に設けられた表示デバイスの製造方法であって、
前記複数の無機絶縁膜の少なくとも 1 つを貫通する第 1 スリットパターンを、平面視における前記アクティブ領域と前記端子領域との間に形成し、
前記複数の無機絶縁膜の少なくとも 1 つを貫通する第 2 スリットパターンを、前記第 1 スリットパターンとともに平面視において前記端子領域を挟むように形成する表示デバイスの製造方法。

【請求項 33】

前記複数の無機絶縁膜の少なくとも 1 つを貫通する第 3 スリットパターンを、前記アクティブ領域と前記第 1 スリットパターンとの間に形成する請求項 32 に記載の表示デバイスの製造方法。

【請求項 34】

前記第 1 スリットパターンおよび第 3 スリットパターンを同じプロセスで形成する請求項 33 に記載の表示デバイスの製造方法。

【請求項 35】

熱圧着によって前記端子領域に電子回路基板を実装する請求項 32 ~ 34 のいずれか 1 項に記載の表示デバイスの製造方法。

【請求項 36】

前記第 3 スリットパターンを折り目として、前記表示デバイスを折り曲げ、前記端子領域を裏面に配する請求項 33 または 34 に記載の表示デバイスの製造方法。

【請求項 37】

複数の無機絶縁膜を含む T F T 層と、前記 T F T 層よりも上層の発光素子層とを備え、
前記 T F T 層には、複数の端子を含む端子領域が、アクティブ領域よりも外側に設けられた表示デバイスの製造装置であって、
前記複数の無機絶縁膜の少なくとも 1 つを貫通する第 1 スリットパターンを、平面視における前記アクティブ領域と前記端子領域との間に形成し、
前記複数の無機絶縁膜の少なくとも 1 つを貫通する第 2 スリットパターンを、前記第 1 スリットパターンとともに平面視において前記端子領域を挟むように形成する表示デバイスの製造装置。

10

20

30

40

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示デバイスに関する。

【背景技術】

【0002】

特許文献1には、有機ELパネルの表示領域の外側に端子領域を設ける構成が開示されている。

【先行技術文献】

【特許文献】

10

【0003】

【特許文献1】特開2011-18686号公報（平成23年1月27日公開）

【発明の概要】

【発明が解決しようとする課題】

【0004】

端子部にICチップ等を搭載する際に端子領域に亀裂が生じ、この亀裂が周囲に伝播するおそれがある。

【課題を解決するための手段】

【0005】

本発明の一態様に係る表示デバイスは、複数の無機絶縁膜を含むTF層と、前記TF層よりも上層の発光素子層とを備え、前記TF層には、複数の端子を含む端子領域が、アクティブ領域よりも外側に設けられる表示デバイスであって、前記複数の無機絶縁膜の少なくとも1つを貫通する、第1スリットパターンおよび第2スリットパターンを含み、平面視においては、前記第1スリットパターンが、平面視における前記アクティブ領域と前記端子領域との間に形成されるとともに、前記端子領域が、前記第1スリットパターンおよび前記第2スリットパターンによって挟まれている構成である。

20

【0006】

本発明の別の態様に係る表示デバイスの製造方法は、複数の無機絶縁膜を含むTF層と、前記TF層よりも上層の発光素子層とを備え、前記TF層には、複数の端子を含む端子領域が、アクティブ領域よりも外側に設けられた表示デバイスの製造方法であって、前記複数の無機絶縁膜の少なくとも1つを貫通する第1スリットパターンを、平面視における前記アクティブ領域と前記端子領域との間に形成し、前記複数の無機絶縁膜の少なくとも1つを貫通する第2スリットパターンを、前記第1スリットパターンとともに平面視において前記端子領域を挟むように形成する製造方法である。

30

【0007】

本発明の別の態様に係る表示デバイスの製造装置は、複数の無機絶縁膜を含むTF層と、前記TF層よりも上層の発光素子層とを備え、前記TF層には、複数の端子を含む端子領域が、アクティブ領域よりも外側に設けられた表示デバイスの製造装置であって、前記複数の無機絶縁膜の少なくとも1つを貫通する第1スリットパターンを、平面視における前記アクティブ領域と前記端子領域との間に形成し、前記複数の無機絶縁膜の少

40

【発明の効果】

【0008】

本発明の一態様によれば、端子領域に亀裂が生じたとしても、第1スリットパターンおよび第2スリットパターンによってこの亀裂が周囲に伝播することを防ぐことができる。

【図面の簡単な説明】

【0009】

【図1】ELデバイスの製造方法の一例を示すフローチャートである。

【図2】(a)は、本発明の幾つかの実施形態のELデバイスの形成途中の構成例を示す

50

断面図であり、(b)は、本発明の幾つかの実施形態のＥＬデバイスの構成例を示す断面図である。

【図３】(a)は、本発明の幾つかの実施形態のＥＬデバイスの構成例を示す平面図であり、(b)は、(a)に示された構成例の端子部を強調して示す部分平面図である。

【図４】本発明の一実施形態に係るＥＬデバイスの、ソース導電層形成前の断面構成を示す断面図である。

【図５】本発明の前記一実施形態に係るＥＬデバイスの、バンク層形成後の断面構成を示す断面図である。

【図６】本発明の別の実施形態に係るＥＬデバイスの、第２無機絶縁膜形成前の断面構成を示す断面図である。

【図７】本発明の前記別の実施形態に係るＥＬデバイスの、ソース導電層形成前の断面構成を示す断面図である。

【図８】本発明の前記別の実施形態に係るＥＬデバイスの、バンク層形成後の断面構成を示す断面図である。

【図９】本発明の別の実施形態に係るＥＬデバイスの、ソース導電層形成前の断面構成を示す断面図である。

【図１０】本発明の前記別の実施形態に係るＥＬデバイスの、バンク層形成後の断面構成を示す断面図である。

【図１１】本発明の別の実施形態に係るＥＬデバイスの断面構成を示す断面図である。

【図１２】本発明の別の実施形態に係るＥＬデバイスの断面構成を示す断面図である。

【図１３】本発明の別の実施形態に係るＥＬデバイスの断面構成を示す断面図である。

【図１４】本発明の別の幾つかの実施形態のＥＬデバイスの構成例を示す平面図である。

【図１５】本発明の別の実施形態に係るＥＬデバイスの断面構成を示す断面図であり、図１４のＡ－Ａ'断面図に相当する。

【図１６】本発明の前記別の実施形態に係るＥＬデバイスの断面構成を示す別の断面図であり、図１４のＢ－Ｂ'断面図に相当する。

【図１７】本発明の別の実施形態に係るＥＬデバイスの断面構成を示す断面図であり、図１４のＡ－Ａ'断面図に相当する。

【図１８】本発明の前記別の実施形態に係るＥＬデバイスの断面構成を示す別の断面図であり、図１４のＢ－Ｂ'断面図に相当する。

【図１９】本発明の前記別の幾つかの実施形態のＥＬデバイスのスリットの構成の幾つの変形例を示す平面図および部分拡大図である。

【図２０】本発明の別の実施形態に係るＥＬデバイス２の構成例を示す平面図である。

【図２１】本発明の前記別の実施形態に係るＥＬデバイスの断面構成を示す断面図であり、図２０のＡ－Ａ'断面図に相当する。

【図２２】本発明の前記別の実施形態に係るＥＬデバイスの断面構成を示す別の断面図であり、図２０のＢ－Ｂ'断面図に相当する。

【図２３】本発明の幾つかの実施形態に係るＥＬデバイスの構成を組み合わせ得られる構成例を示す断面図である。

【発明を実施するための形態】

【００１０】

図１はＥＬデバイスの製造方法の一例を示すフローチャートである。図２(a)は、本発明の幾つかの実施形態のＥＬデバイスの形成途中の構成例を示す断面図である。図２(b)は、本発明の幾つかの実施形態のＥＬデバイスの構成例を示す断面図である。図３(a)は、本発明の幾つかの実施形態のＥＬデバイスの構成例を示す平面図である。図３(b)は、図３(a)に示された構成例の端子部を強調して示す部分平面図である。

【００１１】

フレキシブルなＥＬデバイスを製造する場合、図１～図２に示すように、まず、透光性のマザー基板（例えば、ガラス基板）５０上に樹脂層１２を形成する（ステップＳ１）。次いで、無機バリア膜３を形成する（ステップＳ２）。次いで、半導体膜１５および複数

10

20

30

40

50

の無機絶縁膜 16・18・20 および平坦化膜 21 および複数の導電層 32・34・36 を含む T F T 層 4 を形成する (ステップ S 3)。次いで、バンク層 23 および発光素子層 (例えば、O L E D 素子層) 5 を形成する (ステップ S 4)。次いで、無機封止膜 26・28 および有機封止膜 27 を含む封止層 6 を形成する (ステップ S 5)。次いで、封止層 6 上に接着層 8 を介して保護材 9 (例えば、P E T フィルム) を貼り付ける (ステップ S 6)。

【0012】

次いで、樹脂層 12 にレーザーを照射する (ステップ S 7)。ここでは、照射されたレーザーを樹脂層 12 が吸収することで、樹脂層 12 の下面 (マザー基板 50 との界面) がアブレーションによって変質し剥離層が形成され、樹脂層 12 およびマザー基板 50 間の結合力が低下する。次いで、マザー基板 50 を樹脂層 12 から剥離する (ステップ S 8)。これにより、図 2 (a) に示す積層体 7 とマザー基板 50 とが剥離する。ここで積層体 7 とは、マザー基板 50 上に形成されている多層体の全体を指し、図 2 (a) に示す例では、マザー基板 50 上に形成されている樹脂層 12 から、最外層である保護材 9 までの層を示す。

10

【0013】

次いで、図 2 (b) に示すように、樹脂層 12 の下面に、接着層 11 を介して支持材 10 (例えば、P E T フィルム) を貼り付ける (ステップ S 9)。次いで、積層体 7 および支持材 10 を分断すると共に保護材 9 をカットし、複数の E L デバイスを切り出す (ステップ S 10)。次いで、T F T 層 4 の端子部 51 (図 3 (a) 参照) 上の保護材 9 を剥離し、端子出しを行う (ステップ S 11)。これにより、図 2 (b) に示すような E L デバイス 2 を得る。次いで機能フィルムを貼り付け (ステップ S 12)、A C F 等を用いて端子部 51 に電子回路基板を実装する (ステップ S 13)。なお、前記各ステップは E L デバイスの製造装置が行う。

20

【0014】

本発明の一態様に係る E L デバイスの製造方法は、特に前述のステップ S 3 およびステップ S 9 に特徴がある。詳細については後述する。

【0015】

樹脂層 12 の材料としては、例えば、ポリイミド、エポキシ、ポリアミド等が挙げられる。中でもポリイミドが好適に用いられる。

30

【0016】

無機バリア膜 3 は、E L デバイスの使用時に、水分や不純物が、T F T 層 4 や発光素子層 5 に到達することを防ぐ膜であり、例えば、C V D により形成される、酸化シリコン膜、窒化シリコン膜、あるいは酸窒化シリコン膜、またはこれらの積層膜で構成することができる。無機バリア膜 3 の厚さは、例えば、50 nm ~ 1500 nm である。

【0017】

T F T 層 4 は、半導体膜 15 と、半導体膜 15 の上側に形成される無機絶縁膜 16 (ゲート絶縁膜) と、ゲート絶縁膜 16 の上側に形成されるゲート導電層 32 と、ゲート導電層 32 の上側に形成される第 1 無機絶縁膜 18 と、第 1 無機絶縁膜 18 の上側に形成される中間導電層 36 と、中間導電層 36 の上側に形成される第 2 無機絶縁膜 20 と、無機絶縁膜 20 の上側に形成されるソース導電層 34 と、ソース導電層 34 の上側に形成される平坦化膜 21 とを含む。T F T 層 4 のアクティブ領域 D A では、サブピクセル毎に、ゲート電極 G がゲート導電層 32 で形成されており、ソース電極 S およびドレイン電極 D がソース導電層 34 で形成されている。半導体膜 15、無機絶縁膜 16、ゲート電極 G、無機絶縁膜 18・20、ソース電極 S およびドレイン電極 D は、薄層トランジスタ (T F T) を構成する。T F T 層 4 の端部 (非アクティブ領域 N A) には、I C チップ、F P C 等の電子回路基板との接続に用いられる複数の端子 T M および端子配線 T W を含む端子部 51 が形成される。端子 T M は端子配線 T W を介して T F T 層 4 の各種配線に接続される。端子 T M および端子配線 T W は、複数の導電層 32・34・36 の何れか 1 つまたは複数で形成されている。

40

50

【0018】

半導体膜15は、例えば低温ポリシリコン(LPTS)あるいは酸化物半導体で構成される。ゲート絶縁膜16は、例えば、CVD法によって形成された、酸化シリコン(SiO_x)膜あるいは窒化シリコン(SiN_x)膜またはこれらの積層膜によって構成することができる。ゲート電極G、ソース電極S、ドレイン電極D、および端子は、例えば、アルミニウム(Al)、タングステン(W)、モリブデン(Mo)、タンタル(Ta)、クロム(Cr)、チタン(Ti)、銅(Cu)の少なくとも1つを含む金属の単層膜あるいは積層膜によって構成される。なお、図2では、半導体膜15をチャネルとするTFTがトップゲート構造で示されているが、ボトムゲート構造でもよい(例えば、TFTのチャネルが酸化物半導体の場合)。

10

【0019】

無機絶縁膜18・20は、例えば、CVD法によって形成された、酸化シリコン(SiO_x)膜あるいは窒化シリコン(SiN_x)膜またはこれらの積層膜によって構成することができる。平坦化膜21は、有機絶縁膜であり、例えば、ポリイミド、アクリル等の塗布可能な感光性有機材料によって構成することができる。

【0020】

発光素子層5(例えば、有機発光ダイオード層)は、平坦化膜21の上側に形成されるアノード電極22と、アクティブ領域DAのサブピクセルを規定する隔壁23cと、非アクティブ領域NAに形成されるバンク23bと、アノード電極22の上側に形成されるEL(エレクトロルミネッセンス)層24と、EL層24の上側に形成されるカソード電極25とを含み、アノード電極22、EL層24、およびカソード電極25によって発光素子(例えば、有機発光ダイオード)が構成される。

20

【0021】

隔壁23cおよびバンク23bは、ポリイミド、エポキシ、アクリル等の塗布可能な感光性有機材料を用いて、例えば同一工程でバンク層23に形成することができる。非アクティブ領域NAのバンク23bは無機絶縁膜20上に形成される。バンク23bは有機封止膜27のエッジを規定する。

【0022】

EL層24は、蒸着法あるいはインクジェット法によって、隔壁23cによって囲まれた領域(サブピクセル領域)に形成される。発光素子層5が有機発光ダイオード(OLED)層である場合、EL層24は、例えば、下層側から順に、正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層を積層することで構成される。

30

【0023】

アノード電極(陽極)22は、例えばITO(Indium Tin Oxide)とAgを含む合金との積層によって構成され、光反射性を有する。カソード電極25は、ITO(Indium Tin Oxide)、IZO(Indium Zincum Oxide)等の透明金属で構成することができる。

【0024】

発光素子層5がOLED層である場合、アノード電極22およびカソード電極25間の駆動電流によって正孔と電子がEL層24内で再結合し、これによって生じたエキシトンが基底状態に落ちることによって、光が放出される。

40

【0025】

発光素子層5は、OLED素子を構成する場合に限られず、無機発光ダイオードあるいは量子ドット発光ダイオードを構成してもよい。

【0026】

封止層6は、隔壁23cおよびカソード電極25を覆う第1無機封止膜26と、第1無機封止膜26を覆う有機封止膜27と、有機封止膜27を覆う第2無機封止膜28とを含む。

【0027】

第1無機封止膜26および第2無機封止膜28はそれぞれ、例えば、CVDにより形成

50

される、酸化シリコン膜、窒化シリコン膜、あるいは酸窒化シリコン膜、またはこれらの積層膜で構成することができる。有機封止膜 27 は、第 1 無機封止膜 26 および第 2 無機封止膜 28 よりも厚い、透光性の有機絶縁膜であり、ポリイミド、アクリル等の塗布可能な感光性有機材料によって構成することができる。例えば、このような有機材料を含むインクを第 1 無機封止膜 26 上にインクジェット塗布した後、UV 照射により硬化させる。封止層 6 は、発光素子層 5 を覆い、水、酸素等の異物の発光素子層 5 への浸透を防いでいる。

【0028】

保護材 9 は、接着層 8 を介して封止層 6 上に貼り付けられ、マザー基板 50 を剥離した時の支持材として機能する。保護材 9 の材料としては、PET (ポリエチレンテレフタレート) 等が挙げられる。

10

【0029】

支持材 10 は、マザー基板 50 を剥離した後に樹脂層 12 の下面に貼り付けることで、柔軟性に優れた EL デバイスを製造するためのものであり、その材料としては、例えばポリエチレンテレフタレート (PET) 等が挙げられる。支持材 10 は、EL デバイス 2 をさらに柔軟にするために、選択的に除去されることができる。例えば、ステップ S9 において支持材 10 を貼り付ける前に、除去したい領域に沿って切れ目を支持材 10 に入れ、ステップ S9 ~ S13 の何れかにおいて、切れ目に沿って、除去したい領域の支持材 10 を EL デバイス 2 から剥離することによって、支持材 10 を、選択的に除去することができる。

20

【0030】

機能フィルムは、例えば、光学補償機能、タッチセンサ機能、保護機能等を有する。電子回路基板は、例えば、複数の端子 TM 上に実装される IC チップあるいはフレキシブルプリント基板である。

【0031】

端子部 51 は、図 3 に示すように、支持材 10 が選択的に除去されている屈曲領域 52 と、IC チップとの接続に用いられる端子 TM1 が千鳥に配置された IC チップ搭載領域 56 (端子領域) と、FPC との接続に用いられる端子 TM2 が配置された FPC 接続領域 58 と、を含む。IC チップ搭載領域 56 は、アクティブ領域 DA と FPC 接続領域 58 との間に位置し、屈曲領域 52 は、アクティブ領域 DA と IC チップ搭載領域 56 との間に位置する。EL デバイス 2 は、アクティブ領域 DA が上方を向くと共に、IC チップ搭載領域 56 および FPC 接続領域 58 が下方を向くように、屈曲領域 52 で折り曲げることができる。このため、端子部 51 の実効幅が、全幅よりも短くなるので、EL デバイス 2 を用いた表示装置を狭額縁化することができる。

30

【0032】

端子配線 TW は、アクティブ領域 DA から引き出されて、IC チップ搭載領域 56 内の端子 TM1 に接続されている。

【0033】

本明細書では、幅と長さとは或る切込み (溝) を、スリットと称する。また、1つのスリットが実線のように途切れることなく延伸している場合、このスリットを、「実線状スリット」と称する。また、複数のスリットが破線のように離間しながら整列している場合、各スリットを「島状スリット」と称し、この複数のスリットを「列状スリット群」と称する。「列状スリット群」の延伸方向は、含まれる「島状スリット」が整列している方向である。例えば、図 3 の (b) および図 19 の (c) に示すような屈曲スリット 42 は、実線状スリットである。例えば、図 19 の (a) および (b) に示すような屈曲スリット 42 は、列状スリット群である。また、EL デバイスを屈曲しやすくするためのスリットまたはスリット群を、「屈曲スリット」と称する。

40

【0034】

(実施形態 1)

(ステップ S3)

50

以下本発明の一実施形態の特徴である前述のステップＳ３について説明する。

【００３５】

ステップＳ３で、図３に示すように、ＩＣチップ搭載領域５６（端子領域）を囲むようにＩＣチップ外周スリット４０を形成する。また、ＩＣチップ外周スリット４０と同一プロセスで、屈曲領域５２（折り曲げ領域）に屈曲スリット４２（第３スリットパターン）を形成する。

【００３６】

ＩＣチップ外周スリット４０は、アクティブ領域ＤＡ側にある実線状のアクティブ側スリット４３（第１スリットパターン）と、ＦＰＣ接続領域５８側にある実線状のＦＰＣ側スリット４４（第２スリットパターン）と、ＥＬデバイス２の端側にある２つの実線状の端側スリット４５（２つのスリットパターン）と、から構成されている。アクティブ側スリット４３とＦＰＣ側スリット４４とは、端子配線ＴＷの延伸方向と略平行に延伸し、２つの端側スリット４５と屈曲スリット４２とは、端子配線ＴＷの延伸方向と略直交するように延伸している。端子配線ＴＷの延伸方向について、アクティブ領域ＤＡ、屈曲領域５２、アクティブ側スリット４３、ＩＣチップ搭載領域５６、ＦＰＣ側スリット４４、ＦＰＣ接続領域５８は、この順に並んでいる。なお、ＩＣチップ外周スリット４０は、端側スリット４５を含まず、アクティブ側スリット４３とＦＰＣ側スリット４４とのみを含んでもよい。

【００３７】

図４は、実施形態１に係るＥＬデバイス２の、ソース導電層３４形成前の断面構成を示す断面図である。図５は、実施形態１に係るＥＬデバイス２の、バンク層２３形成後の断面構成を示す断面図である。

【００３８】

図４および図５に示すように、屈曲スリット４２とアクティブ側スリット４３とＦＰＣ側スリット４４とは、各々同様に第２無機絶縁膜２０を貫通し、第１無機絶縁膜１８に達している。また、図４および図５に示さないが、端側スリット４５も各々同様に、第２無機絶縁膜２０を貫通し、第１無機絶縁膜１８に達している。

【００３９】

端子配線ＴＷは、ゲート導電層３２のみで形成されている。端子配線ＴＷは、樹脂層１２よりも上側を通り、屈曲スリット４２とアクティブ側スリット４３とＦＰＣ側スリット４４（以後、纏めて、「スリット４２～４４」と称する）とよりも下側を通過して、屈曲スリット４２およびアクティブ側スリット４３と交差している。

【００４０】

図５に示すように、端子ＴＭ１・ＴＭ２は、各々同様に、（ｉ）コンタクトホール４６を通過して端子配線ＴＷと接触しており、（ｉｉ）端部が平坦化膜２１またはバンク層２３によって被覆されている。

【００４１】

（工程順序）

図４および図５のようなスリット４２～４４と端子配線ＴＷと端子ＴＭ１・ＴＭ２とは、以下のような工程順序で、ステップ３で形成されることができる。なお、２つの端側スリット４５は、記載を省略するが、アクティブ側スリット４３およびＦＰＣ側スリット４４と同一プロセスで形成されている。

【００４２】

まず、半導体膜１５とゲート絶縁膜１６とを形成する。次いで、ゲート導電層３２を形成し、ゲート導電層３２でゲート電極Ｇと共に端子配線ＴＷを形成する。次いで、第１無機絶縁膜１８と中間導電層３６と第２無機絶縁膜２０を形成する。次いで、第１無機絶縁膜１８と第２無機絶縁膜２０とをエッチングして、端子ＴＭ１・ＴＭ２のためのコンタクトホール４６を形成する。次いで、ソース導電層３４を形成し、ソース導電層３４でソース電極Ｓおよびドレイン電極Ｄと共に端子ＴＭ１・ＴＭ２を形成する。次いで、第１無機絶縁膜１８と第２無機絶縁膜２０とを再度エッチングして、スリット４２～４４を形成す

10

20

30

40

50

る。次いで、平坦化膜 2 1 を形成する。

【 0 0 4 3 】

なお、スリット 4 2 ~ 4 4 を形成するためのエッチングを、第 2 無機絶縁膜 2 0 の形成とコンタクトホール 4 6 の形成との間に行っても、コンタクトホール 4 6 の形成とソース導電層 3 4 の形成との間に行っても、コンタクトホール 4 6 の形成するためのエッチングと同時に進めてもよい。ただし、同時に進めた場合、スリット 4 2 ~ 4 4 は、コンタクトホール 4 6 と同じマスクでエッチングされるので、スリット 4 2 ~ 4 4 の底面に、ゲート導電層 3 2 が露出する。このため、同時に進めた場合、平坦化膜 2 1 などの絶縁材をスリット 4 2 ~ 4 4 に埋設することによって、露出したゲート導電層 3 2 を被覆してもよい。

【 0 0 4 4 】

したがって、端子配線 T W の短絡を防止する観点から、スリット 4 2 ~ 4 4 を形成するためエッチングは、ソース導電層 3 4 の形成と平坦化膜 2 1 の形成との間に行われることが好ましい。

【 0 0 4 5 】

また、ゲート導電層 3 2 は、エッチストップ層として機能することが好ましい。

【 0 0 4 6 】

(バンク層)

図 5 に示すように、ステップ 4 で形成されるバンク層 2 3 は、屈曲スリット 4 2 の上に形成されて、E L デバイス 2 の屈曲領域 5 2 を補強することが好ましい。なぜならば、屈曲スリット 4 2 が設けられている屈曲領域 5 2 には、機械的応力が掛かるからである。一方、バンク層 2 3 は、I C チップ外周スリット 4 0 (スリット 4 3 ~ 4 4 を含む) の上に形成されないことが好ましい。なぜならば、I C チップ外周スリット 4 0 は、I C チップ搭載領域 5 6 の近傍に位置するので、バンク層 2 3 が I C チップ外周スリット 4 0 の上に形成された場合、I C チップを端子 T M 1 に接続することが難しくなるからである。

【 0 0 4 7 】

また、ステップ 4 においてまたはステップ 4 より後のステップにおいて、アクティブ領域 D A と非アクティブ領域 N A との境界または境界近傍に、平坦化膜 2 1 およびバンク層 2 3 を貫通するスリット 6 0 を形成することが好ましい。なぜならば、平坦化膜 2 1 およびバンク層 2 3 は有機絶縁膜なので、スリット 6 0 を形成しない場合、平坦化膜 2 1 およびバンク層 2 3 に浸透した水分が、非アクティブ領域 N A からアクティブ領域 D A へ侵入することがあるからである。

【 0 0 4 8 】

(ステップ S 9)

以下本発明の一実施形態の特徴である前述のステップ S 9 について説明する。

【 0 0 4 9 】

ステップ S 9 で、図示を省略するが、屈曲領域 5 2 で E L デバイス 2 を柔軟にするために、支持材 1 0 を屈曲領域 5 2 から選択的に除去する。あるいは、支持材 1 9 を、屈曲領域 5 2 に選択的に接着しない。

【 0 0 5 0 】

(効果)

屈曲領域 5 2 には、支持材 1 0 が貼り付けられておらず、屈曲スリット 4 2 は、図 4 および図 5 に示すように、第 2 無機絶縁膜 2 0 を貫通し、第 1 無機絶縁膜 1 8 に達している。このため、E L デバイス 2 は、屈曲領域 5 2 以外の非アクティブ N A よりも、屈曲領域 5 2 において柔軟であり、屈曲しやすい。

【 0 0 5 1 】

図 4 および図 5 に示すように、端子配線 T W は、屈曲スリット 4 2 およびアクティブ側スリット 4 3 よりも下側を通り、屈曲スリット 4 2 およびアクティブ側スリット 4 3 と交差する。このため、屈曲スリット 4 2 およびアクティブ側スリット 4 3 は、各々、1 つの実線状スリットとして形成されることができるので、形成が容易である。

【 0 0 5 2 】

図４および図５に示すように、ＩＣチップ搭載領域５６を囲むＩＣチップ外周スリット４０は、第２無機絶縁膜２０を貫通し、第１無機絶縁膜１８に達している。このため、ＩＣチップ搭載時などに強い押圧力がかかって、ＩＣチップ搭載領域５６の第１無機絶縁膜１８と第２無機絶縁膜２０との何れか１つ以上に亀裂が入ったとしても、該亀裂の伸展は、ＩＣチップ外周スリット４０で止められるので、該亀裂が端子配線ＴＷを断線する可能性は低減され、ＥＬデバイス２の信頼性は維持される。

【００５３】

（実施形態２）

以下、本発明の他の実施形態の特徴であるステップＳ３について、図６～図８を参照しながら説明する。なお、本実施形態の特徴であるステップＳ９は、前述の実施形態２の特徴であるステップＳ９と同様であるため、説明を省略する。

10

【００５４】

図６は、実施形態２に係るＥＬデバイス２の、第２無機絶縁膜２０形成前の断面構成を示す断面図である。図７は、実施形態２に係るＥＬデバイス２の、ソース導電層３４形成前の断面構成を示す断面図である。図８は、実施形態２に係るＥＬデバイス２の、バンク層２３形成後の断面構成を示す断面図である。

【００５５】

図６～図８に示すように、屈曲スリット４２は、無機バリア膜３とゲート絶縁膜１６と第１無機絶縁膜１８とを貫通する実線状の下屈曲スリット４２ａと、第２無機絶縁膜２０を貫通する実線状の上屈曲スリット４２ｂと、で構成される。アクティブ側スリット４３も同様に、無機バリア膜３とゲート絶縁膜１６と第１無機絶縁膜１８とを貫通する実線状の下アクティブ側スリット４３ａと、第２無機絶縁膜２０を貫通する実線状の上アクティブ側スリット４３ｂと、で構成される。ＦＰＣ側スリット４４も同様に、無機バリア膜３とゲート絶縁膜１６と第１無機絶縁膜１８とを貫通する実線状の下ＦＰＣ側スリット４４ａと、第２無機絶縁膜２０を貫通する実線状の上ＦＰＣ側スリット４４ｂと、で構成される。また、図６～図８に示さないが、２つの端側スリット４５も各々同様に、無機バリア膜３とゲート絶縁膜１６と第１無機絶縁膜１８とを貫通する実線状の下端側スリットと、第２無機絶縁膜２０を貫通する実線状の上端側スリットと、で構成される。

20

【００５６】

端子配線ＴＷは、ゲート導電層３２で形成された本体部ＴＷ１およびアクティブ側部ＴＷ２および端子側部ＴＷ３と、中間導電層３６で形成された屈曲スリットブリッジ部ＴＷ４および外周スリットブリッジ部ＴＷ５を含む。端子配線ＴＷのブリッジ部ＴＷ４，ＴＷ５はそれぞれ、下屈曲スリット４２ａおよび下アクティブ側スリット４３ａの内側面および底面を通して、屈曲スリット４２およびアクティブ側スリット４３と交差している。この端子配線ＴＷのブリッジ部ＴＷ４，ＴＷ５が露出しないように、端子配線ＴＷのブリッジ部ＴＷ４，ＴＷ５の上には、平坦化膜２１が形成されている。

30

【００５７】

図８に示すように、端子ＴＭ１・ＴＭ２は、各々同様に、（ｉ）コンタクトホール４６を通して端子配線ＴＷの端子側部ＴＷ３と接触しており、（ｉｉ）端部が平坦化膜２１またはバンク層２３によって被覆されている。

40

【００５８】

（工程順序）

図６～図８のような端子配線ＴＷとスリット４２～４４と端子ＴＭ１・ＴＭ２とは、以下のような工程順序で、ステップ３で形成されることができる。なお、２つの端側スリット４５は、記載を省略するが、アクティブ側スリット４３およびＦＰＣ側スリット４４と同一プロセスで形成されている。

【００５９】

まず、半導体膜１５とゲート絶縁膜１６とを形成する。次いで、ゲート導電層３２を形成し、ゲート導電層３２でゲート電極Ｇと共に端子配線ＴＷの本体部ＴＷ１およびアクティブ側部ＴＷ２および端子側部ＴＷ３を形成する。次いで、第１無機絶縁膜１８を形成す

50

る。次いで、無機バリア膜 3 とゲート絶縁膜 16 と第 1 無機絶縁膜 18 とをエッチングして、下屈曲スリット 42a と下アクティブ側スリット 43a と下 FPC 側スリット 44a と、端子配線 TW の本体部 TW1 およびアクティブ側部 TW2 および端子側部 TW3 にブリッジ部 TW4, TW5 が繋がるためのコンタクトホールと、を形成する。次いで、中間導電層 36 を形成し、中間導電層 36 で端子配線 TW のブリッジ部 TW4, TW5 を形成する。次いで、第 2 無機絶縁膜 20 を形成する。次いで、第 2 無機絶縁膜 20 をエッチングして、端子 TM1・TM2 のためのコンタクトホール 46 を形成する。次いで、ソース導電層 34 を形成し、ソース導電層 34 でソース電極 S およびドレイン電極 D と共に端子 TM1・TM2 とを形成する。次いで、第 2 無機絶縁膜 20 を再度エッチングして、上屈曲スリット 42b と上アクティブ側スリット 43b と上 FPC 側スリット 44b とを形成する。次いで、平坦化膜 21 を形成する。

10

【0060】

なお、上屈曲スリット 42b と上アクティブ側スリット 43b と上 FPC 側スリット 44b とを形成するためのエッチングは、前述の実施形態 1 におけるスリット 42 ~ 44 を形成するためのエッチングと同様に、第 2 無機絶縁膜 20 の形成とコンタクトホール 46 の形成との間に行っても、コンタクトホール 46 の形成とソース導電層 34 の形成との間に行っても、コンタクトホール 46 の形成するためのエッチングと同時に行ってもよい。同時に行った場合、平坦化膜 21 などの絶縁材をスリット 42 ~ 44 に埋設することによって、露出したゲート導電層 32 を被覆してもよい。

20

【0061】

また、ゲート導電層 32 および中間導電層 36 は、エッチストップ層として機能することが好ましい。また、端子配線 TW のブリッジ部 TW4, TW5 が断線しないために、下屈曲スリット 42a および下アクティブ側スリット 43a は、底方向にむけて狭幅となるテーパ形状であることが好ましく、テーパ角度が緩やかであることがより好ましい。また、複数の無機絶縁層をエッチングする 1 回の工程は、複数回の工程に分けられてもよい。

【0062】

(効果)

屈曲領域 52 には、支持材 10 が貼り付けられておらず、屈曲スリット 42 は、図 6 ~ 図 8 に示すように、無機バリア膜 3 とゲート絶縁膜 16 と第 1 無機絶縁膜 18 と第 2 無機絶縁膜 20 とを貫通する。このため、EL デバイス 2 は、屈曲領域 52 以外の非アクティブ NA よりも、屈曲領域 52 において柔軟であり、屈曲しやすい。また、図 8 に示される構成の EL デバイス 2 は、図 5 に示される構成の EL デバイス 2 よりも屈曲しやすい。

30

【0063】

図 7 および図 8 に示すように、端子配線 TW のブリッジ部 TW4, TW5 は、下屈曲スリット 42a および下アクティブ側スリット 43a の内側面および底面を通り、屈曲スリット 42 およびアクティブ側スリット 43 と交差する。このため、屈曲スリット 42 およびアクティブ側スリット 43 は、各々、1 つの実線状スリットとして形成されることができるので、形成が容易である。

【0064】

図 6 ~ 図 8 に示すように、IC チップ搭載領域 56 を囲む IC チップ外周スリット 40 は、無機バリア膜 3 とゲート絶縁膜 16 と第 1 無機絶縁膜 18 と第 2 無機絶縁膜 20 とを貫通する。このため、IC チップ搭載時などに強い押圧力がかかって、IC チップ搭載領域 56 の無機バリア膜 3 とゲート絶縁膜 16 と第 1 無機絶縁膜 18 と第 2 無機絶縁膜 20 との何れか 1 つ以上に亀裂が入ったとしても、該亀裂の伸展は、IC チップ外周スリット 40 で止められるので、該亀裂が端子配線 TW を断線する可能性は低減され、EL デバイス 2 の信頼性は維持される。また、図 8 に示される構成の EL デバイス 2 は、図 5 に示される構成の EL デバイス 2 よりも、信頼性が維持される。

40

【0065】

(実施形態 3)

以下、本発明の他の実施形態の特徴であるステップ S3 について、図 9 および図 10 を

50

参照しながら説明する。なお、本実施形態の特徴であるステップＳ９は、前述の実施形態２の特徴であるステップＳ９と同様であるため、説明を省略する。

【００６６】

図９は、実施形態３に係るＥＬデバイス２の、ソース導電層３４形成前の断面構成を示す断面図である。図１０は、実施形態３に係るＥＬデバイス２の、バンク層２３形成後の断面構成を示す断面図である。

【００６７】

図９および図１０に示すように、屈曲スリット４２とアクティブ側スリット４３とＦＰＣ側スリット４４は、各々同様に、無機バリア膜３とゲート絶縁膜１６と第１無機絶縁膜１８と第２無機絶縁膜２０とを貫通する。また、図９および図１０に示さないが、２つの端側スリット４５も各々同様に、無機バリア膜３とゲート絶縁膜１６と第１無機絶縁膜１８と第２無機絶縁膜２０とを貫通する。

10

【００６８】

端子配線ＴＷは、ゲート導電層３２で形成された本体部ＴＷ１およびアクティブ側部ＴＷ２および端子側部ＴＷ３と、ソース導電層３４で形成された屈曲スリットブリッジ部ＴＷ４および外周スリットブリッジ部ＴＷ５とを含む。端子配線ＴＷのブリッジ部ＴＷ４，ＴＷ５はそれぞれ、屈曲スリット４２およびアクティブ側スリット４３の内側面および底面を通して、屈曲スリット４２およびアクティブ側スリット４３と交差している。この端子配線ＴＷのブリッジ部ＴＷ４，ＴＷ５はそれぞれが露出しないように、端子配線ＴＷのブリッジ部ＴＷ４，ＴＷ５はそれぞれの上には、平坦化膜２３が形成されている。

20

【００６９】

図１０に示すように、端子ＴＭ１・ＴＭ２は、各々同様に、（ｉ）コンタクトホール４６を通して端子配線ＴＷの端子側部ＴＷ３と接触しており、（ｉｉ）端部が平坦化膜２１またはバンク層２３によって被覆されている。

【００７０】

（工程順序）

図９および図１０のような端子配線ＴＷとスリット４２～４４と端子ＴＭ１・ＴＭ２とは、以下のような工程順序で、ステップ３で形成されることができる。なお、２つの端側スリット４５は、記載を省略するが、アクティブ側スリット４３およびＦＰＣ側スリット４４と同一プロセスで形成されている。

30

【００７１】

まず、半導体膜１５とゲート絶縁膜１６とを形成する。次いで、ゲート導電層３２を形成し、ゲート導電層３２でゲート電極Ｇと共に端子配線ＴＷの本体部ＴＷ１およびアクティブ側部ＴＷ２および端子側部ＴＷ３を形成する。次いで、第１無機絶縁膜１８と中間導電層３６と第２無機絶縁膜２０とを形成する。次いで、無機バリア膜３とゲート絶縁膜１６と第１無機絶縁膜１８と第２無機絶縁膜２０とをエッチングし、端子ＴＭ１・ＴＭ２のためのコンタクトホール４６と共に屈曲スリット４２とアクティブ側スリット４３とＦＰＣ側スリット４４と、端子配線ＴＷの本体部ＴＷ１およびアクティブ側部ＴＷ２および端子側部ＴＷ３にブリッジ部ＴＷ４，ＴＷ５が繋がるためのコンタクトホールと、を形成する。次いで、ソース導電層３４を形成し、ソース導電層３４でソース電極Ｓおよびドレイン電極Ｄと共に端子ＴＭ１・ＴＭ２と端子配線ＴＷのブリッジ部ＴＷ４，ＴＷ５とを形成する。次いで、平坦化膜２１を形成する。

40

【００７２】

また、ゲート導電層３２および中間導電層３６は、エッチストップ層として機能することが好ましい。また、端子配線ＴＷのブリッジ部ＴＷ４，ＴＷ５が断線しないために、屈曲スリット４２およびアクティブ側スリット４３は、底方向にむけて狭幅となるテーパ形状であることが好ましく、内側面のテーパ角度が緩やかであることがより好ましい。

【００７３】

（効果）

図１０に示される構成のＥＬデバイス２は、図７に示される構成のＥＬデバイス２と、

50

同様の効果を奏することができる。

【0074】

さらに、端子TM1・TM2のためのコンタクトホール46と共に、屈曲スリット42とアクティブ側スリット43とFPC側スリット44とを形成することができるので、図10に示される構成のELデバイス2を製造するための製造方法は、図7に示されるELデバイス2を製造するための製造方法よりも、工程数を低減することができる。

【0075】

(実施形態4)

以下、本発明の他の実施形態の特徴であるステップS3について、図11を参照しながら説明する。なお、本実施形態の特徴であるステップS9は、前述の実施形態2の特徴であるステップS9と同様であるため、説明を省略する。

10

【0076】

図11は、実施形態4に係るELデバイス2の断面構成を示す断面図である。

【0077】

図11に示すように、屈曲スリット42とアクティブ側スリット43とFPC側スリット44は、各々同様に、無機バリア膜3とゲート絶縁膜16と第1無機絶縁膜18と第2無機絶縁膜20とを貫通する。また、図11に示さないが、2つの端側スリット45も各々同様に、無機バリア膜3とゲート絶縁膜16と第1無機絶縁膜18と第2無機絶縁膜20とを貫通する。

【0078】

20

端子配線TWは、ゲート導電層32で形成された本体部TW1およびアクティブ側部TW2および端子側部TW3と、ソース導電層34で形成された屈曲スリットブリッジ部TW4および外周スリットブリッジ部TW5とを含む。端子配線TWのブリッジ部TW4、TW5はそれぞれ、屈曲スリット42およびアクティブ側スリット43よりも上側を通過して、具体的には、屈曲スリット42およびアクティブ側スリット43に埋設された埋設材38の上面を通過して、屈曲スリット42およびアクティブ側スリット43と交差している。

【0079】

埋設材38は、有機絶縁材であり、例えば、ポリイミド、アクリル等の塗布可能な感光性有機材料によって構成することができる。埋設材38は、平坦化膜21と同じ材料から構成されても、異なる材料から構成されてもよい。

30

【0080】

端子TM1・TM2は、各々同様に、(i)コンタクトホール46を通過して端子配線TWの端子側部TW3と接触しており、(ii)端部が平坦化膜21またはバンク層23によって被覆されている。

【0081】

(工程順序)

図11のような端子配線TWとスリット42~44とは、以下のような工程順序で、ステップ3で形成されることができる。なお、2つの端側スリット45は、記載を省略するが、アクティブ側スリット43とFPC側スリット44と同一プロセスで形成されている。

40

【0082】

まず、半導体膜15とゲート絶縁膜16とを形成する。次いで、ゲート導電層32を形成し、ゲート導電層32でゲート電極Gと共に端子配線TWの本体部分TW1およびアクティブ側部TW2および端子側部TW3を形成する。次いで、第1無機絶縁膜18と中間導電層36と第2無機絶縁膜20とを形成する。次いで、無機バリア膜3とゲート絶縁膜16と第1無機絶縁膜18と第2無機絶縁膜20とをエッチングし、端子TM1・TM2のためのコンタクトホール46とスリット42~44と、端子配線TWの本体部TW1およびアクティブ側部TW2および端子側部TW3にブリッジ部TW4、TW5が繋がるためのコンタクトホールと、を形成する。次いで、屈曲スリット42およびアクティブ側ス

50

リット４３の内部に埋設材３８を埋設する。次いで、ソース導電層３４を形成し、ソース導電層３４でソース電極Ｓおよびドレイン電極Ｄと共に端子ＴＭ１・ＴＭ２と端子配線ＴＷのブリッジ部ＴＷ４，ＴＷ５とを形成する。次いで、平坦化膜２１を形成する。

【００８３】

ゲート導電層３２および中間導電層３６は、エッチストップ層として機能することが好ましい。埋設材３８は、ＦＰＣ側スリット４４および２つの端側スリット４５の内部にも埋設されてもよい。

【００８４】

（効果）

図１１に示される構成のＥＬデバイス２は、図９に示される構成のＥＬデバイス２と同様の効果を奏することができる。

10

【００８５】

さらに、図１１に示される構成によれば、端子配線ＴＷのブリッジ部ＴＷ４，ＴＷ５は、屈曲スリット４２およびアクティブ側スリット４３の内側面および底面を通る代わりに、屈曲スリット４２およびアクティブ側スリット４３に埋設された埋設材３８の上を通る。このため、屈曲スリット４２およびアクティブ側スリット４３の内側面のテーパ角度が急な場合であっても、あるいは、屈曲スリット４２およびアクティブ側スリット４３の深さが深い場合であっても、端子配線ＴＷのブリッジ部ＴＷ４，ＴＷ５が断線しにくい。

【００８６】

（実施形態５）

以下、本発明の他の実施形態の特徴であるステップＳ３について、図１２を参照しながら説明する。なお、本実施形態の特徴であるステップＳ９は、前述の実施形態２の特徴であるステップＳ９と同様であるため、説明を省略する。

20

【００８７】

図１２は、実施形態５に係るＥＬデバイス２の断面構成を示す断面図である。

【００８８】

図１２に示すように、屈曲スリット４２とアクティブ側スリット４３とＦＰＣ側スリット４４は、各々同様に、無機バリア膜３とゲート絶縁膜１６と第１無機絶縁膜１８と第２無機絶縁膜２０とを貫通する。また、図１２に示さないが、２つの端側スリット４５も各々同様に、無機バリア膜３とゲート絶縁膜１６と第１無機絶縁膜１８と第２無機絶縁膜２

30

【００８９】

端子配線ＴＷは、ゲート導電層３２で形成された端子側部ＴＷ３と、ソース導電層３４のみで形成された本体部ＴＷ１とを含む。端子配線ＴＷの端子側部ＴＷ３は、アクティブ側外周スリット４３とＦＰＣ側外周スリット４４との間に設けられ、第２無機膜２０よりも下層を通る。このため、端子ＴＭ１はＴＦＴ層４の内部で端子配線ＴＷと接触することができるので、平坦化膜２１が形成されていない領域で端子配線ＴＷが露出しない。端子配線ＴＷの本体部ＴＷ１は、屈曲スリット４２およびアクティブ側スリット４３の内側面および底面を通ることによって、屈曲スリット４２およびアクティブ側スリット４３と交差している。

40

【００９０】

端子ＴＭ１・ＴＭ２は、各々同様に、（ｉ）コンタクトホール４６を通して端子配線ＴＷの端子側部ＴＷ３と接触しており、（ｉｉ）端部が平坦化膜２１またはバンク層２３によって被覆されている。

【００９１】

（工程順序）

図１２のような端子配線ＴＷとスリット４２～４４とは、以下のような工程順序で、ステップ３で形成されることができる。なお、２つの端側スリット４５は、記載を省略するが、アクティブ側スリット４３およびＦＰＣ側スリット４４と同一プロセスで形成されている。

50

【0092】

まず、半導体膜15とゲート絶縁膜16とを形成する。次いで、ゲート導電層32を形成し、ゲート導電層32で、ゲート電極Gと共に端子配線TWの端子側部TW3を形成する。次いで、第1無機絶縁膜18と中間導電層36と第2無機絶縁膜20とを形成する。次いで、無機バリア膜3とゲート絶縁膜16と第1無機絶縁膜18と第2無機絶縁膜20とをエッチングし、端子TM1・TM2のためのコンタクトホール46と共にスリット42~44と、端子配線TWの端子側部TW3に本体部TW1が繋がるためのコンタクトホールと、を形成する。次いで、ソース導電層34を形成し、ソース導電層34でソース電極Sおよびドレイン電極Dと共に端子TM1・TM2と端子配線TWの本体部TW1とを形成する。次いで、平坦化膜21を形成する。

10

【0093】

また、ゲート導電層32は、エッチストップ層として機能することが好ましい。また、端子配線TWの本体部TW1が断線しないために、屈曲スリット42およびアクティブ側スリット43は、底方向にむけて狭幅となるテーパ形状であることが好ましく、内側面のテーパ角度が緩やかであることがより好ましい。

【0094】

(効果)

図12に示される構成のELデバイス2は、図10に示される構成のELデバイス2と同様の効果を奏することができる。

【0095】

さらに、図12に示される構成のELデバイス2では、端子配線TWの本体部TW1(特に、そのうちのアクティブ領域DAとアクティブ側外周スリット43との間に延設されている部分)に、ゲート導電層32よりも抵抗の低いソース導電層34が用いられている。このため、図12に示される構成のELデバイス2は、図10に示される構成のELデバイス2よりも、データ信号の遅延を少なくすることができ、設計マージンを広くすることができる。

20

【0096】

(実施形態6)

以下、本発明の他の実施形態の特徴であるステップS3について、図13を参照しながら説明する。なお、本実施形態の特徴であるステップS9は、前述の実施形態2の特徴であるステップS9と同様であるため、説明を省略する。

30

【0097】

図13は、実施形態6に係るELデバイス2の断面構成を示す断面図である。

【0098】

図13に示すように、屈曲スリット42とアクティブ側スリット43とFPC側スリット44は、各々同様に、無機バリア膜3とゲート絶縁膜16と第1無機絶縁膜18と第2無機絶縁膜20とを貫通する。また、図13に示さないが、2つの端側スリット45も各々同様に、無機バリア膜3とゲート絶縁膜16と第1無機絶縁膜18と第2無機絶縁膜20とを貫通する。

【0099】

端子配線TWは、ゲート導電層32で形成された端子側部TW3と、ソース導電層34のみで形成された本体部TW1とを含む。端子配線TWの端子側部TW3は、第2無機絶縁膜20よりも下層を通るので、平坦化膜21が形成されていない領域で端子配線TWが露出しない。端子配線TWの本体部TW1は、屈曲スリット42およびアクティブ側スリット43の内側面および底面を通ることによって、屈曲スリット42およびアクティブ側スリット43と交差している。

40

【0100】

端子TM1・TM2は、各々同様に、(i)コンタクトホール46を通して端子配線TWの端子側部TW3と接触しており、(ii)端部が平坦化膜21またはバンク層23によって被覆されている。

50

【 0 1 0 1 】

(工程順序)

図 1 3 のような端子配線 T W とスリット 4 2 ~ 4 4 とは、以下のような工程順序で、ステップ 3 で形成されることができる。なお、2つの端側スリット 4 5 は、記載を省略するが、アクティブ側スリット 4 3 と F P C 側スリット 4 4 と同一プロセスで形成されている。

【 0 1 0 2 】

まず、半導体膜 1 5 とゲート絶縁膜 1 6 とを形成する。次いで、ゲート導電層 3 2 を形成し、ゲート導電層 3 2 で、ゲート電極 G と共に端子配線 T W の端子側部 T W 3 を形成する。次いで、第 1 無機絶縁膜 1 8 と中間導電層 3 6 と第 2 無機絶縁膜 2 0 とを形成する。次いで、無機バリア膜 3 とゲート絶縁膜 1 6 と第 1 無機絶縁膜 1 8 と第 2 無機絶縁膜 2 0 とをエッチングし、端子 T M のためのコンタクトホール 4 6 と共にスリット 4 2 ~ 4 4 と、端子配線 T W の端子側部 T W 3 に本体部 T W 1 が繋がるためのコンタクトホールと、を形成する。次いで、屈曲スリット 4 2 およびアクティブ側スリット 4 3 の内部に埋設材 3 8 を埋設する。次いで、ソース導電層 3 4 を形成し、ソース導電層 3 4 でソース電極 S およびドレイン電極 D と共に端子 T M 1 ・ T M 2 と端子配線 T W の本体部 T W 1 とを形成する。次いで、平坦化膜 2 1 を形成する。

【 0 1 0 3 】

ゲート導電層 3 2 は、エッチストップ層として機能することが好ましい。埋設材 3 8 は、F P C 側スリット 4 4 および 2 つの端側スリット 4 5 の内部にも埋設されてもよい。

【 0 1 0 4 】

(効果)

図 1 3 に示される構成の E L デバイス 2 は、図 1 1 に示される構成の E L デバイス 2 と同様の効果を奏することができる。

【 0 1 0 5 】

さらに、図 1 3 に示される構成の E L デバイス 2 では、端子配線 T W の本体部 T W 1 (特に、そのうちのアクティブ領域 D A とアクティブ側外周スリット 4 3 との間に延設されている部分)に、ゲート導電層 3 2 よりも抵抗の低いソース導電層 3 4 が用いられている。このため、図 1 3 に示される構成の E L デバイス 2 は、図 1 1 に示される構成の E L デバイス 2 よりも、データ信号の遅延が少なくすることができ、設計マージンを広くすることができる。

【 0 1 0 6 】

(実施形態 7)

以下、本発明の他の実施形態の特徴であるステップ S 3 について、図 1 4 ~ 図 1 6 を参照しながら説明する。なお、本実施形態の特徴であるステップ S 9 は、前述の実施形態 2 の特徴であるステップ S 9 と同様であるため、説明を省略する。

【 0 1 0 7 】

図 1 4 は、実施形態 7 または後述の実施形態 8 の E L デバイス 2 の構成例を示す平面図である。

【 0 1 0 8 】

図 1 4 に示すように、I C チップ外周スリット 4 0 に含まれるアクティブ側スリット 4 3 は、1つの実線状スリットである代わりに、複数の島状スリット 4 3 ' で構成されてもよく、例えば、端子配線 T W と交差する方向に整列する複数の島状スリット 4 3 ' で構成された 1 つの列状スリット群であってもよい。屈曲スリット 4 2 も同様に、1つの実線状スリットである代わりに、複数の島状スリット 4 2 ' で構成されてもよく、端子配線 T W の延伸方向と交差する方向に整列する複数の島状スリット 4 2 ' で構成された 1 つの列状スリット群であってもよい。各島状スリット 4 2 ' , 4 3 ' は、端子配線 T W と交差する方向の長さが、端子配線 T W の配線間隔の 2 倍より短いことが好ましく、さらに、端子配線 T W の配線間隔よりも長いことが好ましい。

【 0 1 0 9 】

端子配線TWは、屈曲スリット42およびアクティブ側スリット43と平面視で重ならない(すなわち交差しない)ように、延設される。このため、端子配線TWは、平面視で、屈曲スリット42に含まれる島状スリット42'間およびアクティブ側スリット43に含まれる島状スリット43'間を通る。屈曲スリット42に含まれる1つの列状スリット群について、(i)各端子配線TWが通る島状スリット42'間は、互いに異なることが好ましく、(ii)島状スリット42'間の総距離は、小さいことが好ましい。このため、屈曲スリット42に含まれる1つの列状スリット群を構成する複数の島状スリット42'は、各端子配線TWが島状スリット42'間を1対1対応に通るように、配置されることが好ましい。同様に、アクティブ側スリット43に含まれる1つの列状スリット群を構成する複数の島状スリット43'も、各端子配線TWが島状スリット43'間を1対1対応に通るように、配置されることが好ましい。

10

【0110】

図15は、実施形態7に係るELデバイス2の断面構成を示す断面図であり、図14のA-A'断面図に相当する。図16は、実施形態7に係るELデバイス2の断面構成を示す別の断面図であり、図14のB-B'断面図に相当する。図14のA-A'断面は、端子配線TWを含まず、屈曲スリット42およびアクティブ側外周スリット43を含むように、切断した断面である。また、図14のB-B'断面は、端子配線TWを含み、屈曲スリット42およびアクティブ側外周スリット43を含まないように、切断した断面である。

20

【0111】

図15に示すように、屈曲スリット42とアクティブ側スリット43とFPC側スリット44は、各々同様に、無機バリア膜3とゲート絶縁膜16と第1無機絶縁膜18と第2無機絶縁膜20とを貫通する。また、図15に示さないが、2つの端側スリット45も各々同様に、無機バリア膜3とゲート絶縁膜16と第1無機絶縁膜18と第2無機絶縁膜20とを貫通する。

【0112】

図16に示すように、端子配線TWは、ゲート導電層32のみで形成されている。端子配線TWは、屈曲スリット42に含まれる島状スリット42'間およびアクティブ側スリット43に含まれる島状スリット43'間を通る。

30

【0113】

端子TM1・TM2は、各々同様に、(i)コンタクトホール46を通して端子配線TWと接触しており、(ii)端部が平坦化膜21またはバンク層23によって被覆されている。

【0114】

(工程順序)

図14~図16のような端子配線TWと島状スリット42', 43'およびFPC側外周スリット44(以後、纏めて、「スリット42', 43', 44」と称する)とは、以下のような工程順序で、ステップ3で形成されることができる。なお、2つの端側スリット45は、記載を省略するが、アクティブ側スリット43に含まれる島状スリット43'およびFPC側スリット44と同一プロセスで形成されている。

40

【0115】

まず、半導体膜15とゲート絶縁膜16とゲート導電層32と第1無機絶縁膜18と中間導電層36と第2無機絶縁膜20とを形成する。次いで、無機バリア膜3とゲート絶縁膜16と第1無機絶縁膜18と第2無機絶縁膜20とをエッチングし、端子TM1・TM2のためのコンタクトホール46と共にスリット42', 43', 44を形成する。次いで、ソース導電層34を形成し、ソース導電層34でソース電極Sおよびドレイン電極Dと共に端子TM1・TM2と端子配線TWとを形成する。次いで、平坦化膜21を形成する。

【0116】

ゲート導電層32は、エッチストップ層として機能することが好ましい。また、スリッ

50

ト 4 2' , 4 3' , 4 4 は、各々、実施例 2 と同様に、下屈曲スリット 4 2' a と上屈曲スリット 4 2' b、下アクティブ側スリット 4 3' a と上アクティブ側スリット 4 3' b、下 F P C 側スリット 4 4 a と上 F P C 側スリット 4 4 b に分けて、2 回のエッチングで形成してもよい。

【0117】

(効果)

図 1 5 および図 1 6 に示すように、屈曲領域 5 2 には、支持材 1 0 が貼り付けられておらず、屈曲スリット 4 2 は、無機バリア膜 3 とゲート絶縁膜 1 6 と第 1 無機絶縁膜 1 8 と第 2 無機絶縁膜 2 0 とを貫通する。このため、E L デバイス 2 は、屈曲領域 5 2 以外の非アクティブ N A よりも、屈曲領域 5 2 において柔軟であり、屈曲しやすい。また、実施形態 7 に係る構成の E L デバイス 2 は、前述の実施形態 1 に係る構成の E L デバイス 2 よりも屈曲しやすい。

10

【0118】

図 1 5 に示すように、I C チップ搭載領域 5 6 を囲む I C チップ外周スリット 4 0 は、無機バリア膜 3 とゲート絶縁膜 1 6 と第 1 無機絶縁膜 1 8 と第 2 無機絶縁膜 2 0 とを貫通する。このため、I C チップ搭載領域 5 6 の無機バリア膜 3 とゲート絶縁膜 1 6 と第 1 無機絶縁膜 1 8 と第 2 無機絶縁膜 2 0 との何れか 1 つ以上に亀裂が入ったとしても、該亀裂の伸展は、I C チップ外周スリット 4 0 で止められるので、該亀裂が端子配線 T W を断線する可能性は低減され、E L デバイス 2 の信頼性は維持される。また、実施形態 7 に係る構成の E L デバイス 2 は、前述の実施形態 1 に係る構成の E L デバイス 2 よりも、信頼性が維持される。

20

【0119】

図 1 4 および図 1 6 に示すように、端子配線 T W は、屈曲スリット 4 2 に含まれる島状スリット 4 2' 間およびアクティブ側スリット 4 3 に含まれる島状スリット 4 3' 間を通る。このため、屈曲スリット 4 2 およびアクティブ側スリット 4 3 に含まれる島状スリット 4 2' , 4 3' の内側面のテーパ角度が急な場合であっても、あるいは島状スリット 4 2' , 4 3' の深さが深い場合であっても、端子配線 T W が断線しにくい。

【0120】

従って、実施形態 7 に係る構成の E L デバイス 2 は、図 9 に示される構成の E L デバイス 2 と同様の効果を奏することができる。

30

【0121】

(変形例)

図 1 9 は、実施形態 7 または後述の実施形態 8 の屈曲スリット 4 2 および I C チップ外周スリット 4 0 の構成の幾つかの変形例を示す平面図である。

【0122】

図 1 9 (a) および図 1 9 (b) に示すように、屈曲スリット 4 2 およびアクティブ側スリット 4 3 は、複数の列状スリット群を含んでもよい。また、該複数の列状スリット群に含まれる島状スリット 4 2' , 4 3' は、千鳥配置されている。具体的には、同じ列状スリット群に含まれる島状スリット 4 2' , 4 3' は、端子配線 T W の延伸方向と交差する方向に整列しており、異なる列状スリット群は、含まれる島状スリット 4 2' , 4 3' が互い違いに位置するように、端子配線 T W の延伸方向に隣接しており、その結果、複数の列状スリット群に含まれる島状スリット 4 2' , 4 3' は、スタガード配置されている。スタガード配置は、交互配置の一種である。また、該複数の列状スリット群に含まれる島状スリット 4 2' , 4 3' は、端子配線 T W の延伸方向から見て、複数の列状スリット群に含まれる或る列状スリット群の島状スリット 4 2' , 4 3' 間の隙間が、該複数の列状スリット群に含まれる別の列状スリット群の島状スリット 4 2' , 4 3' によって、塞がれるように、配置されている。好ましくは、該複数の列状スリット群に含まれる島状スリット 4 2' , 4 3' は、複数の列状スリット群に含まれる或る列状スリット群の島状スリット 4 2' , 4 3' の端部が、端子配線 T W の延伸方向から見て、該複数の列状スリット群に含まれる別のスリット群の島状スリット 4 2' , 4 3' と重畳するように、配

40

50

置されている。

【0123】

端子配線TWは、平面視において、千鳥配置された複数の島状スリット42'、43'を避けるように迂回している。好ましくは、千鳥配置された複数の島状スリット42'、43'は、各列状スリット群について、各端子配線TWが該列状スリット群を構成する島状スリット42'、43'間を1対1対応に通るように、配置されることが好ましい。

【0124】

複数の列状スリット群を含む屈曲スリット42は、1つの列状スリット群である場合よりも、ELデバイス2を柔軟にすることができる。このため、ELデバイス2は屈曲領域52においてより屈曲しやすくなる。

10

【0125】

複数の列状スリット群を含むアクティブ側スリット43は、1つの列状スリット群である場合よりも、ELデバイス2の信頼性を維持することができる。なぜならば、ICチップ搭載領域56の無機バリア膜3とゲート絶縁膜16と第1無機絶縁膜18と第2無機絶縁膜20との何れか1つ以上に亀裂が入り、さらに、該亀裂が、内側の列状スリット群に含まれる島状スリット43'間を通して伸展したとしても、該亀裂の伸展は、外側の列状スリット群で止められるからである。

【0126】

あるいは、図19(c)に示すように、1つの実線状スリットである屈曲スリット42と、1つ以上の列状スリット群を含むアクティブ側スリット43と、が組み合わせられてもよい。このような場合、屈曲スリット42と交差する端子配線TWの構成は、実施形態1(図4および図5参照)、実施形態2(図6~図8参照)、実施形態3(図9および図10参照)、および実施形態4(図11参照)の何れにおける構成と同様であってもよい。

20

【0127】

1つの実線状スリットである屈曲スリット42は、1つの列状スリット群である場合よりも、ELデバイス2を柔軟にすることができる。このため、ELデバイス2は屈曲領域52においてより屈曲しやすくなる。さらに、1つの実線状スリットである屈曲スリット42は、複数の列状スリット群を含む場合よりも、狭い屈曲領域42に形成されることができる。このため、端子部51の実効幅を小さくすることができる。

【0128】

30

(実施形態8)

以下、本発明の他の実施形態の特徴であるステップS3について、図14と図17と図18とを参照しながら説明する。なお、本実施形態の特徴であるステップS9は、前述の実施形態2の特徴であるステップS9と同様であるため、説明を省略する。

【0129】

図17は、実施形態8に係るELデバイス2の断面構成を示す断面図であり、図14のA-A'断面図である。図18は、実施形態8に係るELデバイス2の断面構成を示す別の断面図であり、図14のB-B'断面図である。

【0130】

図17に示すように、スリット42'、43'、44は、各々同様に、無機バリア膜3とゲート絶縁膜16と第1無機絶縁膜18と第2無機絶縁膜20とを貫通する。また、図17に示さないが、2つの端側スリット45も各々同様に、無機バリア膜3とゲート絶縁膜16と第1無機絶縁膜18と第2無機絶縁膜20とを貫通する。

40

【0131】

図18に示すように、端子配線TWは、ゲート導電層32で形成された端子側部TW3と、ソース導電層34のみで形成された本体部TW1とを含む。端子配線TWの端子側部TW3は、ICチップ搭載領域56およびFPC接続領域58に設けられ、第2無機膜20よりも下層を通る。このため、端子TM1はTF層4の内部で端子配線TWと接触することができるので、平坦化膜21が形成されていない領域で端子配線TWが露出しない。端子配線TWの本体部TW1は、屈曲スリット42に含まれる島状スリット42'の開

50

口間およびアクティブ側スリット43に含まれる島状スリット43'の開口間を通る。このため、屈曲スリット42およびアクティブ側スリット43に含まれる島状スリット42', 43'の内側面のテーパ角度が急な場合であっても、あるいは、島状スリット42', 43'の深さが深い場合であっても、端子配線TWが断線しにくい。

【0132】

端子TM1・TM2は、各々同様に、(i)コンタクトホール46を通して端子配線TWの端子側部TW3と接触しており、(ii)端部が平坦化膜21またはバンク層23によって被覆されている。

【0133】

(工程順序)

図14と図17と図18とのような端子配線TWとスリット42', 43', 44とは、以下のような工程順序で、ステップ3で形成されることができる。なお、2つの端側スリット45は、記載を省略するが、アクティブ側スリット433に含まれる島状スリット43'およびFPC側スリット44と同一プロセスで形成されている。

【0134】

まず、半導体膜15とゲート絶縁膜16とを形成する。次いで、ゲート導電層32を形成し、ゲート導電層で、ゲート電極と共に端子配線TWの端子側部TW3を形成する。次いで、第1無機絶縁膜18と中間導電層36と第2無機絶縁膜20とを形成する。次いで、無機バリア膜3とゲート絶縁膜16と第1無機絶縁膜18と第2無機絶縁膜20をエッチングして、端子TM1・TM2のためのコンタクトホール46と共にスリット42', 43', 44と、端子配線TWの端子側部TW3に本体部TW1が繋がるためのコンタクトホールと、を形成する。次いで、ソース導電層34を形成し、ソース導電層34でソース電極Sおよびドレイン電極Dと共に端子TM1・TM2と端子配線TWの本体部TW1とを形成する。次いで、平坦化膜21を形成する。

【0135】

ゲート導電層32は、エッチストップ層として機能することが好ましい。

【0136】

(効果)

従って、実施形態8に係る構成のELデバイス2は、図9に示される構成のELデバイス2と同様の効果を奏することができる。

【0137】

さらに、実施形態8に係る構成のELデバイス2では、端子配線TWの本体部TW1(特に、そのうちのアクティブ領域DAとアクティブ側外周スリット43との間に延設されている部分)に、ゲート導電層32よりも抵抗の低いソース導電層34が用いられている。このため、実施形態8に係る構成のELデバイス2は、前述の実施形態7に係る構成のELデバイス2よりも、データ信号の遅延が少なくすることができ、設計マージンを広げることができる。

【0138】

また、実施形態8に係る構成のELデバイス2においては、前述の実施形態7に係る構成のELデバイス2と同様に、屈曲スリット42およびアクティブ側スリット43は、複数の列状スリット群を含んでもよい。複数の列状スリット群を含む屈曲スリット42は、前述の実施形態7の変形例と同様に、ELデバイス2は屈曲領域52においてより屈曲しやすくすることができる。また、複数の列状スリット群を含むアクティブ側スリット43は、前述の実施形態7の変形例と同様に、ELデバイス2の信頼性をより維持することができる。

【0139】

あるいは、実施形態8に係る構成のELデバイス2においても、1つの実線状のスリットである屈曲スリット42と、1つ以上の列状スリット群を含むアクティブ側スリット43と、が組み合わされてもよい。1つの実線状スリットである屈曲スリット42は、前述の実施形態7の変形例と同様に、ELデバイス2は屈曲領域52においてより屈曲しやす

10

20

30

40

50

くすることができると共に、端子部 5 1 の実効幅を小さくすることができる。

【0140】

(実施形態 9)

以下、本発明の他の実施形態の特徴であるステップ S 3 について、図 20 ~ 図 22 を参照しながら説明する。なお、本実施形態の特徴であるステップ S 9 は、前述の実施形態 2 の特徴であるステップ S 9 と同様であるため、説明を省略する。

【0141】

図 20 の (a) は、実施形態 9 の EL デバイス 2 の構成例を示す平面図であり、図 20 の (b) は、図 20 の (a) に示す屈曲領域 5 2 の部分拡大図である。図 21 は、図 20 の A - A' 断面図である。図 22 は、図 20 の B - B' 断面図である。

10

【0142】

図 20 に示すように、屈曲スリット 42 は、1 つの実線状スリットである代わりに、各端子配線 TW と 1 対 1 対応に交差するように配置された複数の島状スリット 42' で構成されてもよい。例えば、屈曲スリット 42 が 2 つの列状スリット群を含む場合、(i) 一方の列状スリット群に含まれる島状スリット 42' は、奇数本目の各端子配線 TW と 1 対 1 対応に交差するように、端子配線 TW の延伸方向と交差する方向に整列しており、(i i) 他方の列状スリット群に含まれる島状スリット 42' は、偶数本目の各端子配線 TW と 1 対 1 対応に交差するように、端子配線 TW の延伸方向と交差する方向に整列しており、(i i i) 2 つの列状スリット群は、島状スリット 42' が互い違いに位置するように、端子配線 TW の沿線方向に位置している。このため、図 21 のように、偶数本目の端子配線 TW と交差する島状スリット 42' 同士の間には、奇数本目の端子配線 TW を覆うバンク 62 が形成される。同様に、奇数本目の端子配線 TW と交差する島状スリット 42' 同士の間には、偶数本目の端子配線 TW を覆うバンク 62 が形成される。なお、島状スリット 42' と端子配線 TW との交差は 1 対 1 対応に限らない。各島状スリット 42' が交差する端子配線 TW の本数が 1 本であると共に、各端子配線 TW が交差する島状スリット 42' の数が 1 つ以上であればよい。例えば、1 本の端子配線 TW が幾つかの島状スリット 42' と交差してもよい。

20

【0143】

好ましくは、屈曲スリット 42 を構成する複数の島状スリット 42' は、端子配線 TW の延伸方向に隣接する複数の列状スリット群を構成するように、配置される。この場合、異なる列状スリット群に含まれる島状スリット 42' は、互い違いに端子配線 TW と交差することができる。好ましくは、屈曲スリット 42 を構成する複数の島状スリット 42' は、端子配線 TW の延伸方向から見て、互いに部分的に重畳するように配置される。この場合、端子配線 TW の延伸方向から見て、端子配線 TW 同士の間、島状スリット 42' がない隙間は、存在しない。

30

【0144】

好ましくは、屈曲スリット 42 を構成する複数の列状スリット群の各島状スリット 42' の各端部 (ただし、屈曲スリット 42 の最外端である端部を除く) は、端子配線 TW の延伸方向から見て、該複数の列状スリット群に含まれる別の島状スリット 42' と重畳する。また、好ましくは、屈曲スリット 42 の最外端である端部は、EL デバイス 2 の外周に達している。これによって、亀裂が屈曲スリット 42 を構成する複数の島状スリット 42' 間の隙間を通して伸展することを防止できる。

40

【0145】

図 22 に示すように、屈曲スリット 42 に含まれる各島状スリット 42' は、第 1 無機絶縁膜 18 と第 2 無機絶縁膜 20 とを貫通する。各端子配線 TW は、ゲート導電層 32 のみで形成され、各島状スリット 42' の底面を通して、各島状スリット 42' と交差している。この端子配線 TW が露出しないように、各島状スリット 42' に平坦化膜 21 が埋設されている。

【0146】

図 20 および図 21 に示すように、屈曲スリット 42 に含まれる各島状スリット 42'

50

は、１本のみの端子配線ＴＷと交差する。また、屈曲スリット４２に含まれる島状スリット４２′は、第１無機絶縁膜１８と第２無機絶縁膜２０とから構成されるバンク６２によって、互いに分離されている。バンク６２の上面は、第２無機絶縁膜２０の上面であるので、ソース導電層３４の残滓が残り難い。このため、屈曲スリット４２に含まれる幾つかの島状スリット４２′の底面及び内側面にソース導電層３４の残滓が残っている場合であっても、該島状スリット４２′を囲むバンク６２の上面には、ソース導電層３４の残滓が残らない。したがって、実施形態９に係るＥＬデバイス２の構成によれば、ソース導電層３４の残滓を通じた短絡を防止できるので、島状スリット４２′を形成するためのエッチングを、コンタクトホール４６の形成するためのエッチングと、同時に行うことは好ましい。

10

【０１４７】

屈曲スリット４２に含まれる島状スリット４２′に関する上述の事項を除いて、実施形態９に係るＥＬデバイス２の構成および工程順序は、前述の実施形態２と同様であるため、説明を省略する。

【０１４８】

また、ＩＣチップ外周スリット４０に含まれるアクティブ側外周スリット４３も、同様に、各端子配線ＴＷと１対１対応に交差するように配置された複数の島状スリット４３′で構成されてもよい。

【０１４９】

（効果）

実施形態９に係る構成のＥＬデバイス２は、実施形態２に係る構成のＥＬデバイス２と、同様の効果を奏することができる。

20

【０１５０】

（まとめ）

本発明の態様１に係る表示デバイスは、複数の無機絶縁膜を含むＴＦＴ層と、前記ＴＦＴ層よりも上層の発光素子層とを備え、前記ＴＦＴ層には、複数の端子を含む端子領域が、アクティブ領域よりも外側に設けられる表示デバイスであって、前記複数の無機絶縁膜の少なくとも１つを貫通する、第１スリットパターンおよび第２スリットパターンを含み、平面視においては、前記第１スリットパターンが、平面視における前記アクティブ領域と前記端子領域との間に形成されるとともに、前記端子領域が、前記第１スリットパターンおよび前記第２スリットパターンによって挟まれている構成である。

30

【０１５１】

本発明の態様２に係る表示デバイスは、上記態様１において、前記端子領域にＩＣチップが搭載されている構成としてもよい。

【０１５２】

本発明の態様３に係る表示デバイスは、上記態様１または２において、平面視における前記第２スリットパターンと前記表示デバイスのエッジとの間にフレキシブル回路基板が接続されている構成としてもよい。

【０１５３】

本発明の態様４に係る表示デバイスは、上記態様１～３の何れか１態様において、前記端子の少なくとも一部は、前記複数の無機絶縁膜よりも上層の導電層で形成されている構成としてもよい。

40

【０１５４】

本発明の態様５に係る表示デバイスは、上記態様１～４の何れか１態様において、前記第１スリットパターンは、前記端子に繋がる複数の端子配線と交差する方向に伸びる実線状スリットで構成される構成としてもよい。

【０１５５】

本発明の態様６に係る表示デバイスは、上記態様５において、前記ＴＦＴ層よりも下層のバリア層を備える構成としてもよい。

【０１５６】

50

本発明の態様 7 に係る表示デバイスは、上記態様 6 において、前記第 1 および第 2 スリットパターンは、前記バリア層に達しない構成としてもよい。

【0157】

本発明の態様 8 に係る表示デバイスは、上記態様 7 において、前記端子配線が前記第 1 スリットパターンよりも下側を通る構成としてもよい。

【0158】

本発明の態様 9 に係る表示デバイスは、上記態様 8 において、前記端子配線は、前記 TFT 層のゲート配線と同層に形成されている構成としてもよい。

【0159】

本発明の態様 10 に係る表示デバイスは、上記態様 6 において、前記第 1 および第 2 スリットパターンは、前記複数の無機絶縁膜を貫通して前記バリア層内に達するか、あるいは前記複数の無機絶縁膜および前記バリア層を貫通する構成としてもよい。

10

【0160】

本発明の態様 11 に係る表示デバイスは、上記態様 10 において、前記端子配線が、前記第 1 スリットパターンの内側面および底面を通る構成としてもよい。

【0161】

本発明の態様 12 に係る表示デバイスは、上記態様 10 において、前記第 1 スリットパターンが有機絶縁材で埋められ、前記端子配線が前記第 1 スリットパターンよりも上側を通る構成としてもよい。

【0162】

本発明の態様 13 に係る表示デバイスは、上記態様 11 または 12 において、前記端子配線のうちの前記アクティブ領域と前記第 1 スリットパターンとの間に延設されている本体部は、前記端子と同層に形成されている構成としてもよい。

20

【0163】

本発明の態様 14 に係る表示デバイスは、上記態様 11 または 12 において、前記端子配線は、前記アクティブ領域と前記第 1 スリットパターンとの間に延設されている本体部 (TW1) と、前記第 1 スリットパターンと交差する交差部 (TW5) とを含み、前記本体部と前記交差部とが異なる導電層で形成されている構成としてもよい。

【0164】

本発明の態様 15 に係る表示デバイスは、上記態様 11 または 12 において、前記第 1 スリットパターンは底方向に向けて狭幅となるテーパ形状である構成としてもよい。

30

【0165】

本発明の態様 16 に係る表示デバイスは、上記態様 1 ~ 4 の何れか 1 態様において、前記第 1 スリットパターンは、前記端子に接続する端子配線と交差する方向に並ぶ複数の島状スリットで構成される列状スリット群を 1 以上含む構成としてもよい。

【0166】

本発明の態様 17 に係る表示デバイスは、上記態様 16 において、前記端子配線は、前記第 1 スリットパターンと重ならない構成としてもよい。

【0167】

本発明の態様 18 に係る表示デバイスは、上記態様 17 において、前記島状スリットは、各列状スリット群について、前記端子配線が該列状スリット群を構成する前記島状スリットの間を 1 対 1 対応に通るように、配置されている構成としてもよい。

40

【0168】

本発明の態様 19 に係る表示デバイスは、上記態様 16 において、前記島状スリットは、各々、前記端子配線のうちの 1 本のみと交差する構成としてもよい。

【0169】

本発明の態様 20 に係る表示デバイスは、上記態様 19 において、前記島状スリットは、前記端子配線と 1 対 1 対応に交差するように、配置されている構成としてもよい。

【0170】

本発明の態様 21 に係る表示デバイスは、上記態様 17 ~ 20 の何れか 1 態様において

50

、前記ＴＦＴ層よりも下層にバリア層が設けられ、前記第１スリットパターンは、前記複数の無機絶縁膜を貫通して前記バリア層内に達するか、あるいは前記複数の無機絶縁膜および前記バリア層を貫通する構成としてもよい。

【０１７１】

本発明の態様２２に係る表示デバイスは、上記態様１６～２１の何れか１態様において、前記第１スリットパターンは、複数の島状スリット群を含み、前記複数の島状スリット群に含まれる複数の島状スリットは、前記端子配線が延伸する方向から見て隙間がないように、平面視において千鳥配置されている構成としてもよい。

【０１７２】

本発明の態様２３に係る表示デバイスは、上記態様２２において、前記複数の島状スリットに含まれる或る島状スリットの端部は、前記複数の島状スリットに含まれる別の島状スリットと、前記端子配線が延伸する方向から見て重畳する構成としてもよい。

10

【０１７３】

本発明の態様２４に係る表示デバイスは、上記態様５～２３の何れか１態様において、前記端子領域は、前記第１スリットパターンと、実線状スリットで構成された前記第２スリットパターンと、前記端子配線と同方向に伸びる実線状スリットで構成された２つの第４スリットパターンとによって囲まれている構成としてもよい。

【０１７４】

本発明の態様２５に係る表示デバイスは、上記態様５～２４の何れか１態様において、前記アクティブ領域と前記第１スリットパターンとの間に折り曲げ領域が形成されており、前記折り曲げ領域に、前記複数の無機絶縁膜の少なくとも１つを貫通する第３スリットパターンが形成されている構成としてもよい。

20

【０１７５】

本発明の態様２６に係る表示デバイスは、上記態様２５において、前記第１スリットパターンおよび前記第３スリットパターンの深さが同じである構成としてもよい。

【０１７６】

本発明の態様２７に係る表示デバイスは、上記態様２６において、前記第１スリットパターンおよび前記第３スリットパターンのスリットパターンが同じである構成としてもよい。

【０１７７】

本発明の態様２８に係る表示デバイスは、上記態様２６または２７において、前記ＴＦＴ層よりも下層にバリア層が設けられ、前記バリア層よりも下層に支持材が設けられ、前記第１および第３スリットパターンは、前記複数の無機絶縁膜および前記バリア層を貫通して、前記支持材に達すると共に、有機絶縁材で埋められ、前記端子配線が前記有機絶縁材の上を通る構成としてもよい。

30

【０１７８】

本発明の態様２９に係る表示デバイスは、上記態様２５～２８の何れか１態様において、前記発光素子層を覆う封止層を備え、前記発光素子層からの光が前記封止層を透過する上方発光型であり、前記第３スリットパターンを折り目として前記端子の表面が下方を向くように折り曲げられている構成としてもよい。

40

【０１７９】

本発明の態様３０に係る表示デバイスは、上記態様５～２９の何れか１態様において、前記端子配線の少なくとも一部は、前記複数の無機絶縁膜よりも上層の導電層で形成されていると共に、前記ＴＦＴ層よりも上層の有機絶縁膜によって被覆されている構成としてもよい。

【０１８０】

本発明の態様３１に係る表示デバイスは、上記態様１～３０の何れか１態様において、可撓性の支持材を備える構成としてもよい。

【０１８１】

本発明の態様３２に係る表示デバイスの製造方法は、複数の無機絶縁膜を含むＴＦＴ層

50

と、前記 T F T 層よりも上層の発光素子層とを備え、前記 T F T 層には、複数の端子を含む端子領域が、アクティブ領域よりも外側に設けられた表示デバイスの製造方法であって、前記複数の無機絶縁膜の少なくとも 1 つを貫通する第 1 スリットパターンを、平面視における前記アクティブ領域と前記端子領域との間に形成し、前記複数の無機絶縁膜の少なくとも 1 つを貫通する第 2 スリットパターンを、前記第 1 スリットパターンとともに平面視において前記端子領域を挟むように形成する製造方法である。

【 0 1 8 2 】

本発明の態様 3 3 に係る表示デバイスの製造方法は、上記態様 3 2 において、前記複数の無機絶縁膜の少なくとも 1 つを貫通する第 3 スリットパターンを、前記アクティブ領域と前記第 1 スリットパターンとの間に形成する製造方法としてもよい。

10

【 0 1 8 3 】

本発明の態様 3 4 に係る表示デバイスの製造方法は、上記態様 3 3 において、前記第 1 スリットパターンおよび第 3 スリットパターンを同じプロセスで形成する製造方法としてもよい。

【 0 1 8 4 】

本発明の態様 3 5 に係る表示デバイスの製造方法は、上記態様 3 2 ~ 3 4 のいずれか 1 態様において、熱圧着によって前記端子領域に電子回路基板を実装する製造方法としてもよい。

【 0 1 8 5 】

本発明の態様 3 6 に係る表示デバイスの製造方法は、上記態様 3 3 または 3 4 において、前記第 3 スリットパターンを折り目として、前記表示デバイスを折り曲げ、前記端子領域を裏面に配する製造方法としてもよい。

20

【 0 1 8 6 】

本発明の態様 3 7 に係る表示デバイスの製造装置は、複数の無機絶縁膜を含む T F T 層と、前記 T F T 層よりも上層の発光素子層とを備え、前記 T F T 層には、複数の端子を含む端子領域が、アクティブ領域よりも外側に設けられた表示デバイスの製造装置であって、前記複数の無機絶縁膜の少なくとも 1 つを貫通する第 1 スリットパターンを、平面視における前記アクティブ領域と前記端子領域との間に形成し、前記複数の無機絶縁膜の少なくとも 1 つを貫通する第 2 スリットパターンを、前記第 1 スリットパターンとともに平面視において前記端子領域を挟むように形成する製造装置である。

30

【 0 1 8 7 】

(付記事項)

本発明は前記した実施形態に限定されるものではなく、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせ得られる実施形態についても本発明の技術的範囲に含まれる。さらに、各実施形態にそれぞれ開示された技術的手段を組み合わせることにより、新しい技術的特徴を形成することができる。

【 0 1 8 8 】

例えば、図 2 3 のような、実施形態 1 に係る構成と実施形態 4 に係る構成とを組み合わせ得られる構成も、本発明の技術的範囲に含まれる。

【 0 1 8 9 】

図 2 3 は、実施形態 1 に係る E L デバイス 2 (図 5 参照) の I C チップ外周スリット 4 0 の底面にゲート導電層 3 2 が露出する場合の構成に、屈曲領域 5 2 およびその近傍において、実施形態 4 に係る E L デバイス 2 (図 1 1 参照) の構成を組み合わせ得られる構成例を示す断面図である。図 2 3 における屈曲スリット 4 2 は、無機バリア層 3、ゲート導電層 3 2、および複数の無機絶縁膜 1 6, 1 8, 2 0 を貫通する。図 2 3 におけるアクティブ側外周スリット 4 3 および F P C 側外周スリット 4 4 は、第 1 および第 2 無機絶縁膜 1 8, 2 0 を貫通する。

40

【 符号の説明 】

【 0 1 9 0 】

2 E L デバイス

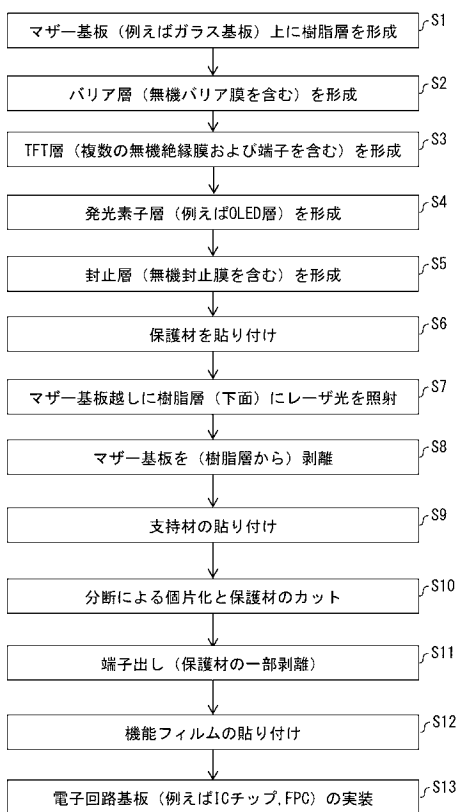
50

4	T F T 層	
3	無機バリア膜（バリア層）	
5	発光素子層	
6	封止層	
7	積層体	
8、11	接着層	
9	保護材	
10	支持材	
12	樹脂層（可撓性の支持材）	
13	剥離層	10
15	半導体膜	
16	ゲート絶縁膜	
16、18、20	無機絶縁膜	
21	平坦化膜	
22	アノード電極	
23	バンク層	
23b	バンク	
23c	隔壁	
24	E L 層	
25	カソード電極	20
26	第1無機封止膜	
26、28	無機封止膜	
27	有機封止膜	
28	第2無機封止膜	
32	ゲート導電層	
34	ソース導電層	
36	中間導電層	
32、34、36	導電層	
38	埋設材（有機絶縁材）	
40	I C チップ外周スリット	30
42	屈曲スリット（第3スリットパターン）	
42'	島状スリット	
43	アクティブ側外周スリット（第1スリットパターン）	
43'	島状スリット	
44	F P C 側外周スリット（第2スリットパターン）	
45	端側外周スリット（第4スリットパターン）	
46	コンタクトホール	
50	マザー基板	
51	端子部	
52	屈曲領域（折り曲げ領域）	40
56	I C チップ搭載領域（端子領域）	
58	F P C 接続領域	
60	スリット	
62	バンク	
D A	アクティブ領域	
N A	非アクティブ領域	
T M、T M 1、T M 2	端子	
T W	端子配線	
T W 1	本体部	
T W 2	アクティブ側部	50

- T W 3 端子側部
 T W 4 屈曲スリットブリッジ部（交差部）
 T W 5 外周スリットブリッジ部（交差部）

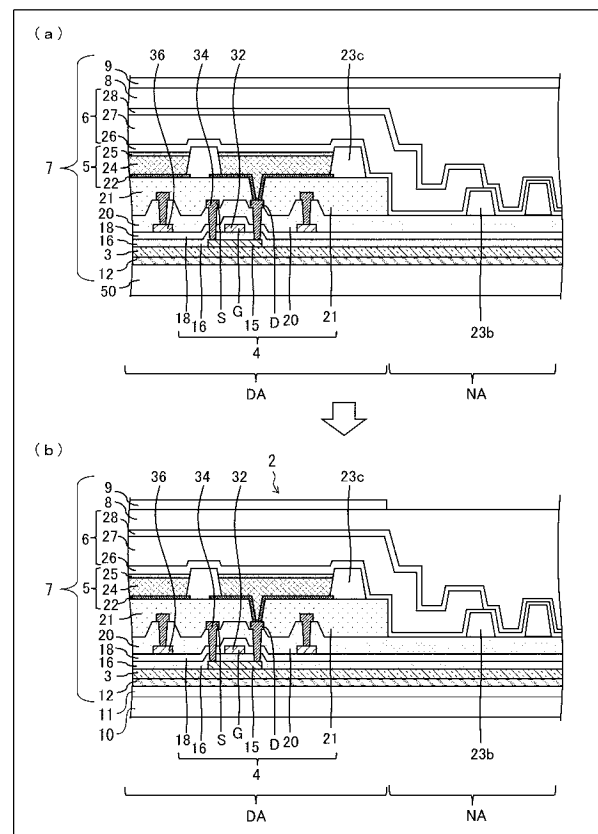
【図 1】

図 1

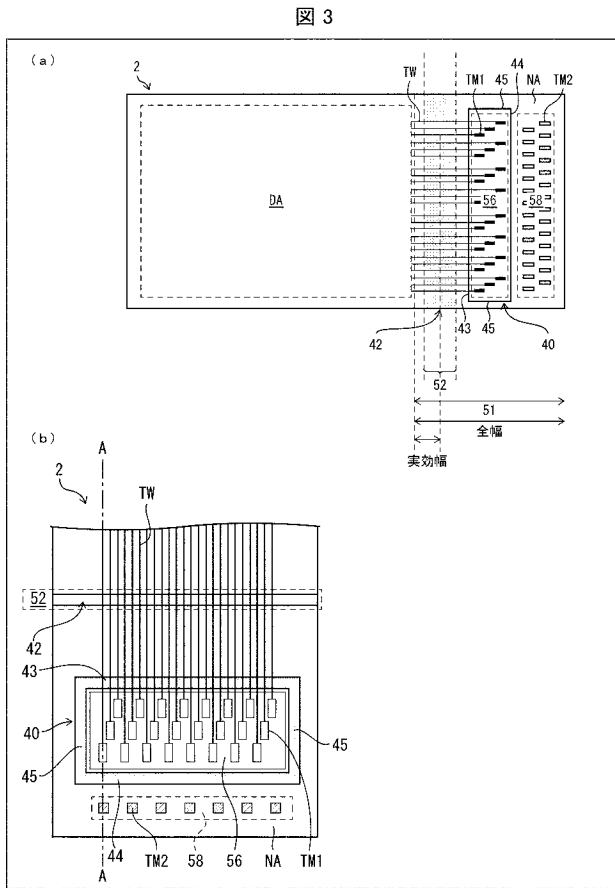


【図 2】

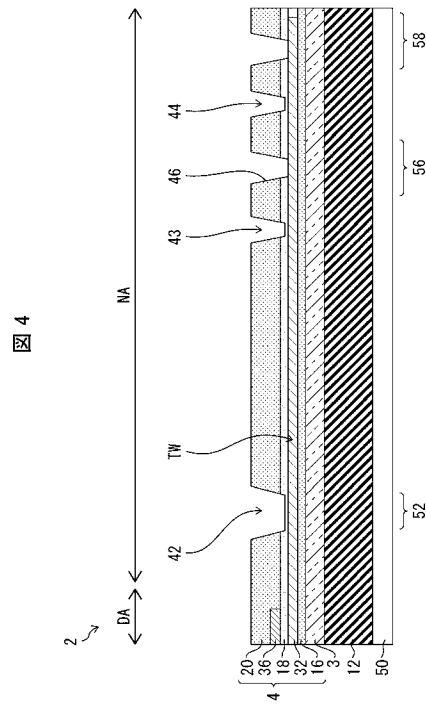
図 2



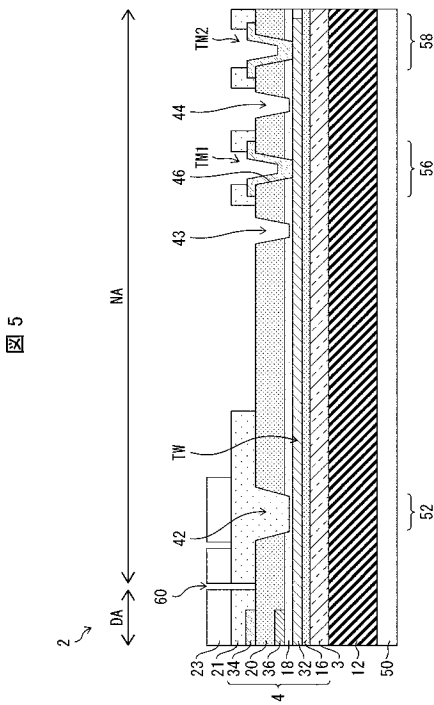
【図3】



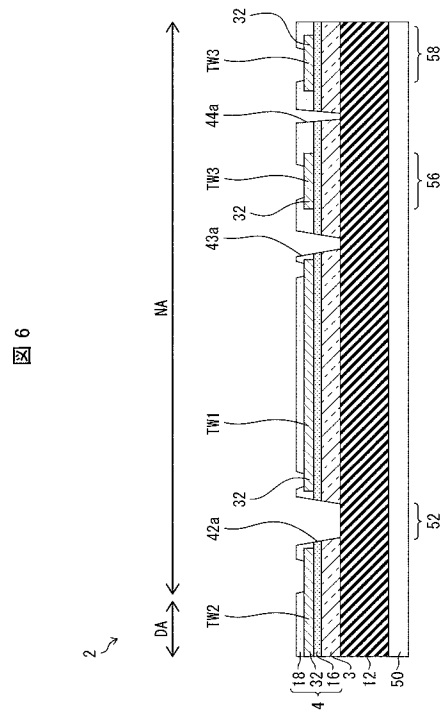
【図4】



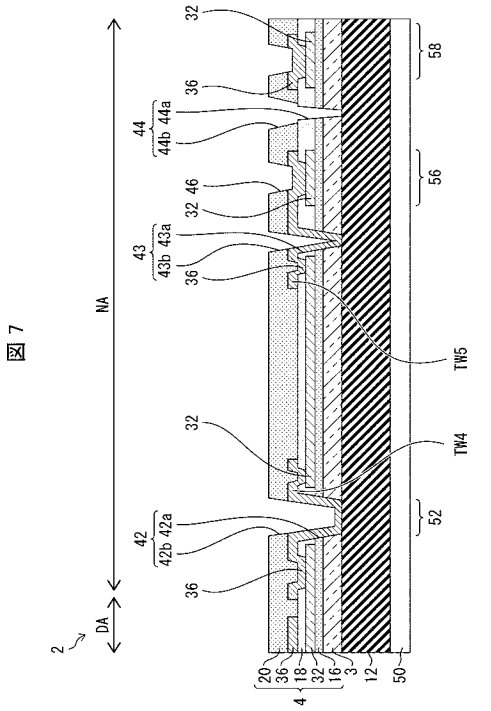
【図5】



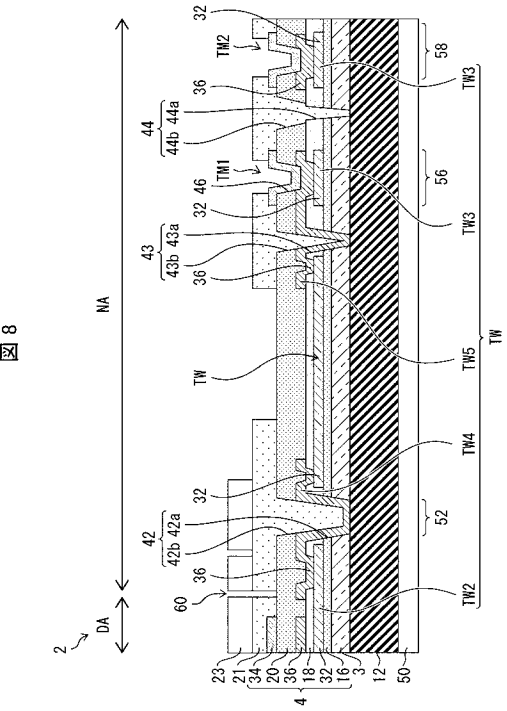
【図6】



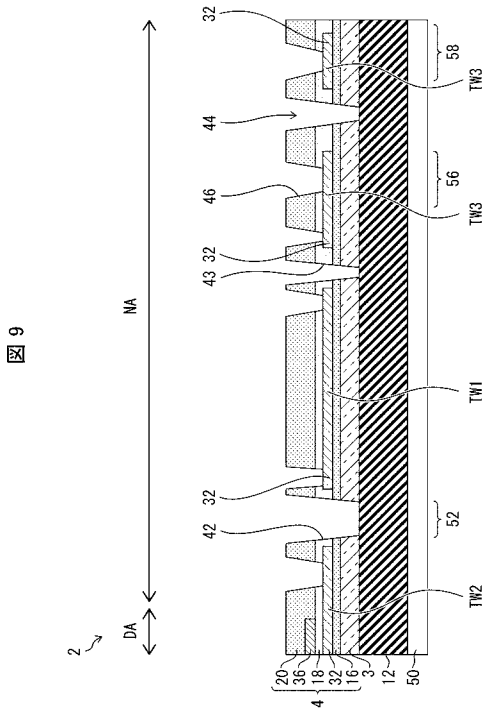
【 図 7 】



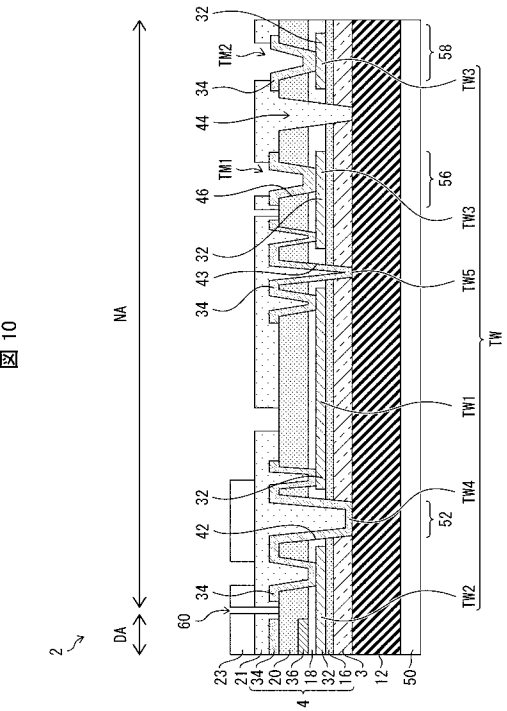
【 図 8 】



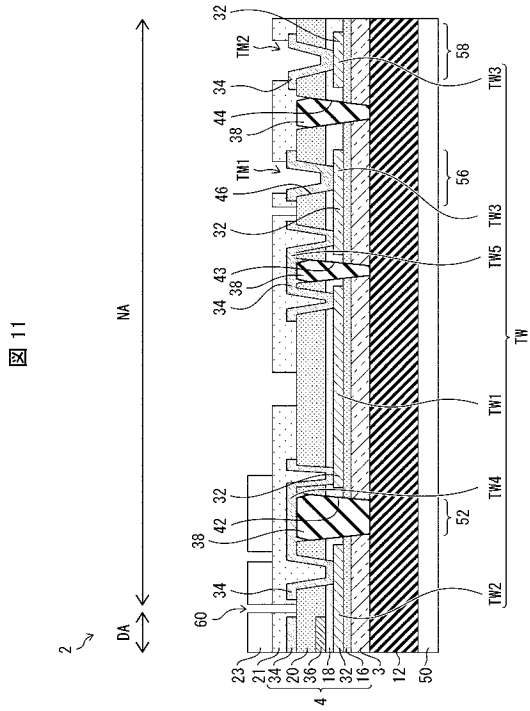
【 図 9 】



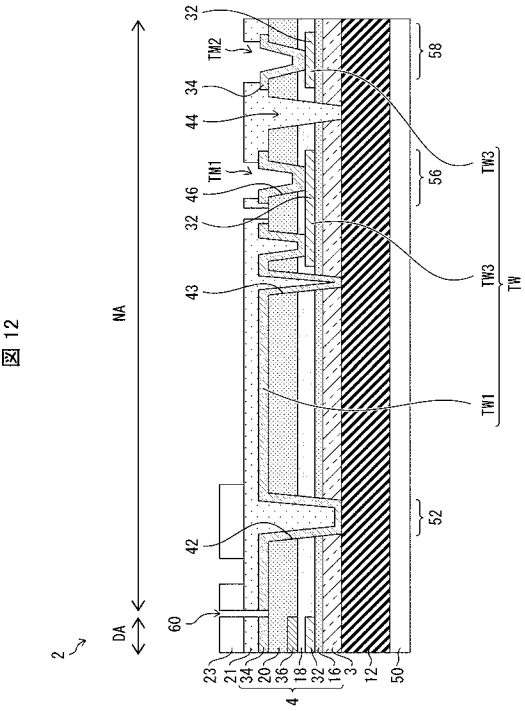
【 図 10 】



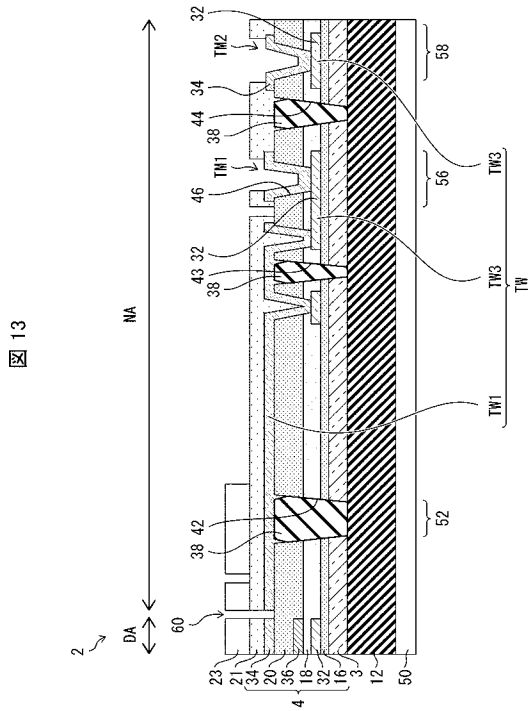
【図 1 1】



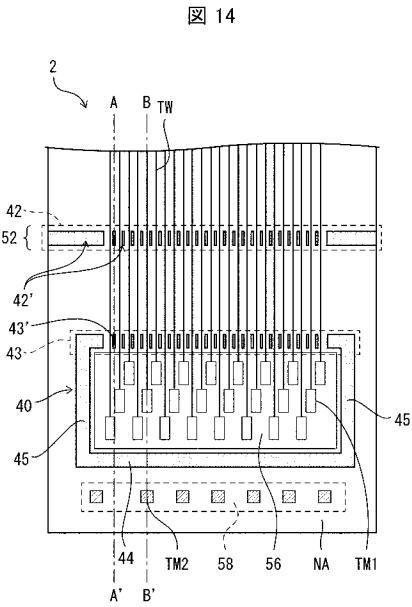
【図 1 2】



【図 1 3】

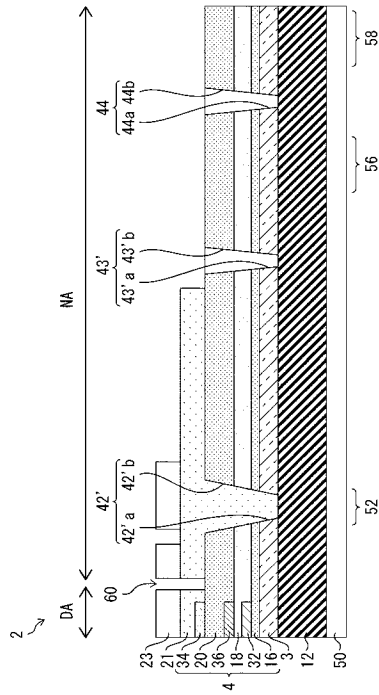


【図 1 4】



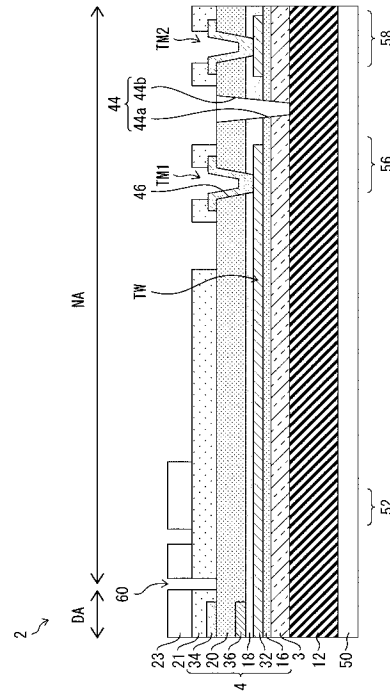
【図 15】

図 15



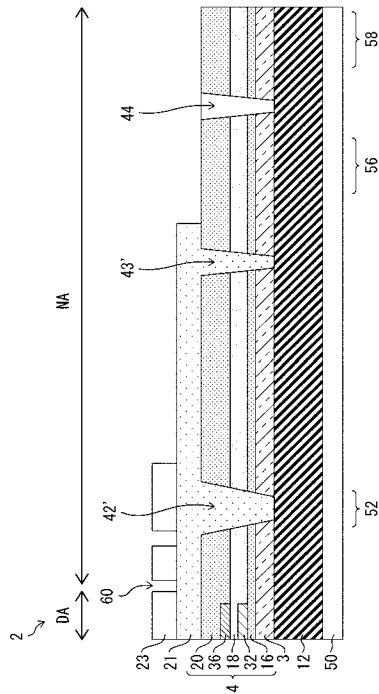
【図 16】

図 16



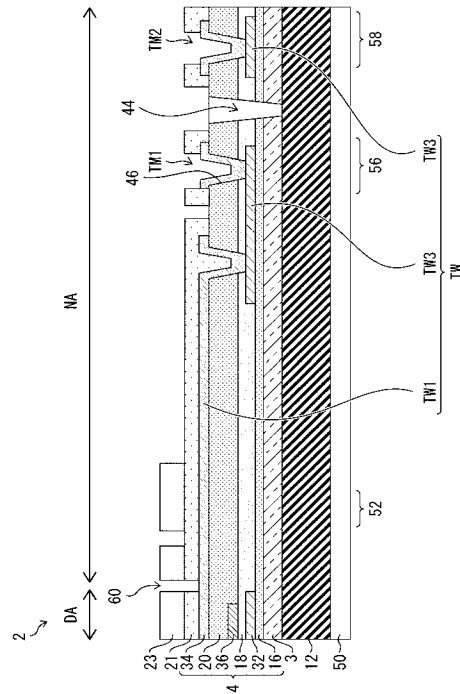
【図 17】

図 17



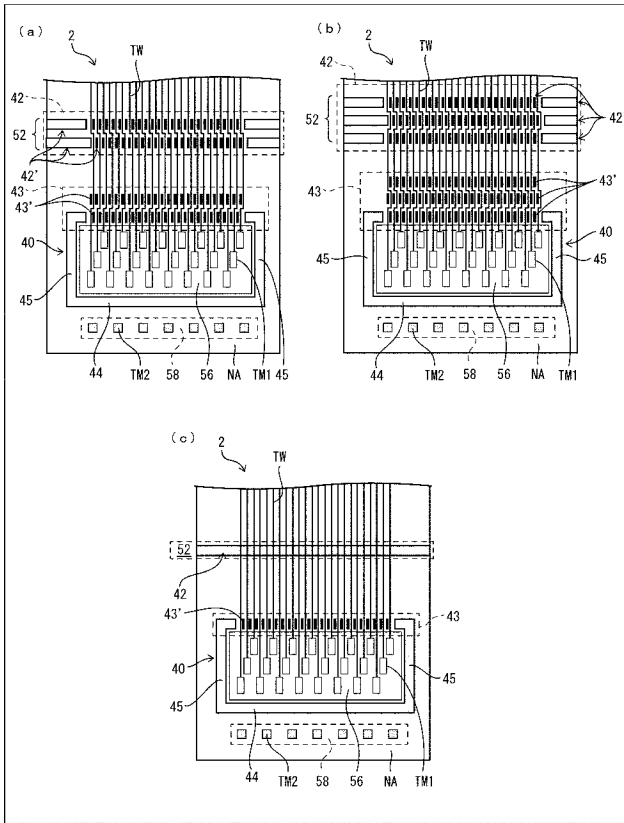
【図 18】

図 18



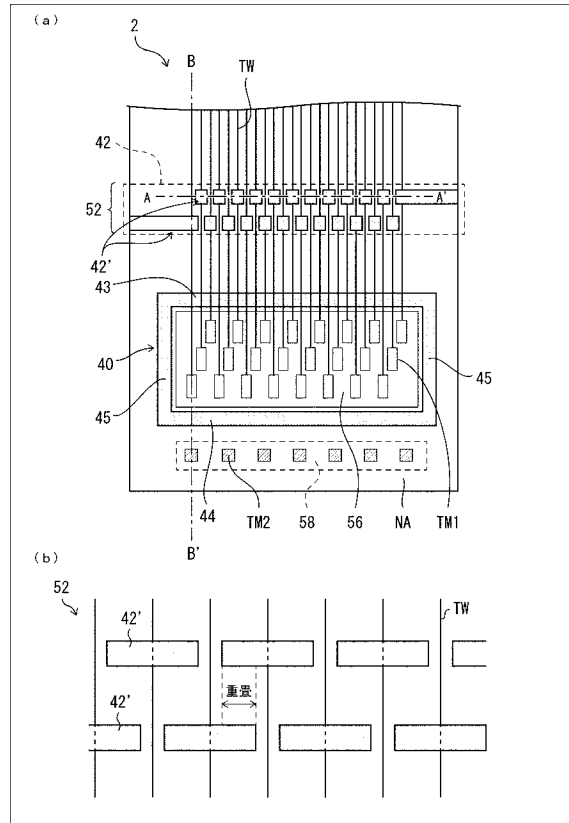
【図 19】

図 19



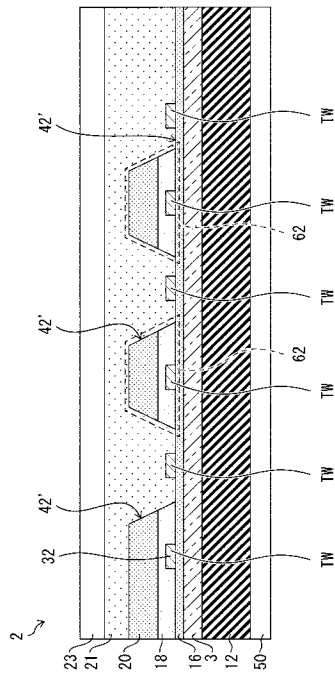
【図 20】

図 20



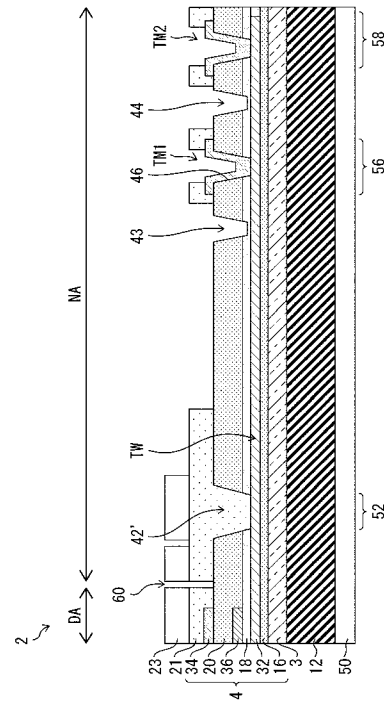
【図 21】

図 21



【図 22】

図 22



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/034737

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L51/50(2006.01) i, G09F9/30(2006.01) i, H01L27/32(2006.01) i, H05B33/10(2006.01) i, H05B33/12(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L51/50, G09F9/30, H01L27/32, H05B33/10, H05B33/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2017

Registered utility model specifications of Japan 1996-2017

Published registered utility model applications of Japan 1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2017-168308 A (JOLED INC.) 21 September 2017, claims 1-11, fig. 1-10 & US 2017/0271423 A1, claims 1-20, figs. 1-10	1-37
A	JP 2017-123257 A (JAPAN DISPLAY INC.) 13 July 2017, claims 1-15, fig. 1-13 & US 2017/0194599 A1, claims 1-15, fig. 1-13 & KR 10-2017-0082443 A & CN 107017354 A	1-37
A	JP 2017-123217 A (JAPAN DISPLAY INC.) 13 July 2017, claims 1-10, fig. 1-12 & US 2017/0194601 A1, claims 1-10, fig. 1-12B	1-37

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11.12.2017Date of mailing of the international search report
26.12.2017Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/034737

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2017-91693 A (JAPAN DISPLAY INC.) 25 May 2017, claims 1-8, fig. 1-11F & US 2017/0133594 A1, claims 1-8, fig. 1-11F	1-37
A	JP 2017-22007 A (JAPAN DISPLAY INC.) 26 January 2017, claims 1-11, fig. 1-8 & US 2017/0012243 A1, claims 1-14, fig. 1-8	1-37
A	JP 2006-4909 A (SAMSUNG SDI CO., LTD.) 05 January 2006, claims 1-12, fig. 1-17 & US 2005/0285522 A1, claims 1-9, fig. 1A-5C & KR 10-2005-0119892 A & CN 1710999 A	1-37
A	JP 2007-294403 A (CANON INC.) 08 November 2007, claims 1-13, fig. 1-10 & US 2007/0273271 A1, claims 1-13, fig. 1A-10 & US 2009/0267504 A1 & US 2010/0068840 A1 & KR 10-2007-0097365 A & CN 101051675 A	1-37
A	WO 2016/027547 A1 (JOLED INC.) 25 February 2016, claims 1-11, fig. 1-16 & US 2017/0148855 A1, claims 1-11, fig. 1-16	1-37

国際調査報告		国際出願番号 PCT/J P 2 0 1 7 / 0 3 4 7 3 7									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L51/50(2006.01)i, G09F9/30(2006.01)i, H01L27/32(2006.01)i, H05B33/10(2006.01)i, H05B33/12(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L51/50, G09F9/30, H01L27/32, H05B33/10, H05B33/12											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2017年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2017年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2017年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2017年	日本国実用新案登録公報	1996-2017年	日本国登録実用新案公報	1994-2017年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2017年										
日本国実用新案登録公報	1996-2017年										
日本国登録実用新案公報	1994-2017年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
A	JP 2017-168308 A (株式会社 J O L E D) 2017.09.21, [請求項 1]-[請求項 11], [図 1]-[図 10] & US 2017/0271423 A1 Claims 1.-20., FIGs. 1-10	1-37									
A	JP 2017-123257 A (株式会社ジャパンディスプレイ) 2017.07.13, [請求項 1]-[請求項 15], [図 1]-[図 13] & US 2017/0194599 A1 Claims 1.-15., FIGs. 1-13 & KR 10-2017-0082443 A & CN 107017354 A	1-37									
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。											
<table border="0"> <tr> <td> * 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願 </td> <td> の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献 </td> </tr> </table>				* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献						
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献										
国際調査を完了した日 11.12.2017		国際調査報告の発送日 26.12.2017									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 濱野 隆 電話番号 03-3581-1101 内線 3271									

国際調査報告		国際出願番号 PCT/J P 2 0 1 7 / 0 3 4 7 3 7
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2017-123217 A (株式会社ジャパンディスプレイ) 2017.07.13, [請求項 1]-[請求項 10], [図 1]-[図 12] & US 2017/0194601 A1 Claims 1.-10., Figs. 1-12B	1-37
A	JP 2017-91693 A (株式会社ジャパンディスプレイ) 2017.05.25, [請求項 1]-[請求項 8], [図 1]-[図 11F] & US 2017/0133594 A1 Claims 1.-8., FIGs. 1-11F	1-37
A	JP 2017-22007 A (株式会社ジャパンディスプレイ) 2017.01.26, [請求項 1]-[請求項 11], [図 1]-[図 8] & US 2017/0012243 A1 Claims 1.-14., FIGs. 1-8	1-37
A	JP 2006-4909 A (三星エスディアイ株式会社) 2006.01.05, [請求項 1]-[請求項 12], [図 1]-[図 17] & US 2005/0285522 A1 Claims 1.-9., FIGs. 1A-5C & KR 10-2005-0119892 A & CN 1710999 A	1-37
A	JP 2007-294403 A (キヤノン株式会社) 2007.11.08, [請求項 1]-[請求項 13], [図 1]-[図 10] & US 2007/0273271 A1 Claims 1.-13., FIGs. 1A-10 & US 2009/0267504 A1 & US 2010/0068840 A1 & KR 10-2007-0097365 A & CN 101051675 A	1-37
A	WO 2016/027547 A1 (株式会社 J O L E D) 2016.02.25, [請求項 1]-[請求項 11], [図 1]-[図 16] & US 2017/0148855 A1 Claims 1.-11., FIGs. 1-16	1-37

フロントページの続き

(51) Int.Cl.			F I		テーマコード (参考)	
H 0 5 B	33/12	(2006.01)	H 0 5 B	33/12	B	
H 0 5 B	33/10	(2006.01)	H 0 5 B	33/10		
G 0 9 F	9/30	(2006.01)	G 0 9 F	9/30	3 3 8	
G 0 9 F	9/00	(2006.01)	G 0 9 F	9/30	3 6 5	
			G 0 9 F	9/30	3 4 8 A	
			G 0 9 F	9/30	3 3 0	
			G 0 9 F	9/30	3 0 9	
			G 0 9 F	9/30	3 0 8 Z	
			G 0 9 F	9/00	3 3 8	
			G 0 9 F	9/00	3 4 6 A	

(注) この公表は、国際事務局 (W I P O) により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願 (日本語実用新案登録出願) の国際公開の効果は、特許法第 1 8 4 条の 1 0 第 1 項 (実用新案法第 4 8 条の 1 3 第 2 項) により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	显示装置,显示装置的制造方法以及显示装置的制造装置		
公开(公告)号	JPWO2019064342A1	公开(公告)日	2020-07-30
申请号	JP2019545420	申请日	2017-09-26
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	三谷 昌弘		
发明人	三谷 昌弘		
IPC分类号	H01L51/50 H01L27/32 H05B33/04 H05B33/06 H05B33/22 H05B33/12 H05B33/10 G09F9/30 G09F9/00		
FI分类号	H05B33/14.A H01L27/32 H05B33/04 H05B33/06 H05B33/22.Z H05B33/12.B H05B33/10 G09F9/30.338 G09F9/30.365 G09F9/30.348.A G09F9/30.330 G09F9/30.309 G09F9/30.308.Z G09F9/00.338 G09F9/00.346.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC21 3K107/DD03 3K107/DD38 3K107/DD89 3K107/DD90 3K107/EE48 3K107/EE49 3K107/EE50 3K107/EE58 3K107/FF15 5C094/AA31 5C094/BA03 5C094/BA27 5C094/DA06 5C094/DA07 5C094/DA13 5C094/DA15 5C094/DB02 5G435/AA14 5G435/BB05 5G435/EE32 5G435/KK05		
代理人(译)	井上 知哉		

摘要(译)

活性侧缝隙(43)和FPC侧缝隙(44)分别穿透第二无机绝缘膜(20)并到达第一无机绝缘膜(18)。在平面图中,有源侧缝隙(43)形成在EL器件(2)的有源区域和IC芯片安装区域(56)之间,而IC芯片安装区域(56)为 它被(43)和FPC侧缝(44)夹在中间。

