

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第5111564号
(P5111564)

(45) 発行日 平成25年1月9日(2013.1.9)

(24) 登録日 平成24年10月19日(2012.10.19)

(51) Int.Cl.

F I

G O 9 G 3/30 (2006.01)

G O 9 G 3/20 (2006.01)

G O 1 R 31/02 (2006.01)

G O 9 G 3/30 J

G O 9 G 3/20 6 2 4 B

G O 9 G 3/20 6 7 0 Q

G O 1 R 31/02

請求項の数 3 (全 17 頁)

(21) 出願番号	特願2010-131175 (P2010-131175)	(73) 特許権者	000153878
(22) 出願日	平成22年6月8日 (2010.6.8)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2004-564482 (P2004-564482)		神奈川県厚木市長谷398番地
原出願日	平成15年12月9日 (2003.12.9)	(72) 発明者	官川 恵介
(65) 公開番号	特開2010-262302 (P2010-262302A)		神奈川県厚木市長谷398番地 株式会社
(43) 公開日	平成22年11月18日 (2010.11.18)		半導体エネルギー研究所内
審査請求日	平成22年6月25日 (2010.6.25)	審査官	小川 浩史
(31) 優先権主張番号	特願2002-378556 (P2002-378556)	(56) 参考文献	特開2002-93353 (JP, A)
(32) 優先日	平成14年12月26日 (2002.12.26)	(58) 調査した分野(Int.Cl., DB名)	
(33) 優先権主張国	日本国(JP)		G O 9 G 3/20-3/38
			G O 1 R 31/00-31/02

(54) 【発明の名称】 E L表示装置の検査方法

(57) 【特許請求の範囲】

【請求項1】

ゲートがゲート線に接続され、ソースまたはドレインの一方がソース線に接続された第1のトランジスタと、

ゲートが前記第1のトランジスタの前記ソースまたは前記ドレインの他方に接続され、ソースまたはドレインの一方が電流供給線と接続され、前記ソースまたは前記ドレインの他方が発光素子と接続された第2のトランジスタと、を有する画素をマトリクス状に複数有し、

前記ゲート線はゲートドライバに接続され、
前記ソース線はソースドライバに接続されたE L表示装置の検査方法であって、
前記ゲートドライバの電源端子と接地端子に第1の電位を印加し、
前記ソースドライバの電源端子と接地端子に第2の電位を印加し、
前記ソース線と前記ゲート線の間の電流値を測定することを特徴とするE L表示装置の検査方法。

【請求項2】

ゲートがゲート線に接続され、ソースまたはドレインの一方がソース線に接続された第1のトランジスタと、

ゲートが前記第1のトランジスタの前記ソースまたは前記ドレインの他方に接続され、ソースまたはドレインの一方が電流供給線と接続され、前記ソースまたは前記ドレインの他方が発光素子と接続された第2のトランジスタと、を有する画素をマトリクス状に複数

有し、

前記ゲート線はゲートドライバに接続された E L 表示装置の検査方法であって、
前記ゲートドライバの電源端子と接地端子に第 1 の電位を印加し、
前記電流供給線に第 2 の電位を印加し、
前記電流供給線と前記ゲート線の間の電流値を測定することを特徴とする E L 表示装置の検査方法。

【請求項 3】

ゲートがゲート線に接続され、ソースまたはドレインの一方がソース線に接続され、前記ソースまたは前記ドレインの他方が電流供給線と容量を介して電氣的に接続された第 1 のトランジスタと、

10

ゲートが前記第 1 のトランジスタの前記ソースまたは前記ドレインの他方に接続され、ソースまたはドレインの一方が前記電流供給線と接続され、前記ソースまたは前記ドレインの他方が発光素子と接続された第 2 のトランジスタと、を有する画素をマトリクス状に複数有し、

前記ソース線はソースドライバに接続された E L 表示装置の検査方法であって、
前記第 1 のトランジスタをオフし、
前記ソースドライバの電源端子と接地端子に第 1 の電位を印加し、
前記電流供給線に第 2 の電位を印加し、
前記電流供給線と前記ソース線の間の電流値を測定することを特徴とする E L 表示装置の検査方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明はトランジスタを有する半導体装置の構成と駆動方式に関する。本発明は特に、絶縁体上に作成した薄膜トランジスタ (Thin Film Transistor (以降、「TFT」と表記する)) 等を有する表示装置の構成と駆動方式に関する。また、このような構成と駆動方式の半導体装置を用いた電子機器に関する。また、このような駆動方式を利用した検査方式と検査装置に関する。

【背景技術】

【0002】

30

近年、アクティブマトリクス方式の表示装置の開発が活発化している。アクティブマトリクス方式は各画素にアクティブ素子を配置することで、残像の少ない高品質の画像表示を実現する。さらに、画素周辺の絶縁基板上にシフトレジスタ等の駆動回路を内蔵することで、表示装置外部の負担が少ない高機能な表示装置が開発されつつある。

【0003】

ところで、画素がマトリクス状に並んだ表示装置は、その製造工程で配線の断線や短絡など、なんらかの不具合が発生することがある。そのために製造工程中で電氣的な検査をすることが多い (特許文献 1 参照)。

【先行技術文献】

【特許文献】

40

【0004】

【特許文献 1】特開平 7 - 287247 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

画素周辺に駆動回路が内蔵されることで、画素配線の検査が複雑化している。図 2 に駆動回路を内蔵した表示装置の画素配線検査の例を示す。

【0006】

図 2 の表示装置は、画素部 204、ソースドライバ 209、ビデオ信号入力端子 210 とゲートドライバ 211 とを有する。画素部 204 は、m 行 n 列のマトリクス状に配置さ

50

れた画素 201、列に対応した n 本のソース線 202、行に対応した m 本のゲート線 203 で構成されている。また、ソースドライバ 209 は列に対応した n 個のビデオ信号スイッチ 207 とソース走査回路 208 で構成されている。ビデオ信号スイッチ 207 はビデオ信号入力端子 210 から入力されるビデオ信号を、ソース走査回路 208 の走査に応じてソース線 202 に順次供給するスイッチである。

【0007】

図 2 の表示装置において、配線間の短絡の可能性があるのは主にソース線 202 とゲート線 203 の交点である。この部分の検査をするためにはソース線 202 とゲート線 203 に電位差を与え、そのときの電流値を測定する。電流値が規定以上なら短絡していると判断できる。

10

【0008】

ここで電位差を与える方法としては、ゲートドライバ 211 にゲートスタートパルスやゲートクロックパルスを入力することでゲート線 203 に電位を与え、またソース走査回路 208 にもソーススタートパルスやソースクロックパルスを入力し、さらにビデオ信号入力端子 210 に電位を印加することでソース線 202 に電位を与え、そのときの電流を測定する必要がある。必要な装置は、電圧源と電流計以外に、スタートパルスやクロックパルスを出力することができるクロックジェネレータが必要となる。

【0009】

以上のように、画素周辺に駆動回路が内蔵した表示装置の検査では、検査信号としてスタートパルスやクロックパルスを入力する必要がある。このスタートパルスやクロックパルスは、駆動回路が複雑になるほど複雑化し、検査信号作成コストを高くする。また、クロックジェネレータが必要なため、検査装置のコストが高くなる。さらに、駆動回路の動作を開始してから、ソース線 202 やゲート線 203 が目的の状態になるまでにはある程度の時間がかかるため、検査時間が長くなる原因にもなる。

20

【0010】

本発明では上記欠点に鑑み、複雑な駆動回路を内蔵した場合でも電源制御のみで目的の出力を得る半導体装置とその駆動方法を提供することを目的とする。

【課題を解決するための手段】

【0011】

TFT はソースとドレインが同じ構造で示せるため、本明細書では一方を第 1 の電極もう一方を第 2 の電極と呼ぶ。また本明細書では TFT のゲート・ソース間に閾値を超える電圧が印加され、ソース・ドレイン間に電流が流れる状態になることを ON すると呼ぶ。また TFT のゲート・ソース間に閾値以下の電圧が印加され、ソース・ドレイン間に電流が流れない状態になることを OFF すると呼ぶ。なお、本明細書においては半導体装置を構成する素子の例として TFT を挙げているが、これに限定するものではない。例えば、MOS トランジスタ、有機トランジスタ、バイポーラトランジスタ、分子トランジスタ等を用いても良い。

30

【0012】

スイッチ素子は、2 つの電極間に電流が流れる状態と流れない状態を持つ。本明細書では流れる状態を ON すると呼び、流れない状態を OFF すると呼ぶ。2 つの電極をそれぞれ第 1 の電極、第 2 の電極と呼ぶ。また、ON と OFF を制御する電極を制御電極と呼ぶ。ただし制御電極は必ずしも図示しない。また本明細書において TFT をスイッチ素子として使う場合、スイッチ素子の ON と OFF は、TFT の ON と OFF に該当する。なお、スイッチ素子の例として TFT に限定するものではない。例えば、MOS トランジスタ、有機トランジスタ、バイポーラトランジスタ、分子トランジスタ等を用いても良い。また、機械的スイッチを用いてもよい。

40

【0013】

電源を全て所望の電位にすることで、入力信号に関わりなく所望の電位を出力する。

【0014】

本発明の半導体装置は、トランジスタと電源端子と接地端子とを有し、前記電源端子と

50

前記接地端子とを同電位とすることによって前記半導体装置の内部状態を初期化すること
を特徴している。

【 0 0 1 5 】

本発明の半導体装置は、トランジスタを用いて成る記憶装置を有し、前記半導体記憶装
置が電源端子と接地端子とを有し、前記電源端子と前記接地端子とを同電位とすること
によって前記記憶装置を初期化することを特徴としている。

【 0 0 1 6 】

本発明の半導体装置は、画素がマトリクス状に配置された表示部を有する半導体装置で
あって、ゲート線と、ソース線と、電源端子と、接地端子と、前記ゲート線と接続された
行選択走査回路（ゲートドライバ）と、前記ソース線と接続された列選択走査回路（ソー
スドライバ）とを有し、前記行選択走査回路（ゲートドライバ）の前記電源端子と前記接
地端子とを第 1 の電位とすることによって前記ゲート線を第 1 の電位とし、前記列選択走
査回路（ソースドライバ）の前記電源端子と前記接地端子とを第 1 の電位とは異なる第 2
の電位とすることによって前記ソース線を第 2 の電位とし、前記ゲート線と前記ソース線
との間に電位差を与え、そのときの前記ゲート線と前記ソース線との間に流れる電流値を
測定することによって、前記ゲート線と前記ソース線との短絡の有無を検査することを特
徴としている。

【 0 0 1 7 】

本発明の半導体装置は、画素がマトリクス状に配置された表示部を有する半導体装置で
あって、ゲート線と、ソース線と、電源端子と、接地端子と、前記ゲート線と接続された
行選択走査回路（ゲートドライバ）と、前記ソース線と接続されたスイッチと、前記スイ
ッチ素子を走査する列選択走査回路（ソースドライバ）と、ビデオ信号入力端子とを有し
、前記スイッチ素子の制御電極には前記列選択走査回路（ソースドライバ）が接続し、第
1 の電極は前記ビデオ信号入力端子と接続し、第 2 の電極は前記ソース線と接続し、前記
行選択走査回路（ゲートドライバ）の前記電源端子と前記接地端子とを第 1 の電位とす
ることによって前記ゲート線を第 1 の電位とし、前記列選択走査回路（ソースドライバ）の
前記電源端子と前記接地端子とを前記スイッチ素子が ON する電位とすることによって、
前記ビデオ信号入力端子と前記ソース線とを電氣的に接続し、前記ビデオ信号入力端子を
第 1 の電位とは異なる第 2 の電位とすることによって前記ソース線を第 2 の電位とし、前
記ゲート線と前記ソース線との間に電位差を与え、そのときの前記ゲート線と前記ソー
ス線との間に流れる電流値を測定することによって、前記ゲート線と前記ソース線との短
絡の有無を検査することを特徴としている。

【 0 0 1 8 】

本発明の半導体装置は、前記ゲート線と前記ソース線との間に電流を流し、そのときの
第 1 の電位と第 2 の電位との電位差を測定することによって、前記ゲート線と前記ソー
ス線との短絡の有無を検査することを特徴としている。

【 0 0 1 9 】

本発明の半導体装置は、トランジスタと電源端子と接地端子と電源短絡スイッチとを有
し、前記電源短絡スイッチは前記電源端子と前記接地端子を短絡するように設けられてい
ることを特徴としている。

【 0 0 2 0 】

本発明の半導体装置は、トランジスタと電源端子と接地端子と電源短絡スイッチと電源
接続スイッチとを有し、前記電源短絡スイッチは前記電源端子と前記接地端子を短絡す
るように設けられ、前記電源接続スイッチは前記電源短絡スイッチと前記電源端子又は前
記接地端子との間に設けられていることを特徴としている。

【 0 0 2 1 】

本発明の半導体装置は、画素がマトリクス状に配置された表示部を有する半導体装置で
あって、書込ゲート線と、消去ゲート線と、ソース線と、電流供給線と、前記書込ゲート
線と接続された書込ゲートドライバと、前記消去ゲート線と接続された消去ゲートドライ
バと、前記ソース線と接続されたソースドライバと、前記電流供給線と接続された電流供

10

20

30

40

50

給端子とを有し、前記ソース線と前記電流供給線との間に、書込スイッチと消去スイッチとが設けられ、前記書込スイッチの制御電極は前記書込ゲート線と接続し、前記消去スイッチの制御電極は前記消去ゲート線と接続し、前記ソースドライバの電源端子と接地端子とを第１の電位とすることによって前記ソース線を第１の電位とし、前記電流供給端子を第１の電位とは異なる第２の電位とすることによって前記電流供給線を第２の電位とし、前記書込ゲートドライバ又は前記消去ゲートドライバの少なくとも一方の電源端子と接地端子とを、前記書込スイッチ又は前記消去スイッチの少なくとも一方をOFFする第３の電位とすることによって前記ソース線と前記電流供給線とを電氣的に切断し、そのときの前記ソースドライバの電源端子と接地端子、又は前記電流供給端子に流れる電流値を測定することによって、前記ソース線と前記電流供給線との短絡の有無を検査することを特徴としている。

10

【００２２】

本発明の半導体装置は、前記ソース線と前記電流供給線との間に電流を流し、そのときの第１の電位と第２の電位との電位差を測定することによって、前記ソース線と前記電流供給線との短絡の有無を検査することを特徴としている。

【発明の効果】

【００２３】

本発明によると、複雑な駆動回路を内蔵した場合でも電源制御のみで目的の出力を得ることができる。これにより検査装置等において複雑な入力信号を必要とせず、簡易に目的の検査が実施できる。さらにメモリー回路等を有する記憶装置等において記憶や内部状態の初期化が電源制御のみで簡易にできる。以上のように本発明は大変効果的である。

20

【図面の簡単な説明】

【００２４】

【図１】本発明の検査対象の例である。

【図２】駆動回路を内蔵している表示装置の例である。

【図３】本発明の駆動方法を示す図である。

【図４】発明の駆動方法を示す図である。

【図５】本発明の駆動方法を示す図である。

【図６】本発明の構成を示す図である。

【図７】本発明の駆動方法を示す図である。

30

【図８】本発明の駆動方法を示す図である。

【図９】本発明の実施例を示す図である。

【発明を実施するための形態】

【００２５】

本発明の実施形態について、以下に説明する。

【００２６】

（実施の形態１）

図３に、本発明の一実施形態を示す。本実施形態はＣＭＯＳ回路の電源を制御することで、入力信号に関わりなく所望の出力を得ることを目的とする。

【００２７】

40

図３（Ａ）に示すＣＭＯＳ回路はインバータであり、Ｐ型ＴＦＴ３０１と、Ｎ型ＴＦＴ３０２と、電源端子３０３と、接地端子３０４と、入力端子３０５と、出力端子３０６とを有する。

【００２８】

Ｐ型ＴＦＴ３０１の第１の電極は電源端子３０３と接続し、第２の電極は出力端子３０６と接続し、ゲートは入力端子３０５と接続し、Ｎ型ＴＦＴ３０２の第１の電極は接地端子３０４と接続し、第２の電極は出力端子３０６と接続し、ゲートは入力端子３０５と接続している。

【００２９】

図３（Ｂ）に図３（Ａ）で示すＣＭＯＳ回路の電源端子３０３と接地端子３０４とを制

50

御した場合の、入力端子 305 と出力端子 306 との関係を示す。

【0030】

通常動作状態 310 では、CMOS 回路の電源端子 303 に第 1 の電位を印加し、接地端子 304 に第 3 の電位を印加した場合である。このとき、第 1 の電位と第 3 の電位の関係は、

第 1 の電位 > 第 3 の電位

である。また、第 1 の電位と第 3 の電位はそれぞれ CMOS 回路が正常に動作する電位差を持つ。また、入力端子 305 から入力される信号は、CMOS 回路が正常に動作する電圧振幅と周波数に設定されている。このとき、インバータは通常の動作を示す。つまり、入力端子 305 から入力される信号を反転させた信号が、出力端子 306 から出力される。

10

【0031】

311 で示される状態 1 では、CMOS 回路の電源端子 303 と接地端子 304 に共に第 1 の電位を印加する。このとき、出力端子 306 から出力されるインバータ出力は、入力端子 305 から入力される入力信号に関わりなく第 1 の電位となる。

【0032】

状態 1 (311) で出力が入力に関わりなく第 1 の電位となる理由は、出力端子 306 と電氣的に接続している電源端子 303 と接地端子 304 とが共に第 1 の電位となっているためである。入力端子 305 の電位が第 1 の電位より低い場合、P 型 TFT 301 が ON し、電源端子 303 に印加された第 1 の電位が出力端子 305 に出力する。また、入力端子 305 の電位が第 1 の電位より高い場合、N 型 TFT 302 が ON し、接地端子 304 に印加された第 1 の電位が出力端子 305 に出力する。また、入力端子の電位が第 1 の電位と同電位の場合でも、TFT はゲート・ソース間電圧が閾値電圧付近でもある一定の漏れ電流が流れるため、結果的に出力端子は第 1 の電位に達する。

20

【0033】

312 で示される状態 2 では、CMOS 回路の電源端子 303 と接地端子 304 に共に第 2 の電位を印加する。また、第 1 の電位、第 2 の電位、第 3 の電位の関係は、

第 1 の電位 > 第 2 の電位 > 第 3 の電位

である。このとき、出力端子 306 から出力されるインバータ出力は、入力端子 305 から入力される入力信号に関わりなく第 2 の電位となる。

30

【0034】

313 で示される状態 3 では、CMOS 回路の電源端子 303 と接地端子 304 に共に第 3 の電位を印加する。このとき、出力端子 306 から出力されるインバータ出力は、入力端子 305 から入力される入力信号に関わりなく第 3 の電位となる。

【0035】

状態 2 (312) と状態 3 (313) は共に状態 1 (311) と同じ理由で出力電位が決定される。

【0036】

図 3 では、状態 1 (311)、状態 2 (312)、状態 3 (313) の電位を標準動作状態の電位範囲内としているが、これに限らない。標準動作電位よりも高い電位にしても良いし、低い電位にしても良い。また、このとき入力端子 305 に入力される電位や周波数は任意に決めてよいし、浮遊でも良い。

40

【0037】

以上のように、CMOS 回路の電源を制御することで、入力信号に関わりなく出力電位を決定することができる。入力信号が任意に決められ、また浮遊でも良いことから、入力信号が無くても所望の出力を容易に得ることができる。また標準動作状態では、出力電位は CMOS が正常に動作する電位に設定された電源端子 303 または接地端子 304 に限られるため、所望の出力電位を得ることができない。しかし、本実施形態では出力電位は所望の電位に設定された電源端子 303 と接地端子 304 と同電位になるため、所望の出力電位を得ることが容易である。

50

【 0 0 3 8 】

本実施形態で示すC M O S回路は一般的なインバータであるが、この他にN A N D回路やN O R回路でも同様に電源制御によって出力を決めることができる。また、レベルシフタやシフトレジスタ等の回路でも同様である。

【 0 0 3 9 】

また、半導体記憶装置等の半導体装置にも適用できる。半導体記憶装置に適用した場合、記憶している情報に対して電源電位を制御するだけで初期化することが可能である。

【 0 0 4 0 】

また、その他の回路に適用した場合でも、電源電位を制御するだけで回路の内部状態を初期化し、電源投入時と同じ状態にすることが可能である。

10

【 0 0 4 1 】

(実施の形態2)

図4と図5に、本発明の他の一実施形態を示す。本実施形態はゲートドライバとソースドライバの電源を制御することで、入力信号に関わりなく所望の出力を得ることを目的とする。また、電源の制御によって所望の出力を得ることで、簡易に配線の短絡の有無を検査することを目的とする。

【 0 0 4 2 】

図4(A)に示すゲートドライバ411は、ゲート走査回路412と、バッファ回路413とを有する。なお、本実施形態ではゲートドライバ411の適用例として、図2のゲートドライバ211を挙げる。

20

【 0 0 4 3 】

ゲート走査回路412にはゲートスタートパルス端子414とゲートクロックパルス端子415からゲートスタートパルスとゲートクロックパルスが入力され、ゲートクロックパルスのタイミングに合わせてG1～Gmで示されたバッファ回路413を順次走査駆動していく。ゲート走査回路412の出力はバッファ回路413で増幅され、ゲート線端子416に出力される。なお、ゲート線端子416は、図2のゲート線203に接続される。

【 0 0 4 4 】

図4(A)において、ゲートドライバ411の電源端子と接地端子は省略する。

【 0 0 4 5 】

図4(B)にバッファ回路413の例を示す。バッファ回路413は2段のC M O Sインバータで構成され、P型T F T 401aと401bと、N型T F T 402aと402bと、電源端子403と、接地端子404と、入力端子405と、出力端子406とを有する。

30

【 0 0 4 6 】

P型T F T 401aの第1の電極は電源端子403と接続し、第2の電極はP型T F T 401bのゲートとN型T F T 402bのゲートと接続し、ゲートは入力端子405と接続し、N型T F T 402aの第1の電極は接地端子404と接続し、第2の電極はP型T F T 401bのゲートとN型T F T 402bのゲートと接続し、ゲートは入力端子405と接続し、P型T F T 401bの第1の電極は電源端子403と接続し、第2の電極は出力端子406と接続し、N型T F T 402bの第1の電極は接地端子404と接続し、第2の電極は出力端子406と接続している。

40

【 0 0 4 7 】

図4(B)で示したバッファ回路413は、実施の形態1で示したC M O Sインバータと異なる構成だが、実施の形態1で示したと同様に電源制御で出力が決定できる。

【 0 0 4 8 】

電源端子403と接地端子404をある所望の電位Vに設定すると、出力端子406の電位も所望の電位Vになる。

【 0 0 4 9 】

このとき、ゲートスタートパルス端子414に入力されたゲートスタートパルスや、ゲ

50

ートクロックパルス端子 4 1 5 に入力されたゲートクロックパルスや、ゲート走査回路 4 1 2 の内部状態には、出力端子の電位 V には影響されない。

【 0 0 5 0 】

図 5 (A) に示すソースドライバ 5 1 1 は、ソース走査回路 5 1 2 と、ビデオ信号スイッチ素子 5 1 3 とを有する。なお、本実施形態ではソースドライバ 5 1 1 の適用例として、図 2 のソースドライバ 2 0 9 を挙げる。

【 0 0 5 1 】

ソース走査回路 5 1 2 にはソーススタートパルス端子 5 1 4 とソースクロックパルス端子 5 1 5 からソーススタートパルスとソースクロックパルスが入力され、ソースクロックパルスのタイミングに合わせて $S_1 \sim S_n$ で示されたビデオ信号スイッチ素子 5 1 3 を順次走査駆動していく。ビデオ信号スイッチ素子 5 1 3 の第 2 の電極はビデオ信号入力端子 5 1 0 と電氣的に接続され、第 1 の電極はソース線端子 5 1 6 に接続される。なお、ソース線端子 5 1 6 は、図 2 のソース線 2 0 2 に接続される。

【 0 0 5 2 】

図 5 (A) において、ソースドライバ 5 1 1 の電源端子と接地端子は省略する。

【 0 0 5 3 】

ビデオ信号入力端子 5 1 0 には映像に応じたビデオ信号が入力され、ソース走査回路 5 1 2 によって順次走査駆動されるビデオ信号スイッチ素子 5 1 3 を介して、ソース線端子 5 1 6 から出力される。

【 0 0 5 4 】

図 5 (B) にソース走査回路 5 1 2 の一部を示す。ソース走査回路 5 1 2 は、図 5 (B) の回路がソース線 2 0 2 の数に応じて連結して成っている。また、ソース走査回路 5 1 2 は、P 型 T F T 5 0 1 a ~ 5 0 1 e と、N 型 T F T 5 0 2 a ~ 5 0 2 e と、電源端子 5 0 3 と、接地端子 5 0 4 と、入力端子 5 0 5 と、出力端子 5 0 6 とを有する。

【 0 0 5 5 】

ソース走査回路 5 1 2 の初段の入力端子 5 0 5 には、ソーススタートパルス端子 5 1 4 が接続し、ソーススタートパルスが入力される。出力端子 5 0 6 は次段の入力端子 5 0 5 と、ビデオ信号スイッチ素子 5 1 3 の制御電極とに接続されている。また、図 5 (B) に記載した C K と C K B の端子には、それぞれクロックパルスとその反転信号が入力される。なお、C K と C K B の表記は 1 段毎に反転する。

【 0 0 5 6 】

なお、出力端子 5 0 6 のうち k 段目と k + 1 段目を N A N D 回路に入力し、パルス幅を調節してもよい。

【 0 0 5 7 】

さらに詳細な接続関係や通常の走査動作については省略する。

【 0 0 5 8 】

図 5 (B) で示したソース走査回路 5 1 2 は、実施の形態 1 で示した C M O S インバータと異なる構成だが、実施の形態 1 で示したと同様に電源制御で出力が決定できる。

【 0 0 5 9 】

電源端子 5 0 3 と接地端子 5 0 4 をある所望の電位 V に設定すると、出力端子 5 0 6 の電位も所望の電位 V になる。これはソース走査回路 5 1 2 の全段において該当する。

【 0 0 6 0 】

このとき、ソーススタートパルス端子 5 1 4 に入力されたソーススタートパルスや、ソースクロックパルス端子 5 1 5 に入力されたソースクロックパルスや、ソース走査回路 5 1 2 の内部状態には、出力端子の電位 V には影響されない。

【 0 0 6 1 】

ソース走査回路 5 1 2 の全ての出力端子 5 0 6 が電位 V になり、この電位 V はビデオ信号スイッチ素子 5 1 3 の制御電極に印加される。ここで、電位 V をビデオ信号スイッチ素子 5 1 3 が O N する条件に設定すれば、ビデオ信号入力端子 5 1 0 に入力されたビデオ信号の電位がソース線 2 0 2 に印加される。

10

20

30

40

50

【 0 0 6 2 】

ところで、図 2 においてソース線 2 0 2 とゲート線 2 0 3 の短絡の有無を検査するには、ソースドライバ 2 0 9 とゲートドライバ 2 1 1 を通常動作状態にした場合は、スタートパルスやクロックパルスを入力し、電源電位も通常動作電位に設定する必要がある。

【 0 0 6 3 】

それに対して本実施形態では、電源電位を制御することで入力信号に関わりなく所望の出力を得ることにより、簡易に短絡の有無を検査することができる。

【 0 0 6 4 】

具体的には、ゲートドライバ 4 1 1 の電源端子 4 0 3 と接地端子 4 0 4 に所望の電位 V_g を印加し、またソースドライバ 5 1 1 の電源端子 5 0 3 と接地端子 5 0 4 をビデオ信号スイッチ素子 5 1 3 が ON する電位に設定し、ビデオ信号入力端子 5 1 0 に所望の電位 V_s を印加する。

10

【 0 0 6 5 】

そうすることで、ソース線 2 0 2 の電位は V_s となり、ゲート線 2 0 3 の電位は V_g となる。ここで V_s と V_g に電位差を与えると、ゲートドライバ 4 1 1 とソースドライバ 5 1 1 の電源間に電流 I が流れる。電流 I がある規定電流以上の場合、ソース線 2 0 2 とゲート線 2 0 3 の間に短絡があると判断できる。

【 0 0 6 6 】

このとき、ゲートスタートパルス端子 4 1 4 に入力されたゲートスタートパルスや、ゲートクロックパルス端子 4 1 5 に入力されたゲートクロックパルスや、ゲート走査回路 4 1 2 の内部状態や、ソーススタートパルス端子 5 1 4 に入力されたソーススタートパルスや、ソースクロックパルス端子 5 1 5 に入力されたソースクロックパルスや、ソース走査回路 5 1 2 の内部状態には関わらず、ある規定電流を基準として短絡の有無の検査が可能である。

20

【 0 0 6 7 】

また、 V_s と V_g の電位差は、ゲートドライバ 4 1 1 とソースドライバ 5 1 1 の駆動可能条件に関わらず決定できるため、自由な電位設定で検査ができる。

【 0 0 6 8 】

さらに、電位を印加して比較的短時間で所望の出力が得られるため、信号入力によって同じ出力を得る場合と比べ短時間での検査が可能となる。

30

【 0 0 6 9 】

以上のように、本実施形態により、クロックジェネレータを必要とせず、また自由な電位の出力が簡易に可能である。このことは、検査装置の設備を簡略化し、また検査信号の作成の手間を省き、さらに検査信号の間違いによる検査結果の不良を防ぐ効果がある。

【 0 0 7 0 】

さらに、短時間での検査を可能にし、また自由な電位設定での検査を可能にする。

【 0 0 7 1 】

また、複雑な回路の場合でも単純なインバータ回路と同様に、電源の電位によって出力が制御できる。このことは複雑な回路を動作させる場合に、もし内部構造や動作させるために必要な信号が判らなくても、電位設定のみで所望の出力が得られる利点となる。

40

【 0 0 7 2 】

なお本実施形態において、ゲートドライバ 4 1 1 とソースドライバ 5 1 1 は一例であり、本実施形態とは異なる半導体回路でも同様の動作が可能である。例えばソースドライバ 5 1 1 がゲートドライバ 4 1 1 と同じ構成であってもよいし、ソースドライバが電流源等を有する構成でもよい。

【 0 0 7 3 】

また、本実施形態において、所望の電位を印加して電流を測定することによって短絡の有無の検査をしたが、所望の電流を入力してそのときの電位差を測定することによって短絡の有無の検査をしてもよい。

【 0 0 7 4 】

50

(実施の形態 3)

図 6 に、本発明の他の一実施形態を示す。本実施形態は電源端子と接地端子の接続関係を制御するスイッチを使うことで、1 電源で実施の形態 1、2 に示した動作を実現することを目的とする。

【0075】

図 6 (A) に示す回路は、電源による出力制御をする対象回路 6 1 2 と、信号端子群 6 1 4 と、電源短絡スイッチ 6 1 7 と、電源端子 6 1 8 と、接地端子 6 1 9 とを有する。なお、対象回路としては、実施の形態 1 で示したインバータや、実施の形態 2 で示したソースドライバ 5 1 1、ゲートドライバ 4 1 1 等が挙げられる。

【0076】

対象回路 6 1 2 には信号端子群 6 1 4 から信号が入力され、電源端子 6 1 8 と接地端子 6 1 9 からそれぞれ電源と接地電位が印加される。また、電源端子 6 1 8 と接地端子 6 1 9 とを短絡する電源短絡スイッチ 6 1 7 を有する。

【0077】

信号端子群 6 1 4 は 0 本～複数本まで、任意の数で良い。

【0078】

信号端子群 6 1 4 は、例えば対象回路 6 1 2 がゲートドライバ 4 1 1 なら、ゲートスタートパルス端子 4 1 4 とゲートクロックパルス端子 4 1 5 である。

【0079】

電源短絡スイッチ 6 1 7 が対象回路 6 1 2 と同じ絶縁基板上にあっても良いし、外部の検査装置等にあっても良い。

【0080】

実施形態 1、2 と同様に、図 6 (A) でも電源端子と接地端子に任意の電位を印加することで、入力信号に関わり無く所望の出力を得る。このとき、電源端子と接地端子の両端子に電位を印加する必要があるが、図 6 に示すように電源端子 6 1 8 と接地端子 6 1 9 とを電源短絡スイッチ 6 1 7 を ON することで、電源端子 6 1 8 と接地端子 6 1 9 のどちらかが浮遊でも両端子に電位を印加することができる。

【0081】

本実施形態によると、電源短絡スイッチ 6 1 7 を使うことで、電源端子 6 1 8 と接地端子 6 1 9 のどちらかを浮遊として使うことができる。このことから、電源端子 6 1 8 や接地端子 6 1 9 への入力電位を変化させなくてもどちらかを浮遊とすれば、対象回路への電源電位と接地電位を同電位とすることができ、電源装置の簡略化を実現する。また電源電位の変化時間が無くなるため検査時間等を短縮できる。

【0082】

図 6 (B) に示す回路は、図 6 (A) に示した回路が、さらに電源接続スイッチ 6 2 0 を有したものである。電源接続スイッチ 6 2 0 が電源短絡スイッチ 6 1 7 と電源端子 6 1 8 との間に設けられている。

【0083】

電源接続スイッチ 6 2 0 は電源短絡スイッチ 6 1 7 と接地端子 6 1 9 との間に設けてもよい。

【0084】

電源短絡スイッチ 6 1 7 が OFF のとき電源接続スイッチ 6 2 0 が ON して通常動作をし、電源短絡スイッチ 6 1 7 が ON のとき電源接続スイッチ 6 2 0 が OFF して電源による出力制御をする。

【0085】

電源接続スイッチが OFF になることで、電源端子 6 1 8 に電位を供給する電源装置と対象回路 6 1 2 との接続を無くなる。このことは、電源装置の出力が浮遊の機能を持たないために、異なる電位が電源端子 6 1 8 と接地端子 6 1 9 に印加されている状態でも、電源短絡スイッチ 6 1 7 と電源接続スイッチ 6 2 0 によって両端子に同電位を印加することが可能となる。

10

20

30

40

50

【 0 0 8 6 】

(実施の形態 4)

図 7 に、本発明の他の一実施形態を示す。本実施形態はエレクトロルミネッセンス (E l e c t r o L u m i n e s c e n c e : E L) 素子等を始めとした発光素子を用いた表示装置に対して、ソース線とゲート線の短絡の有無と、ソース線と電流供給線の短絡の有無と、隣り合うゲート線の短絡の有無と、電流供給線とゲート線の短絡の有無とを検査することを目的とする。

【 0 0 8 7 】

図 7 は、E L 素子を用いた表示装置の一例である。画素部 7 0 4、ソースドライバ 7 0 9、ビデオ信号入力端子 7 1 0、書込ゲートドライバ 7 1 1 と消去ゲートドライバ 7 1 6 とを有する。画素部 7 0 4 は、m 行 n 列のマトリクス状に配置された画素 7 0 1、列に対応した n 本のソース線 7 0 2、行に対応したそれぞれ m 本の書込ゲート線 7 0 3 と消去ゲート線 7 1 5、各画素 7 0 1 に接続された電流供給線 7 1 4 とで構成されている。また、ソースドライバ 7 0 9 はソース走査回路 7 0 8 とラッチ回路 7 1 2 とで構成されている。ラッチ回路 7 1 2 はビデオ信号入力端子 7 1 0 から入力されるビデオ信号を、ソース走査回路 7 0 8 の走査に応じて保持し、ソース線 7 0 2 に供給する。電流供給線 7 1 4 には電流供給端子 7 1 3 から発光素子に流す電流が供給される。

【 0 0 8 8 】

ソースドライバ 7 0 9 と書込ゲートドライバ 7 1 1 と消去ゲートドライバ 7 1 6 は、実施形態 2 で示したと同様にそれぞれ電源端子と接地端子とを有する。ただし図 7 では省略する。

【 0 0 8 9 】

図 8 に、画素 7 0 1 の構成例を示す。画素 7 0 1 は、電流供給 T F T 8 0 1、画素容量 8 0 2、書込スイッチ 8 0 3、消去スイッチ 8 0 4 と、発光素子と接続する発光素子端子 8 0 5 とで構成されている。また、画素 7 0 1 には、ソース線 7 0 2、書込ゲート線 7 0 3、消去ゲート線 7 1 5、電流供給線 7 1 4 が接続される。

【 0 0 9 0 】

画素の駆動方法は、書込駆動と発光駆動と消去駆動で成る。

書込駆動は、まずビデオ信号入力端子 7 1 0 から入力されるビデオ信号を、ソース走査回路 7 0 8 の走査駆動によってラッチ回路 7 1 2 が保持し、ソース線 7 0 2 に出力する。同時に書込ゲートドライバ 7 1 1 の走査駆動によって対応する行の書込スイッチ 8 0 3 が O N する。ソース線 7 0 2 に出力されたビデオ信号は、対応する行の画素 7 0 1 が有する画素容量 8 0 2 に保持される。以上の書込駆動を 1 ~ m 行に対して順次実行する。

【 0 0 9 1 】

発光駆動は、画素容量 8 0 2 に保持されたビデオ信号によって、電流供給 T F T 8 0 1 が駆動され、発光素子端子 8 0 5 に接続された発光素子に電流が供給され、供給される電流に応じて発光素子が発光する。

【 0 0 9 2 】

消去駆動は、消去ゲートドライバ 7 1 6 によって対応する行の消去スイッチ 8 0 4 が O N し、画素容量 8 0 2 に保持されたビデオ信号が消去される。同時に発光素子への電流供給が無くなり、発光素子が消灯する。以上の書込駆動を 1 ~ m 行に対して順次実行する。

【 0 0 9 3 】

ただし、消去駆動は必ずしも実行されなくてもよい。

【 0 0 9 4 】

図 1 に図 8 に示した画素の一例及びその断面図を示す。ただし、この断面図には重要な配線等のみを表示しており、構成要素の全てを表示している訳ではない。

【 0 0 9 5 】

図 1 (A) において、1 0 1 は画素、1 0 2 は電流供給 T F T、1 0 3 は画素容量、1 0 4 は書き込みスイッチ、1 0 5 は消去スイッチ、1 0 6 は発光素子端子を示す。また図 1 (B) 及び図 1 (C) において、1 1 1 a ~ 1 1 1 b はソース線、1 1 2 a ~ 1 1 2 b

10

20

30

40

50

は電流供給線、１１３は書込ゲート線、１１４は消去ゲート線、１２１はシリコン、１２２はゲート酸化膜、１２３は層間膜を示す。

【００９６】

図１（Ａ）のＡ－Ａ'で示した点線で切断した断面図の例を図１（Ｂ）に示す。この断面に表示されている配線において短絡の不良が発生しやすい部分は、第１の部分としてソース線１１１ａ、１１１ｂと書込ゲート線１１３である。第２の部分としてソース線１１１ａ、１１１ｂと電流供給線１１２ａ、１１２ｂである。第２の部分で特に、ソース線１１１ｂと電流供給線１１２ａは近接しているため短絡の不良が発生しやすい。第３の部分として電流供給線１１２ａ、１１２ｂと書込ゲート線１１３である。

【００９７】

10

図１（Ａ）のＢ－Ｂ'で示した点線で切断した断面図の例を図１（Ｃ）に示す。図１（Ｃ）の書込スイッチ１０４及び消去スイッチ１０５はＴＦＴで形成されており、各ＴＦＴはシリコン１２１、ゲート酸化膜１２２、書込ゲート線１１３、消去ゲート線１１４等で構成されている。

【００９８】

図１（Ｃ）に示される断面に表示されている配線において短絡の不良が発生しやすい部分は、第１の部分としてソース線１１１ａ、１１１ｂと書込ゲート線１１３である。第２の部分としてソース線１１１ａ、１１１ｂと電流供給線１１２ａ、１１２ｂである。第２の部分で特に、ソース線１１１ｂと電流供給線１１２ａは近接しているため短絡の不良が発生しやすい。第３の部分として電流供給線１１２ａ、１１２ｂと書込ゲート線１１３である。第４の部分としてソース線１１１ａ、１１１ｂと消去ゲート線１１４である。第５の部分として書込ゲート線１１３と消去ゲート線１１４である。第６の部分として電流供給線１１２ａ、１１２ｂと消去ゲート線１１４である。

20

【００９９】

ソース線７０２と、書込ゲート線７０３又は消去ゲート線７１５の短絡の検査について示す。この検査で発見できる不良は、第１の部分と第４の部分である。

【０１００】

ラッチ回路７１２の電源端子と接地端子とを制御し、ソース線７０２に電位 V_s を印加する。また、書込ゲート線７０３と消去ゲート線７１５の一方又は両方の、電源端子と接地端子とを制御し、書込ゲート線７０３と消去ゲート線７１５の一方又は両方に電位 V_g を印加する。

30

【０１０１】

ここで V_s と V_g に電位差を与えると、ラッチ回路７１２の電源端子又は接地端子と、書込ゲート線７０３と消去ゲート線７１５の一方又は両方の電源端子又は接地端子との間に電流 I が流れる。電流 I がある規定電流以上の場合、ソース線７０２と書込ゲート線７０３と消去ゲート線７１５の一方又は両方の間に短絡があると判断できる。

【０１０２】

ソース線７０２と電流供給線７１４の短絡の有無の検査について示す。この検査で発見できる不良は、第２の部分である。

【０１０３】

40

ラッチ回路７１２の電源端子と接地端子とを制御し、ソース線７０２に電位 V_s を印加する。また、電流供給端子７１３に電位 V_a を印加する。

【０１０４】

ここで、ソース線７０２と電流供給線７１４との短絡の不良を検査するが、図８に示した様にソース線７０２と電流供給線７１４との間にスイッチ素子が設けられている場合、スイッチ素子をＯＦＦすることでソース線７０２と電流供給線７１４とを電氣的に切断する必要がある。ただし、図８においてスイッチ素子とは書込スイッチ８０３と消去スイッチ８０４である。

【０１０５】

ソース線７０２と電流供給線７１４がスイッチ素子によって電氣的に接続されている場

50

合、短絡による不良が無い場合でも、ソース線 702 と電流供給線 714 の間に電流が流れるため、正常な検査ができない。そのため、スイッチ素子を OFF し、ソース線 702 と電流供給線 714 とを電氣的に切断する。

【0106】

ソース線 702 と電流供給線 714 とを電氣的に切断するには、書込スイッチ 803 と消去スイッチ 804 の少なくとも一方を OFF すればよい。そのためには、書込ゲートドライバ 711 と消去ゲートドライバ 716 の少なくとも一方の電源端子と接地端子に、書込スイッチ 803 又は消去スイッチ 804 を OFF する電位を印加する。これによって、書込スイッチ 803 又は消去スイッチ 804 が OFF し、ソース線 702 と電流供給線 714 とが電氣的に切断される。

10

【0107】

そうすることで、ソース線 702 の電位は V_s となり、電流供給線 714 の電位は V_a となり、また書込スイッチ 803 と消去スイッチ 804 とを経由して流れる電流が無視できる。ここで V_s と V_a に電位差を与えると、ラッチ回路 712 の電源端子又は接地端子と電流供給端子 713 との間に電流 I が流れる。電流 I がある規定電流以上の場合、ソース線 702 と電流供給線 714 の間に短絡があると判断できる。

【0108】

書込ゲート線 703 と消去ゲート線 715 の短絡の有無の検査について示す。この検査で発見できる不良は、第 5 の部分である。

【0109】

20

書込ゲート線 703 と消去ゲート線 715 の、電源端子と接地端子とを制御し、書込ゲート線 703 に電位 V_{gw} を印加し、また消去ゲート線 715 に電位 V_{ge} を印加する。

【0110】

ここで V_{gw} と V_{ge} に電位差を与えると、書込ゲート線 703 の電源端子又は接地端子と消去ゲート線 715 の電源端子又は接地端子との間に電流 I が流れる。電流 I がある規定電流以上の場合、書込ゲート線 703 と消去ゲート線 715 の間に短絡があると判断できる。

【0111】

電流供給線 714 と、書込ゲート線 703 又は消去ゲート線 715 の短絡の有無の検査について示す。この検査で発見できる不良は、第 3 の部分と第 6 の部分である。

30

【0112】

電流供給端子 713 に電位 V_a を印加し、電流供給線 714 に電位 V_a を印加する。また、書込ゲート線 703 と消去ゲート線 715 の一方又は両方の、電源端子と接地端子とを制御し、書込ゲート線 703 と消去ゲート線 715 の一方又は両方に電位 V_g を印加する。

【0113】

ここで V_a と V_g に電位差を与えると、電流供給端子 713 と、書込ゲート線 703 と消去ゲート線 715 の一方又は両方の電源端子又は接地端子との間に電流 I が流れる。電流 I がある規定電流以上の場合、電流供給線 714 と書込ゲート線 703 と消去ゲート線 715 の一方又は両方の間に短絡があると判断できる。

40

【0114】

もちろん、本実施形態は図 1、7 及び 8 で示した以外の構成にも適用できる。

【0115】

本実施形態には、実施の形態 2 で示したと同様の利点がある。

【0116】

なお本実施形態において、ソースドライバ 709 と書込ゲートドライバ 711 と消去ゲートドライバ 716 は一例であり、本実施形態とは異なる半導体回路でも同様の動作が可能である。また、画素 701 の構成が本実施形態とは異なる場合でも同様の動作が可能である。

【0117】

50

また、本実施形態において、所望の電位を印加して電流を測定することによって短絡の有無の検査をしたが、所望の電流を入力してそのときの電位差を測定することによって短絡の有無の検査をしてもよい。

【実施例 1】

【0118】

以下に、本発明の実施例について記載する。

【0119】

本発明の半導体装置には様々な用途がある。本実施例では、本発明の適用が可能な電子機器の例について説明する。本実施例で説明される電子機器には、実施の形態 1 ~ 4 で説明された半導体装置又は表示装置が用いられている。またそれら装置の駆動方法及び検査方法は実施の形態 1 ~ 4 に示すとおりである。

10

【0120】

このような電子機器には、携帯情報端末（電子手帳、モバイルコンピュータ、携帯電話等）、ビデオカメラ、デジタルカメラ、パーソナルコンピュータ、テレビ等が挙げられる。それらの一例を図 9 に示す。

【0121】

図 9（A）は EL ディスプレイであり、筐体 3301、支持台 3302、表示部 3303 等を含む。本発明の表示装置は表示部 3303 にて用いることが出来る。

【0122】

図 9（B）はビデオカメラであり、本体 3311、表示部 3312、音声入力部 3313、操作スイッチ 3314、バッテリー 3315、受像部 3316、半導体記憶装置（図示せず）等を含む。本発明の表示装置は表示部 3312 や半導体記憶装置にて用いることが出来る。

20

【0123】

図 9（C）はパーソナルコンピュータであり、本体 3321、筐体 3322、表示部 3323、キーボード 3324、半導体記憶装置（図示せず）等を含む。本発明の表示装置は表示部 3323 や半導体記憶装置にて用いることが出来る。

【0124】

図 9（D）は携帯情報端末であり、本体 3331、スタイラス 3332、表示部 3333、操作ボタン 3334、外部インターフェイス 3335、半導体記憶装置（図示せず）等を含む。本発明の表示装置は表示部 3333 や半導体記憶装置にて用いることが出来る。

30

【0125】

図 9（E）は携帯電話であり、本体 3401、音声出力部 3402、音声入力部 3403、表示部 3404、操作スイッチ 3405、アンテナ 3406、半導体記憶装置（図示せず）を含む。本発明の表示装置は表示部 3404 や半導体記憶装置にて用いることが出来る。

【0126】

図 9（F）はデジタルカメラであり、本体 3501、表示部（A）3502、接眼部 3503、操作スイッチ 3504、表示部（B）3505、バッテリー 3506、半導体記憶装置（図示せず）を含む。本発明の表示装置は、表示部（A）3502、表示部（B）3505 や半導体記憶装置にて用いることが出来る。

40

【0127】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。

【産業上の利用可能性】

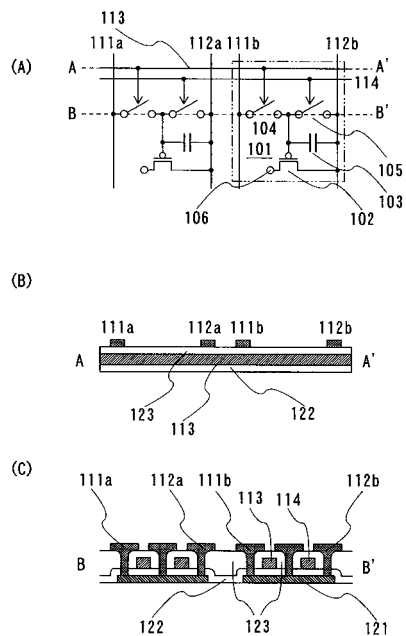
【0128】

本発明により、複雑な駆動回路を内蔵した場合でも電源制御のみで目的の出力を得る半導体装置とその駆動方法を提供することができる。よって検査装置等において複雑な入力信号を必要とせず、簡易に目的の検査が実施することが可能である。さらにメモリー回路

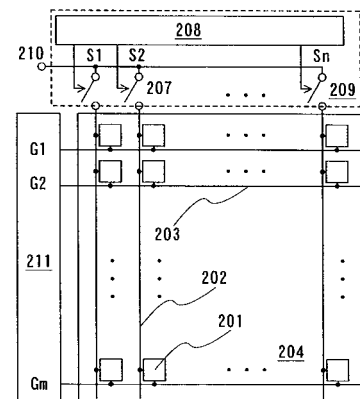
50

等を有する記憶装置等において記憶や内部状態の初期化が電源制御のみで簡易にすることが可能である。

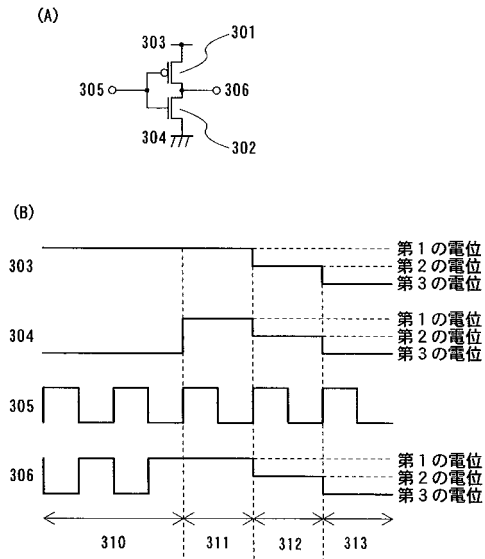
【図 1】



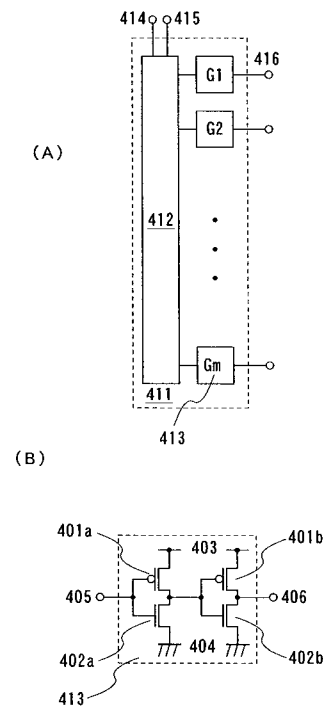
【図 2】



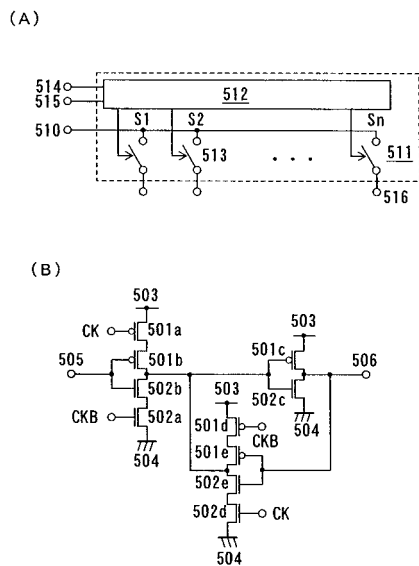
【図 3】



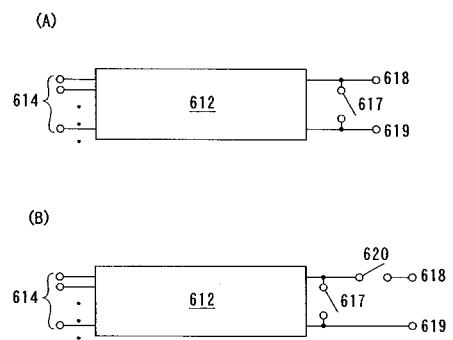
【図 4】



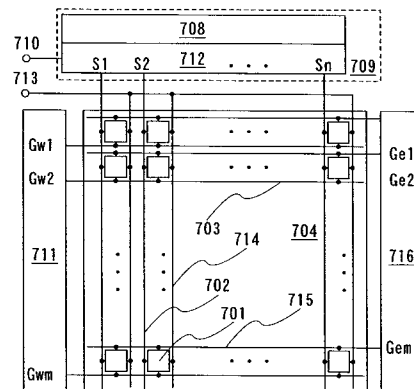
【図 5】



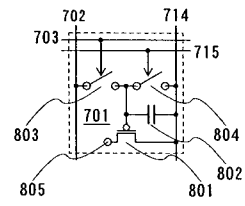
【図 6】



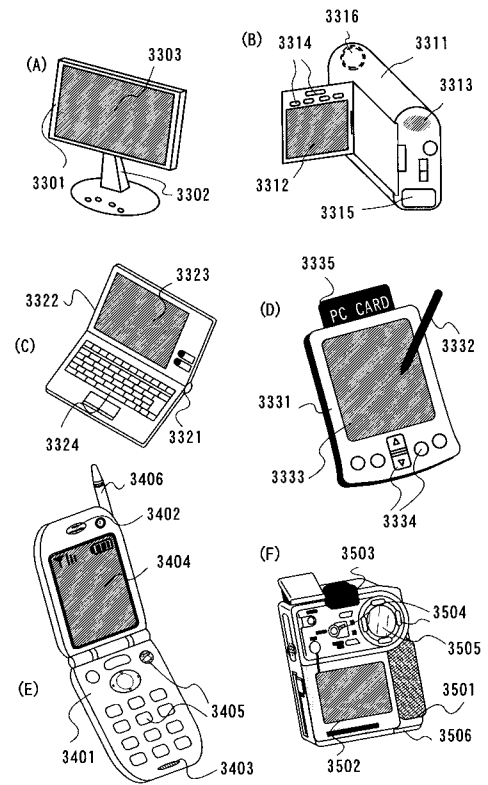
【図 7】



【図 8】



【図 9】



专利名称(译)	检查EL显示装置的方法		
公开(公告)号	JP5111564B2	公开(公告)日	2013-01-09
申请号	JP2010131175	申请日	2010-06-08
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	宫川惠介		
发明人	宫川 惠介		
IPC分类号	G09G3/30 G09G3/20 G01R31/02 G09G3/00		
CPC分类号	G09G3/006 G09G3/20 G09G2300/0809 G09G2300/0814 G09G2310/0267 G09G2310/0275 G09G2330/02		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.670.Q G01R31/02 G01R31/50 G01R31/52 G01R31/56 G02F1/133.550 G09G3/20.670.B G09G3/3225 G09G3/3266 G09G3/36 H05B33/14.A		
F-TERM分类号	2G014/AA03 2G014/AB21 2G014/AC07 2H193/ZA04 2H193/ZF22 2H193/ZF31 2H193/ZF32 2H193/ZF33 3K107/AA01 3K107/BB01 3K107/CC45 3K107/EE03 3K107/GG56 3K107/HH05 5C006/AF52 5C006/AF53 5C006/BB16 5C006/BC06 5C006/BF04 5C006/BF42 5C006/EB01 5C006/FA41 5C080/AA06 5C080/AA10 5C080/BB05 5C080/DD15 5C080/DD22 5C080/FF03 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C380/AA01 5C380/AB06 5C380/AB25 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/CB01 5C380/CC26 5C380/CC33 5C380/CC38 5C380/CC41 5C380/CC63 5C380/CD013 5C380/CE08 5C380/CE09 5C380/CF09 5C380/FA02 5C380/FA03 5C380/GA03		
审查员(译)	小川博		
优先权	2002378556 2002-12-26 JP		
其他公开文献	JP2010262302A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提出一种检查半导体器件的方法。和写入栅极线，和所述擦除栅极线，具有源极线，电流供给线，写入栅极驱动器，和擦除栅极驱动器，源极驱动器，和写开关，擦除开关半导体该装置的检查方法，和由第一电位施加到源极驱动器的电源端子和接地端子，从第一电位到电流供给线的第二电位不同的第一电势源极线然后，写入栅极驱动器的至少一个功率端子或擦除栅极驱动器和一个接地端子；以及源极线，并通过第三电位的电流供给线，以关闭写开关中的至少一个或擦除开关通过电切割和测量流过电源端子，接地端子或源极驱动器电流源的电流值，检查源极线和电流源线之间是否存在短路它提供了用于半导体器件的测试方法。点域8

