

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4501206号
(P4501206)

(45) 発行日 平成22年7月14日 (2010. 7. 14)

(24) 登録日 平成22年4月30日 (2010. 4. 30)

(51) Int.Cl.

F I

G09G	3/30	(2006.01)	G09G	3/30	J
G09F	9/30	(2006.01)	G09F	9/30	365C
G09G	3/20	(2006.01)	G09G	3/20	611A
			G09G	3/20	621M
			G09G	3/20	622G

請求項の数 8 (全 19 頁) 最終頁に続く

(21) 出願番号 特願2000-39642 (P2000-39642)
 (22) 出願日 平成12年2月17日 (2000. 2. 17)
 (65) 公開番号 特開2000-356973 (P2000-356973A)
 (43) 公開日 平成12年12月26日 (2000. 12. 26)
 審査請求日 平成18年3月27日 (2006. 3. 27)
 (31) 優先権主張番号 特願平11-106500
 (32) 優先日 平成11年4月14日 (1999. 4. 14)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000004260
 株式会社デンソー
 愛知県刈谷市昭和町1丁目1番地
 (74) 代理人 100071135
 弁理士 佐藤 強
 (72) 発明者 片山 理
 愛知県刈谷市昭和町1丁目1番地 株式会
 社デンソー内
 (72) 発明者 岩村 剛宏
 愛知県刈谷市昭和町1丁目1番地 株式会
 社デンソー内

審査官 橋本 直明

最終頁に続く

(54) 【発明の名称】 表示装置用駆動回路

(57) 【特許請求の範囲】

【請求項1】

複数の容量性表示素子(4)を備えた表示装置(1)を駆動用電源(9)の出力により駆動するためのものであって、前記複数の容量性表示素子(4)の充放電動作を行うための複数のスイッチング素子を集積化して成る駆動用IC(5)を備えた表示装置用駆動回路において、

前記駆動用電源(9)と前記駆動用IC(5)の電源端子(5b、5c)との間の充放電経路のそれぞれに、電圧を分担するための第1のトランジスタ(10)、第2のトランジスタ(11)を接続し、

前記駆動用IC(5)は、前記容量性表示素子(4)の充電電流を流すための第1のスイッチング素子(7)と、前記容量性表示素子(4)の放電電流を流すための第2のスイッチング素子(8)とより成るプッシュプル回路構成を備え、

前記第1のトランジスタ(10)は、前記第1のスイッチング素子(7)が導通した後に導通するように制御され、前記第2のトランジスタ(11)は、前記第2のスイッチング素子(8)が導通した後に導通するように制御されることを特徴とする表示装置用駆動回路。

【請求項2】

請求項1記載の表示装置用駆動回路において、

前記第1のスイッチング素子としてPチャネル型LDMOS(7)が使用され、前記第2のスイッチング素子としてNチャネル型LDMOS(8)が使用されることを特徴とす

る表示装置用駆動回路。

【請求項 3】

請求項 1 記載の表示装置用駆動回路において、
前記第 1 及び第 2 のスイッチング素子として S C R (3 5 、 3 6) が使用されることを特徴とする表示装置用駆動回路。

【請求項 4】

請求項 3 記載の表示装置用駆動回路において、
前記第 1 及び第 2 のスイッチング素子として使用される各 S C R (3 5 、 3 6) と逆並列状態で第 1 及び第 2 の放電用ダイオード (3 7 、 3 8) をそれぞれ接続したことを特徴とする表示装置用駆動回路。

10

【請求項 5】

請求項 1 記載の表示装置用駆動回路において、
前記駆動用電源 (9) と前記容量性表示素子 (4) の充電動作を行うための第 1 のスイッチング素子 (7) との間に順方向に介在されたダイオード (1 6) と、
一方の端子が前記ダイオード (1 6) のカソード側に接続されたコンデンサ (1 9) と、

前記容量性表示素子 (4) の充電動作開始当初の期間を含む所定期間にオンされるように設けられ、そのオン状態で、前記駆動用電源 (9) から前記ダイオード (1 6) を通じて前記コンデンサ (1 9) に充電電流を供給する電流経路と、前記容量性表示素子 (4) の充電エネルギーを前記コンデンサ (1 9) に充電電流として供給する電流経路とを形成する第 1 の補助スイッチング素子 (1 8) と、

20

この第 1 の補助スイッチング素子 (1 8) のオフ後に所定期間だけオンするように設けられ、そのオン状態で、前記コンデンサ (1 9) の充電電荷を前記駆動用電源 (9) の出力電圧に重畳させる第 2 の補助スイッチング素子 (1 7) とを備えたことを特徴とする表示装置用駆動回路。

【請求項 6】

請求項 1 記載の表示装置用駆動回路において、
前記容量性表示素子 (4) に対し前記駆動用 I C (5) を通じて異なる極性の駆動電圧を交互に印加する構成を採用する場合に、

前記駆動用電源 (9) のプラス側端子と前記容量性表示素子 (4) の充電動作を行うための第 1 のスイッチング素子 (7) との間に、アノードが前記駆動用電源 (9) 側となるように接続された第 1 のダイオード (2 2) と、

30

前記駆動用電源 (9) のマイナス側端子と前記容量性表示素子 (4) の放電動作を行うための第 2 のスイッチング素子 (8) との間に、カソードが前記駆動用電源 (9) 側となるように接続された第 2 のダイオード (2 3) と、

前記第 1 のダイオード (2 2) のアノードと前記第 2 のダイオード (2 3) のカソードとの間に直列接続された第 1 及び第 2 の補助スイッチング素子 (2 4 、 2 6) と、

前記第 1 のダイオード (2 2) のカソード側と前記第 1 及び第 2 のスイッチング素子 (2 4 、 2 6) の共通接続点との間に直列接続された第 1 のコンデンサ (2 8) 及び第 3 のスイッチング素子 (2 5) と、

40

前記第 2 のダイオード (2 3) のアノード側と前記第 1 及び第 2 のスイッチング素子 (2 4 、 2 6) の共通接続点との間に直列接続された第 2 のコンデンサ (2 9) 及び第 4 のスイッチング素子 (2 7) とを備え、

前記容量性表示素子 (4) に正極性の駆動電圧を印加する際には、
前記駆動用電源 (9) のマイナス側端子を、そのプラス側端子の電位がプラス電位となる基準電位に固定した状態で、

前記第 2 及び第 3 の補助スイッチング素子 (2 6 、 2 5) を、前記容量性表示素子 (4) に正極性電圧を印加する期間を含む所定期間だけオンすることにより、前記駆動用電源 (9) から前記第 1 のダイオード (2 2) を通じて前記第 1 のコンデンサ (2 8) に充電電流を供給する電流経路と、前記容量性表示素子 (4) の充電エネルギーを前記第 1 のコン

50

デンサ(28)に充電電流として供給する電流経路とを形成し、

この後の所定タイミングで第2の補助スイッチング素子(26)をオフすると共に第1の補助スイッチング素子(24)をオンすることにより、前記第1のコンデンサ(28)の充電電荷を前記駆動用電源(9)の出力電圧に重畳させる制御を行い、

前記容量性表示素子(4)に負極性の駆動電圧を印加する際には、

前記駆動用電源(9)のプラス側端子を、そのマイナス側端子の電位がマイナス電位となる基準電位に固定した状態で、

前記第1及び第4の補助スイッチング素子(24、27)を、前記容量性表示素子(4)に負極性電圧を印加する期間を含む所定期間だけオンすることにより、前記駆動用電源(9)から当該第1及び第4の補助スイッチング素子(24、27)を通じて前記第2のコンデンサ(29)に充電電流を供給し、

この後の所定タイミングで第1の補助スイッチング素子(24)をオフすると共に第2の補助スイッチング素子(26)をオンすることにより、前記第2のコンデンサ(29)の充電電荷を前記駆動用電源(9)の出力電圧に重畳させる制御を行うことを特徴とする表示装置用駆動回路。

【請求項7】

請求項6記載の表示装置用駆動回路において、

前記容量性表示素子(4)に正極性の駆動電圧を印加する場合に、

前記第1のコンデンサ(28)の充電電荷を前記駆動用電源(9)の出力電圧に重畳させる制御を行った後に、前記第1の補助スイッチング素子(24)をオフすると共に第2の補助スイッチング素子(26)をオンすることにより、前記容量性表示素子(4)の充電エネルギーを前記第1のコンデンサ(28)に充電電流として供給する電流経路を形成する制御を行うことを特徴とする表示装置用駆動回路。

【請求項8】

請求項6または7記載の表示装置用駆動回路において、

前記第2のコンデンサ(29)の充電電荷を前記駆動用電源(9)の出力電圧に重畳させる制御を行った後に、前記第2の補助スイッチング素子(26)をオフすると共に第1の補助スイッチング素子(24)をオンすることにより、前記容量性表示素子(4)の充電エネルギーを前記第2のコンデンサ(29)に充電電流として供給する電流経路を形成する制御を行うことを特徴とする表示装置用駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、駆動電圧の印加に応じて光学的特性が変わる複数の容量性表示素子を備えた表示装置用の駆動回路に関する。

【0002】

【発明が解決しようとする課題】

例えば、複数の容量性表示素子を備えたマトリクス型EL表示装置のためのロウ側(走査側)ドライバICにあっては、これを構成する複数のスイッチング素子(一般的にはFET)に比較的大きな充放電電流が流れるものであり、特にEL表示装置の容量が大きい場合には、当該ドライバICでの消費電力(主に各スイッチング素子でのスイッチング損失)が増大して発熱量が大きくなるため、これに伴う温度上昇に起因して誤動作する恐れがあった。

【0003】

本発明は上記事情に鑑みてなされたものであり、その目的は、駆動用ICでの消費電力を小さくできて、表示装置を常時において安定した状態で動作させ得る表示装置用駆動回路を提供することにある。

【0004】

【課題を解決するための手段】

上記目的を達成するために請求項1記載の手段を採用できる。一般的に、容量Cを電圧

10

20

30

40

50

Vで充放電する場合、その充放電エネルギーの理論値は、充放電経路の抵抗成分とは無関係に $C V^2$ になる。上記手段によれば、容量性表示素子(4)の充放電経路に、駆動用IC(5)外の第1および第2のトランジスタ(10、11)と駆動用IC(5)内のスイッチング素子とが直列に挿入された状態となるため、その充放電時には、第1および第2のトランジスタ(10、11)及びスイッチング素子での消費電力が、それらの内部損失の割合で配分されるようになり、駆動用IC(5)での消費電力が相対的に小さくなる。すなわち、容量性表示素子(4)の充放電エネルギーが、駆動用IC(5)内のスイッチング素子と、当該駆動用IC(5)外の第1および第2のトランジスタ(10、11)とで分担されるようになるから、駆動用IC(5)での消費電力が相対的に小さくなる。この結果、駆動用IC(5)での発熱量が小さくなって温度上昇が抑制されるため、その駆動用IC(5)が誤動作する可能性が低くなり、駆動対象である表示装置(1)を常時において安定した状態で動作させ得るようになる。

10

【0007】

また、駆動用IC(5)は、容量性表示素子(4)の充電電流を流すための第1のスイッチング素子(7)と、容量性表示素子(4)の放電電流を流すための第2のスイッチング素子(8)とより成るプッシュプル回路構成を備えている。そして、第1のトランジスタ(10)が第1のスイッチング素子(7)の導通後に導通され、第2のトランジスタ(11)が第2のスイッチング素子(8)の導通後に導通されることになる。第1および第2のトランジスタ(10、11)を抵抗成分として考えた場合、その抵抗成分の大きさは非導通状態と導通状態との間で無限大からオン抵抗までの範囲で変化することになる。このため、上記のように第1および第2のトランジスタ(10、11)がスイッチング素子(7、8)の導通後に導通される場合には、第1および第2のトランジスタ(10、11)の両端に加わる電位差が相対的に大きくなって、そのスイッチング損失(非導通状態及び導通状態間での切換動作が行われるときの過渡状態での損失)が増大するようになる。この結果、駆動用IC(5)での消費電力が一段と小さくなるから、その駆動用IC(5)の温度上昇を効果的に抑制できるようになって、これが誤動作する可能性をさらに低くできる。

20

【0009】

また、駆動用IC(5)を、第1のスイッチング素子(7)及び第2のスイッチング素子(8)によるプッシュプル回路構成とした場合には、その制御性が向上するから、例えば、駆動対象の表示装置に印加する駆動電圧の極性を交互に反転させる必要がある場合に、その駆動を容易に行い得るようになる。

30

【0010】

請求項2記載の手段のように、前記プッシュプル回路構成を、Pチャネル型LDMOS(7)及びNチャネル型LDMOS(8)により構成する場合には、その耐圧を向上させることができ、また、それらの駆動に必要なゲート電流を小さくできるため、低消費電力化を図る上で有益になる。

【0011】

請求項3記載の手段のように、前記プッシュプル回路構成を、SCR(35、36)により構成する場合には、当該SCR(35、36)がオン状態にラッチアップされる素子であるため、大きな出力電流を得ることができる。従って、電圧を分担するための第1および第2のトランジスタ(10、11)との間で消費電力を分配する際に、分配の割合が小さくなり、駆動用IC(5)の低消費電力化が可能になる。また、大きな出力電流が得られる結果、容量性表示素子(4)に対する充電速度を高めることができ、結果的に、その容量性表示素子(4)の輝度向上も可能になる。

40

【0012】

この場合、請求項4記載の手段のように、SCR(35、36)と逆並列状態で第1及び第2の放電用ダイオード(37、38)を接続した場合には、SCR(35、36)の動作が遅いという性質をカバーできるようになる。

【0013】

50

請求項5記載の手段によれば、第1の補助スイッチング素子(18)がオンされたときに、駆動用電源(9)からダイオード(16)を通じてコンデンサ(19)に充電電流が供給され、その後第1の補助スイッチング素子(18)がオフされると共に第2の補助スイッチング素子(17)がオンされたときには、コンデンサ(19)の充電電荷が駆動用電源(9)の出力電圧に重畳されるようになる。この結果、容量性表示素子(4)の駆動電圧が段階的に上昇されることになって、全体の消費エネルギーが減少するようになるため、駆動用IC(5)での発熱量が小さくなって、その温度上昇を抑制できることになる。また、第1の補助スイッチング素子(18)のオン状態時に、容量性表示素子(4)に対する駆動電圧の印加が停止されたときには、その容量性表示素子(4)の充電エネルギーがコンデンサ(19)に充電電流として供給されることになるから、供給エネルギーの一部をコンデンサ(19)で回収して再利用する形態となり、以て低消費電力化に効果を発揮できるようになる。

10

【0014】

請求項6記載の手段によれば、容量性表示素子(4)に正極性の駆動電圧を印加する際には、駆動用電源(9)のマイナス側端子が所定の基準電位に固定される。この状態で、第2及び第3の補助スイッチング素子(26、25)がオンされたときに、駆動用電源(9)から第1のダイオード(22)を通じて第1のコンデンサ(28)に充電電流が供給され、その後第2の補助スイッチング素子(26)がオフされる共に第1の補助スイッチング素子(24)がオンされたときには、第1のコンデンサ(28)の充電電荷が駆動用電源(9)の出力電圧に重畳される。この結果、容量性表示素子(4)に正極性の駆動電圧を印加する場合、容量性表示素子(4)の駆動電圧が段階的に上昇されることになる。また、第2及び第3の補助スイッチング素子(26、25)のオン状態時に、容量性表示素子(4)に対する駆動電圧の印加が停止されたときには、その容量性表示素子(4)の充電エネルギーが第1のコンデンサ(28)に充電電流として供給されることになる。

20

【0015】

容量性表示素子(4)に負極性の駆動電圧を印加する際には、駆動用電源(9)のプラス側端子が所定の基準電位に固定される。この状態で、第1及び第4の補助スイッチング素子(24、27)がオンされたときに、駆動用電源(9)から当該第1及び第4の補助スイッチング素子(24、27)を通じて第2のコンデンサ(29)に充電電流が供給され、その後第1の補助スイッチング素子(24)がオフされると共に第2の補助スイッチング素子(26)がオンされたときには、第2のコンデンサ(29)の充電電荷が駆動用電源(9)の出力電圧に重畳される。この結果、容量性表示素子(4)に負極性の駆動電圧を印加する場合においても、容量性表示素子(4)の駆動電圧が段階的に上昇されることになる。また、第1及び第4の補助スイッチング素子(24、27)のオン状態時に、容量性表示素子(4)に対する駆動電圧の印加が停止されたときには、その容量性表示素子(4)の充電エネルギーが第2のコンデンサ(29)に充電電流として供給されることになる。

30

【0016】

従って、容量性表示素子(4)に正極性の駆動電圧を印加する場合並びに負極性の駆動電圧を印加する場合の何れにおいても、駆動電圧が段階的に上昇されることになって、全体の消費エネルギーが減少するようになるため、駆動用IC(5)での発熱量が小さくなって、その温度上昇を抑制できることになる。また、正極性の駆動電圧の印加期間には容量性表示素子(4)の充電エネルギーが第1のコンデンサ(28)に充電電流として供給されて再利用され、負極性の駆動電圧の印加期間には、容量性表示素子(4)の充電エネルギーが第2のコンデンサ(29)に充電電流として供給されて再利用されるから、低消費電力化に効果を発揮できるようになる。

40

【0017】

請求項7記載の手段によれば、容量性表示素子(4)に正極性の駆動電圧を印加する場合において、第1のコンデンサ(28)の充電電荷を駆動用電源(9)の出力電圧に重畳させる制御が行われた後に、容量性表示素子(4)の充電エネルギーが第1のコンデンサ(

50

28) に充電電流として供給される結果、駆動電圧が段階的に低下される。このため、全体の消費エネルギーが一段と減少するようになり、駆動用IC(5)の温度上昇の抑制効果をさらに高めることができる。

【0018】

請求項8記載の手段によれば、容量性表示素子(4)に負極性の駆動電圧を印加する場合において、第2のコンデンサ(29)の充電電荷を駆動用電源(9)の出力電圧に重畳させる制御が行われた後に、容量性表示素子(4)の充電エネルギーが第2のコンデンサ(29)に充電電流として供給される結果、駆動電圧が段階的に低下される。このため、全体の消費エネルギーが一段と減少するようになり、駆動用IC(5)の温度上昇の抑制効果をさらに高めることができる。

10

【0019】

【発明の実施の形態】

(第1の実施の形態)

以下、本発明をマトリクス型EL表示装置のためのロウ側ドライバICに適用した第1実施例について図1及び図2を参照しながら説明する。

全体構成を示す図1において、マトリクス型EL表示装置(以下、表示装置と略称)1は、図示しないEL発光層の一方の面に複数の走査電極2(ロウライン)を平行配列すると共に、当該EL発光層の他方の面に複数のデータ電極3(カラムライン)を上記走査電極2と直交した状態で平行配列した構成のものであり、走査電極2及びデータ電極3の各交差領域にEL表示素子4(本発明でいう容量性表示素子に相当)が形成されている。

20

【0020】

表示装置1には、走査電極2群にロウ側ドライバIC5(本発明でいう駆動用ICに相当)を通じて駆動電圧としての走査電圧が印加されるようになっており、また、データ電極3群には、図示しないカラム側ドライバICを通じてデータ電圧が印加されるようになっている。

【0021】

上記ロウ側ドライバIC(以下、ドライバIC)5には、前記表示装置1の走査電極2と同じ数の出力端子5aが設けられており、これらの出力端子5aが走査電極2に対し1対1で接続されている。ドライバIC5の出力段には、上記出力端子5aに対し走査電圧を個別に与えるための複数の出力回路6が設けられている。

30

【0022】

この出力回路6は、具体的には図2に示すような回路構成となっている。図2において、出力回路6は、第1電源端子P1と第2電源端子P2との間に、Pチャネル型LDMOS7(本発明でいう第1のスイッチング素子に相当)及びNチャネル型LDMOS8(本発明でいう第2のスイッチング素子に相当)を直列に接続した状態となっており、それらの共通接続点に出力端子Qを接続したプッシュプル構成とされている。

【0023】

図1に翻って、前記出力回路6にあっては、その出力端子QがドライバICの出力端子5aに接続され、第1電源端子P1及び第2電源端子P2がドライバIC5の電源端子5b及び5cにそれぞれ接続されている。そして、ドライバIC5の外部には、比較的高い電圧レベル(例えば250V前後)の駆動電圧を出力するための駆動用電源9が設けられており、この駆動用電源9のプラス側端子(+)とドライバIC5の電源端子5bとの間に、Pチャネル型パワーMOSFET10(本発明でいう負荷及び第1のトランジスタに相当)が接続され、当該駆動用電源9のマイナス側端子(-)とドライバIC5の電源端子5cとの間に、Nチャネル型パワーMOSFET11(本発明でいう負荷及び第2のトランジスタに相当)が接続されている。そして、上記パワーMOSFET10は、ドライバIC5内のLDMOS7が導通した後に導通するように制御され、また、上記パワーMOSFET11は、ドライバIC5内のLDMOS8が導通した後に導通するように制御される。

40

【0024】

50

尚、図示しないが、ドライバIC5内には、上記出力回路6の他に、外部からの指令に応じて当該出力回路6内のLDMOS7及び8のオンオフ制御を行うための制御回路などが作り込まれており、それらLDMOS7及び8は、上記制御回路からのオン指令信号に基づいて何れか一方が選択的にオンされる構成となっている。この場合、前記パワーMOSFET10及び11のオンオフ制御は、上記制御回路により行う構成とすることが現実的である。

【0025】

上記した本実施例の構成によれば、表示装置1のEL表示素子4に充電電流を供給するために出力回路6内のLDMOS7をオンするときには、そのオン後にパワーMOSFET10がオンされるようになり、この状態では、駆動用電源9のプラス側端子(+)からパワーMOSFET10、LDMOS7及び走査電極2を介して充電電流が流れるようになる。また、EL表示素子4の充電電荷を放電するために出力回路6内のLDMOS8をオンするときには、そのオン後にパワーMOSFET11がオンされるようになり、この状態では、駆動用電源9のマイナス側端子(-)に対し走査電極2、LDMOS8及びパワーMOSFET11を介して放電電流が流れ込むようになる。

10

【0026】

ここで、上記のようなEL表示素子4の充放電動作が行われる場合、EL表示素子4全体の合成容量をC、印加電圧をVとした場合、その充放電エネルギーの理論値は、充放電経路の抵抗成分とは無関係に CV^2 に比例した値となる。一方、パワーMOSFET10及び11を抵抗成分として考えた場合、その抵抗成分の大きさは非導通状態と導通状態との間で無限大からオン抵抗までの範囲で変化することになる。

20

【0027】

このため、上記のように各パワーMOSFET10及び11がそれぞれに対応したLDMOS7及び8の各導通後に導通される場合には、EL表示素子4の充放電電流が流れる期間において、当該MOSFET10及び11の両端に加わる電位差がLDMOS7及び8の両端に加わる電位差に比べて相対的に大きくなって、パワーMOSFET10及び11でのスイッチング損失(非導通状態及び導通状態間での切換動作が行われるときの過渡状態での損失)が増大するようになる。これに対して、LDMOS7及び8には、充放電電流が流れる状態時でもオン抵抗に依存した比較的小さいレベルの飽和損失が生ずるだけである。この結果、EL表示素子4の充放電エネルギーは、パワーMOSFET10及び11側でより多く消費されるようになって、ドライバIC5での消費電力が相対的に小さくなる。この結果、ドライバIC5での発熱量が小さくなって温度上昇が抑制されるため、そのドライバIC5が誤動作する可能性が低くなり、表示装置1を常時において安定した状態で動作させ得るようになる。また、ドライバIC5内の出力回路6は、LDMOS7及び8をプッシュプル接続して構成されているから、その制御性並びに耐圧が向上するようになる。しかも、このようにPチャンネル型LDMOS7及びNチャンネル型LDMOS8を用いる場合には、それらの駆動に必要なゲート電流を小さくできるため、低消費電力化を図る上で有益になる。

30

【0028】

尚、パワーMOSFET10及び11は、ドライバIC5の外部に設けられるものであってディスクリート部品を使用できるから、その放熱設計を容易に行うことができる利点がある。また、2個のMOSFET10及び11を設けるだけで済むから、構造の複雑化を極力抑止できる。

40

【0029】

(参考例)

図3には本発明の参考例が示されており、以下これについて前記第1実施例と異なる部分のみ説明する。

この参考例では、駆動用電源9のプラス側端子(+)とドライバIC5の電源端子5bとの間に接続する負荷として、第1実施例におけるパワーMOSFET10に代えて抵抗素子12を設けると共に、駆動用電源9のマイナス側端子(-)とドライバIC5の電源

50

端子5cとの間に接続する負荷として、第1実施例におけるパワーMOSFET11に代えて抵抗素子13を設ける構成としている。

【0030】

このような参考例の構成によれば、EL表示素子4の充電経路に抵抗素子12とLDMOS7とが直列に挿入された状態となり、また、EL表示素子4の放電経路に抵抗素子13とLDMOS8とが直列に挿入された状態となる。このため、そのEL表示素子4の充電時には、抵抗素子12及びLDMOS7での消費電力が、それらのインピーダンスの割合で配分されると共に、EL表示素子4の放電時には、抵抗素子13及びLDMOS8での消費電力が、それらのインピーダンスの割合で配分されるようになる。つまり、EL表示素子4の充放電エネルギーが、ドライバIC5内のLDMOS7及び8と当該ドライバIC5外に設けられた抵抗素子12及び13とで分担されるようになるから、結果的にドライバIC5での消費電力が相対的に小さくなる。このため、ドライバIC5での発熱量が小さくなって温度上昇が抑制されるため、そのドライバIC5が誤動作する可能性が低くなり、表示装置1を常時において安定した状態で動作させ得るようになる。また、2個の抵抗素子12及び13を設けるだけで済むから、構造の複雑化を抑制できる。

10

【0031】

(第2の実施の形態)

図4及び図5には本発明の第2実施例が示されており、以下これについて前記第1実施例と異なる部分のみ説明する。

この第2実施例は、EL表示素子4(図1参照)に印加する駆動電圧を段階的に変化させると同時に、そのEL表示素子4に対する充電エネルギーをリサイクルするステップ・リサイクル回路15(図4参照)を設けた点に特徴を有する。

20

【0032】

主要部の構成を示す図4において、ステップ・リサイクル回路15は、ダイオード16、Pチャンネル型MOSFET17(第2の補助スイッチング素子に相当)、Nチャンネル型MOSFET18(第1の補助スイッチング素子に相当)及びコンデンサ19によって構成される。

【0033】

具体的には、駆動用電源9のプラス側端子(+)とロウ側ドライバIC5内のLDMOS7との間(本実施例の場合、当該プラス側端子(+)とパワーMOSFET10との間)に、ダイオード16が順方向に介在される。このダイオード16のアノード側と駆動用電源9のマイナス側端子(-)との間には、Pチャンネル型MOSFET17及びNチャンネル型MOSFET18が直列に接続される。また、ダイオード16のカソード側と上記MOSFET17及び18の共通接続点との間にコンデンサ19が接続される。

30

【0034】

この場合、MOSFET18は、ドライバICの出力端子Qに接続されたEL表示素子4の充電動作開始当初の期間を含む所定期間にオンされるように設けられている。従って、そのオン状態では、駆動用電源9からダイオード16を通じてコンデンサ19に充電電流を供給する電流経路と、EL表示素子4の充電エネルギーを、LDMOS7と逆並列接続された状態の寄生ダイオード(図4では図示せず)及びパワーMOSFET10を通じてコンデンサ19に充電電流として供給する電流経路とが形成される。また、MOSFET17は、MOSFET18のオフ後に所定期間だけオンするように設けられており、そのオン状態では、コンデンサ19の充電電荷が、駆動用電源9の出力電圧に重畳されるようになる。

40

【0035】

図5には本実施例の作用を説明するための模式図が示されている(LDMOS7及び8、パワーMOSFET10及び11、MOSFET17及び18をスイッチ記号で略記し、それぞれの寄生ダイオードを図示)。この図5において、EL表示素子4に充電電流を供給するときには、図5(a)に示すようにMOSFET18並びにLDMOS7をオンさせた後に、図5(b)に示すようにパワーMOSFET10をオンする。すると、MOS

50

F E T 1 8 のオンに応じて、図 5 (a) に破線矢印 A で示すように、駆動用電源 9 からダイオード 1 6 を通じてコンデンサ 1 9 に充電電流を供給する電流経路が形成され、駆動用電源 9 によるコンデンサ 1 9 の充電動作が行われる。また、L D M O S 7 及びパワー M O S F E T 1 0 のオンに応じて、図 5 (b) に破線矢印 B で示すように、駆動用電源 9 のプラス側端子 (+) からダイオード 1 6 、パワー M O S F E T 1 0 、L D M O S 7 を介して E L 表示素子 4 の充電電流が流れるようになる。このとき、E L 表示素子 4 に印加される駆動電圧は、駆動用電源 9 の出力電圧に対応したレベルとなる。

【 0 0 3 6 】

この後に、図 5 (c) に示すように、M O S F E T 1 8 をオフすると共に M O S F E T 1 7 をオンすると、同図に破線矢印 (C) で示すように、コンデンサ 1 9 の充電電荷が駆動用電源 9 の出力電圧に重畳されるようになる。このとき、E L 表示素子 4 に印加される駆動電圧は、駆動用電源 9 の出力電圧の 2 倍相当値になる。これにより、E L 表示素子 4 に印加される駆動電圧が段階的に上昇 (2 段階に変化) することになる。

【 0 0 3 7 】

この状態から、図 5 (d) に示すように、M O S F E T 1 7 をオフすると共に M O S F E T 1 8 をオンすると、同図に破線矢印 D で示すように、E L 表示素子 4 の充電エネルギーを、L D M O S 7 と逆並列状態で接続された寄生ダイオード、パワー M O S F E T 1 0 並びに M O S F E T 1 8 を通じてコンデンサ 1 9 に充電電流として供給する電流経路が形成される。これにより、E L 表示素子 4 に供給したエネルギーの一部を回収して再利用できるようになる。

【 0 0 3 8 】

この第 2 実施例のように、E L 表示素子 4 の駆動電圧を段階的に上昇させる構成とした場合には、全体の消費エネルギーが減少するようになってドライバ I C 5 での発熱量が小さくなり、その温度上昇を抑制できることになる。また、E L 表示素子 4 の充放電時には、パワー M O S F E T 1 0 及び 1 1 でのスイッチング損失が第 1 実施例と同様に相対的に増大するようになるから、結果的にドライバ I C 5 での消費電力を一段と小さくできて、その温度上昇をさらに効果的に抑制できるようになる。しかも、供給エネルギーの一部を回収して再利用する構成となっているから、低消費電力化に効果を発揮できるようになる。

尚、本実施例では、E L 表示素子 4 に印加する駆動電圧を 2 段階に変化させる構成としたが、さらに多段階に変化させる構成とすれば、より良い効果を期待できることになる。

【 0 0 3 9 】

(第 3 の実施の形態)

図 6 ないし図 1 0 には本発明の第 3 実施例が示されており、以下これについて前記第 1 実施例と異なる部分のみ説明する。

この第 3 実施例は、表示装置 1 の走査電極 2 に対し異なる極性の駆動電圧を交互に印加する構成を採用する場合において、E L 表示素子 4 に印加する駆動電圧を段階的に変化させると同時に、E L 表示素子 4 に対する充電エネルギーを確実にリサイクルできる構成を提供しようとするものである。

【 0 0 4 0 】

まず、図 7 において、表示装置 1 を駆動するときには、走査電極 2 に対して正負のフィールド毎に異なる極性の走査電圧 (駆動電圧) を印加すると共に、データ電極 3 に対して異なるレベルのデータ電圧を選択的に印加するものである。具体的には、ロウ側ドライバ I C 5 から走査電極 2 に対して、正極性の例えば + 2 5 0 V の走査電圧を印加した状態と、負極性の例えば - 2 0 0 V の走査電圧を印加した状態とに交互に切替える。また、これに同期して、発光対象の E L 表示素子 4 のデータ電極 3 に対し、カラム側ドライバ I C 2 0 (基本的にはロウ側ドライバ I C 5 と同様の構成) から、例えば 0 V のデータ電圧を印加した状態と、+ 5 0 V のデータ電圧を印加した状態とに交互に切替える。この結果、E L 表示素子 4 の両端には、正フィールド期間に + 2 5 0 V の電位差が加えられ、負フィールド期間に - 2 5 0 V の電位差が加えられるようになり、このような電位差が印加される各期間に E L 表示素子 4 が発光状態に切替えられる。

【0041】

主要部の構成を示す図6において、ステップ・リサイクル回路21は、第1のダイオード22、第2のダイオード23、Pチャネル型MOSFET24、25（それぞれ第1の補助スイッチング素子、第3の補助スイッチング素子に相当）、Nチャネル型MOSFET26、27（それぞれ第2の補助スイッチング素子、第4の補助スイッチング素子に相当）、第1のコンデンサ28、第2のコンデンサ29によって構成される。

【0042】

具体的には、駆動用電源9のプラス側端子(+)とロウ側ドライバIC5内のLDMOS7との間（本実施例の場合、当該プラス側端子(+)とパワーMOSFET10との間）に、第1のダイオード22が順方向に介在される。また、駆動用電源9のマイナス側端子(-)とドライバIC5内のLDMOS8との間（本実施例の場合、当該マイナス側端子(-)とパワーMOSFET11との間）に、第2のダイオード23が順方向に介在される。

10

【0043】

第1のダイオード22のアノードと第2のダイオード23のカソードの間には、MOSFET24及び26が直列接続される。また、第1のダイオード22のカソードとMOSFET24及び26の共通接続点の間には、第1のコンデンサ28及びMOSFET25が直列接続され、第2のダイオード23のアノードとMOSFET24及び26の共通接続点の間には、第2のコンデンサ29及びMOSFET27が直列接続される。

【0044】

一方、駆動用電源9のプラス側端子(+)は、Nチャネル型MOSFET30を介して例えば接地電位(0V)の基準電位端子31に接続され、そのマイナス側端子(-)は、Pチャネル型MOSFET32を介して例えば50Vの基準電位端子33に接続される。

20

【0045】

この場合、表示装置1の駆動時において、正フィールド期間（EL表示素子4に正極性の駆動電圧を印加する期間）にはMOSFET32がオンされ、負フィールド期間（EL表示素子4に負極性の駆動電圧を印加する期間）にはMOSFET30がオンされる。本実施例では、駆動用電源9の出力電圧を100Vとしており、従って、正フィールド期間には、MOSFET32のオンに応じて、駆動用電源9のマイナス側端子(-)が基準電位である50Vに固定され、これに伴い駆動用電源9のプラス側端子(+)の電位が150Vにシフトされる。また、負フィールド期間には、MOSFET30のオンに応じて、駆動用電源9のプラス側端子(+)が基準電位である0Vに固定され、これに伴い駆動用電源9のマイナス側端子(-)の電位が-100Vにシフトされる

30

図8及び図9には本実施例の作用を説明するための模式図が示されている（LDMOS7及び8、パワーMOSFET10及び11、MOSFET24、25、26、27をスイッチ記号で略記すると共に、それぞれの寄生ダイオードを図示し、MOSFET30及び32の図示を省略）。

【0046】

まず、図8に基づいて正フィールド期間における作用を説明する。尚、正フィールド期間には、前述したように駆動用電源9のマイナス側端子(-)が基準電位である50Vに固定される。この正フィールド期間において、EL表示素子4に充電電流を供給するときには、図8(a)に示すように、MOSFET25、26並びにLDMOS7をオンした後にはパワーMOSFET10をオンする。すると、MOSFET25、26のオンに応じて、同図に破線矢印Aで示すように、駆動用電源9から第1のダイオード22を通じて第1のコンデンサ28に充電電流を供給する電流経路が形成され、駆動用電源9による第1のコンデンサ28の充電動作が行われる。また、LDMOS7及びパワーMOSFET10のオンに応じて、駆動用電源9のプラス側端子(+)から第1のダイオード22、パワーMOSFET10、LDMOS7を介してEL表示素子4の走査電極2に走査電圧が印加される。このときに印加される走査電圧は150Vになる。

40

【0047】

50

この後に、図8(b)に示すように、MOSFET26をオフすると共にMOSFET24をオンすると、同図に破線矢印Bで示すように、第1のコンデンサ28の充電電荷が駆動用電源9の出力電圧(150V)に重畳されるようになる。このとき、EL表示素子4の走査電極2に印加される走査電圧は250Vになる。これにより、EL表示素子4に印加される走査電圧が段階的に変化することになる。

【0048】

この状態から、図8(c)に示すように、MOSFET24をオフすると共にMOSFET26を再びオンすると、同図に破線矢印Cで示すように、EL表示素子4の充電エネルギーを、LDMOS7と逆並列状態で接続された寄生ダイオード、パワーMOSFET10、MOSFET25、26を通じて第1のコンデンサ28に充電電流として供給する電流経路が形成され、これに応じて、EL表示素子4の走査電極2に印加される走査電圧が150Vに変化される。そして、このような電流経路が形成される結果、EL表示素子4に供給したエネルギーの一部を回収して再利用できるようになる。

10

【0049】

この後に、図8(d)に示すように、MOSFET25、26をオフし、且つLDMOS7に代えてLDMOS8をオンした後に、パワーMOSFET11をオンする(パワーMOSFET10はオフする)。すると、第1のコンデンサ28のチャージが保持された状態とされる共に、EL表示素子4の走査電極2に印加される走査電圧が、LDMOS8、パワーMOSFET11及びダイオード23を通じて初期値である50Vに変化される。

【0050】

20

要するに、正フィールド期間においてEL表示素子4の走査電極2に印加される走査電圧は、図10(a)に示すように、50V 150V 250V 150V 50Vとなるように段階的に変化される。このとき、EL表示素子4のデータ電極3に対しては、同図(a)に示すように、非発光期間に50Vのデータ電圧が印加されると共に、所定の発光期間に0Vのデータ電圧が印加される。つまり、EL表示素子4は、その走査電極2及びデータ電極3間の電位差が250Vとなる期間に発光されることになる。

【0051】

次に、図9に基づいて負フィールド期間における作用を説明する。尚、負フィールド期間には、前述したように駆動用電源9のプラス側端子(+)が基準電位である0Vに固定される。この負フィールド期間において、EL表示素子4に充電電流を供給するときには、図9(a)に示すように、MOSFET24、27並びにLDMOS8をオンした後にパワーMOSFET11をオンする。すると、MOSFET24、27のオンに応じて、同図に破線矢印Aで示すように、駆動用電源9から当該MOSFET24、27及びダイオード23を通じて第2のコンデンサ29に充電電流を供給する電流経路が形成され、駆動用電源9による第2のコンデンサ29の充電動作が行われる。また、LDMOS8及びパワーMOSFET11のオンに応じて、EL表示素子4の走査電極2(ドライバIC5の出力端子Q)が、駆動用電源9のマイナス側端子(-)に対して、LDMOS8、パワーMOSFET11及びダイオード23を介して接続されるようになり、その走査電極2に-100Vの走査電圧が印加される。

30

【0052】

40

この後に、図9(b)に示すように、MOSFET24をオフすると共にMOSFET26をオンすると、同図に破線矢印Bで示すように、第2のコンデンサ29の充電電荷が駆動用電源9の出力電圧(-100V)に重畳されるようになる。このとき、EL表示素子4の走査電極2に印加される走査電圧は-200Vになる。これにより、EL表示素子4に印加される走査電圧が段階的に変化することになる。

【0053】

この状態から、図9(c)に示すように、MOSFET26をオフすると共にMOSFET24を再びオンすると、同図に破線矢印Cで示すように、EL表示素子4の充電エネルギーを、LDMOS8と逆並列状態で接続された寄生ダイオード、パワーMOSFET11、MOSFET24、27を通じて第2のコンデンサ29に充電電流として供給する電流

50

経路が形成され、これに応じて、EL表示素子4の走査電極2に印加される走査電圧が-100Vに変化される。そして、このような電流経路が形成される結果、EL表示素子4に供給したエネルギーの一部を回収して再利用できるようになる。

【0054】

この後に、図9(d)に示すように、MOSFET24、27をオフし、且つLDMOS8に代えてLDMOS7をオンした後に、パワーMOSFET10をオンする(パワーMOSFET11はオフする)。すると、第2のコンデンサ29のチャージが保持された状態とされる共に、EL表示素子4の走査電極2に印加される走査電圧が、LDMOS7、パワーMOSFET10及びダイオード22を通じて初期値である0Vに変化される。

【0055】

要するに、負フィールド期間においてEL表示素子4の走査電極2に印加される走査電圧は、図10(b)に示すように、0V - 100V - 200V - 100V 0Vとなるように段階的に変化される。このとき、EL表示素子4のデータ電極3に対しては、同図(b)に示すように、非発光期間に0Vのデータ電圧が印加されると共に、所定の発光期間に50Vのデータ電圧が印加される。つまり、EL表示素子4は、その走査電極2及びデータ電極3間の電位差が-250Vとなる期間に発光されることになる。

【0056】

この第3実施例においても、EL表示素子4の駆動電圧が段階的に変化されるから、全体の消費エネルギーが減少するようになってドライバIC5での発熱量が小さくなり、その温度上昇を抑制できることになる。しかも、供給エネルギーの一部を回収して再利用する構成となっているから、低消費電力化に効果を発揮できるようになる。特に、本実施例のように、EL表示素子4に対し異なる極性の走査電圧を交互に印加する構成とした場合、前記第2実施例のようなステップ・リサイクル回路15では、コンデンサ19のチャージが放電してしまうため所期の目的を達成できなくなるが、本実施例におけるステップ・リサイクル回路20によれば、第1のコンデンサ28及び第2のコンデンサ29のチャージが不要に放電することがなくなり、EL表示素子4に対する充電エネルギーを確実にリサイクルできるようになる。また、出力回路6は、制御性が良好となるプッシュプル回路構成となっているから、本実施例のように駆動電圧の極性を交互に反転させる場合において、その駆動を容易に行い得るようになる。

【0057】

(第4の実施の形態)

図11ないし図13には、上記第3実施例に変更を加えた本発明の第4実施例が示されており、以下これについて当該第3実施例と異なる部分のみ説明する。

この第4実施例では、ドライバIC5の出力段の構成を変更している。即ち、本実施例では、第3実施例における出力回路6(図6参照)に代えて、出力回路34が設けられている。この出力回路34は、ドライバIC5の電源端子5bと5cとの間にSCR35及び36(本発明でいう第1及び第2のスイッチング素子に相当)を直列に接続した状態となっており、それらの共通接続点に出力端子Q(ドライバICの出力端子に対応)を接続したプッシュプル回路構成とされている。また、各SCR35及び36には、それらと逆並列状態で第1及び第2の放電用ダイオード37及び38がそれぞれ接続される。さらに、駆動用電源9のマイナス側端子とドライバIC5の電源端子5bとの間には、例えばMOSFETより成るスイッチング素子39(スイッチ記号で示す)が接続され、駆動用電源9のプラス側端子とドライバIC5の電源端子5cとの間には、例えばMOSFETより成るスイッチング素子40(スイッチ記号で示す)が接続される。

【0058】

図12及び図13には本実施例による充放電電流の流れを説明するための模式図が示されている(パワーMOSFET10及び11、MOSFET24、25、26、27をスイッチ記号で略記すると共に、パワーMOSFET10及び11の寄生ダイオードを図示し、MOSFET30及び32の図示を省略)。

【0059】

駆動用電源 9 のマイナス側端子 (-) が基準電位である 50 V に固定される正フィールド期間において、EL 表示素子 4 に充電電流を供給するときには、まず、図 12 (a) に示すように、MOSFET 25、26 並びに SCR 35 をオンした後にパワー MOSFET 10 をオンする。すると、MOSFET 25、26 のオンに応じて、同図に破線矢印 A で示すように、駆動用電源 9 から第 1 のダイオード 22 を通じて第 1 のコンデンサ 28 に充電電流を供給する電流経路が形成され、駆動用電源 9 による第 1 のコンデンサ 28 の充電動作が行われる。また、SCR 35 及びパワー MOSFET 10 のオンに応じて、駆動用電源 9 のプラス側端子 (+) から第 1 のダイオード 22、パワー MOSFET 10、SCR 35 を介して EL 表示素子 4 の走査電極 2 に走査電圧が印加される。このときに印加される走査電圧は 150 V になる。

10

【0060】

この後に、図 12 (b) に示すように、MOSFET 26 をオフすると共に MOSFET 24 をオンすると、同図に破線矢印 B で示すように、第 1 のコンデンサ 28 の充電電荷が駆動用電源 9 の出力電圧 (150 V) に重畳されるようになる。このとき、EL 表示素子 4 の走査電極 2 に印加される走査電圧は 250 V になる。これにより、EL 表示素子 4 に印加される走査電圧が段階的に変化することになる。

【0061】

この状態から、図 12 (c) に示すように、MOSFET 24 をオフすると共に MOSFET 26 を再びオンすると、同図に破線矢印 C で示すように、EL 表示素子 4 の充電エネルギーを、第 1 の放電用ダイオード 37、パワー MOSFET 10、MOSFET 25、26 を通じて第 1 のコンデンサ 28 に充電電流として供給する電流経路が形成され、これに応じて、EL 表示素子 4 の走査電極 2 に印加される走査電圧が 150 V に変化される。そして、このような電流経路が形成される結果、EL 表示素子 4 に供給したエネルギーの一部を回収して再利用できるようになる。

20

【0062】

この後に、図 12 (d) に示すように、MOSFET 25、26 をオフすると共にスイッチング素子 39 をオンすると、第 1 のコンデンサ 28 のチャージが保持された状態とされる共に、同図に矢印 D で示すように、EL 表示素子 4 の走査電極 2 に印加される走査電圧が、第 1 の放電用ダイオード 37 及びスイッチング素子 39 を通じて初期値である 50 V に変化される。

30

【0063】

一方、駆動用電源 9 のプラス側端子 (+) が基準電位である 0 V に固定される負フィールド期間において、EL 表示素子 4 に充電電流を供給するときには、まず、図 13 (a) に示すように、MOSFET 24、27 並びに SCR 36 をオンした後にパワー MOSFET 11 をオンする。すると、MOSFET 24、27 のオンに応じて、同図に破線矢印 A で示すように、駆動用電源 9 から当該 MOSFET 24、27 及びダイオード 23 を通じて第 2 のコンデンサ 29 に充電電流を供給する電流経路が形成され、駆動用電源 9 による第 2 のコンデンサ 29 の充電動作が行われる。また、SCR 36 及びパワー MOSFET 11 のオンに応じて、EL 表示素子 4 の走査電極 2 (ドライバ IC 5 の出力端子 Q) が、駆動用電源 9 のマイナス側端子 (-) に対して、SCR 36、パワー MOSFET 11 及びダイオード 23 を介して接続されるようになり、その走査電極 2 に - 100 V の走査電圧が印加される。

40

【0064】

この後に、図 13 (b) に示すように、MOSFET 24 をオフすると共に MOSFET 26 をオンすると、同図に破線矢印 B で示すように、第 2 のコンデンサ 29 の充電電荷が駆動用電源 9 の出力電圧 (- 100 V) に重畳されるようになる。このとき、EL 表示素子 4 の走査電極 2 に印加される走査電圧は - 200 V になる。これにより、EL 表示素子 4 に印加される走査電圧が段階的に変化することになる。

【0065】

この状態から、図 13 (c) に示すように、MOSFET 26 をオフすると共に MOSF

50

ET24を再びオンすると、同図に破線矢印Cで示すように、EL表示素子4の充電エネルギーを、第2の放電用ダイオード38、パワーMOSFET11、MOSFET24、27を通じて第2のコンデンサ29に充電電流として供給する電流経路が形成され、これに応じて、EL表示素子4の走査電極2に印加される走査電圧が-100Vに変化される。そして、このような電流経路が形成される結果、EL表示素子4に供給したエネルギーの一部を回収して再利用できるようになる。

【0066】

この後に、図13(d)に示すように、MOSFET24、27をオフすると共にスイッチング素子40をオンすると、第2のコンデンサ29のチャージが保持された状態とされる共に、同図に矢印Dで示すように、EL表示素子4の走査電極2に印加される走査電圧が、第2の放電用ダイオード38及びスイッチング素子40を通じて初期値である0Vに変化される。

10

【0067】

このように構成した第4実施例においても前記第3実施例と同様の効果を奏するものであり、特に本実施例においては、SCR35及び36がオン状態にラッチアップされる素子であるため、大きな出力電流を得ることができる。従って、電圧を分担するためのパワーMOSFET10及び11との間で消費電力を分配する際に、分配の割合が小さくなり、ドライバIC5の低消費電力化が可能になる。また、大きな出力電流が得られる結果、EL表示素子4に対する充電速度を高めることができ、結果的に、そのEL表示素子4の輝度向上も可能になる。また、各SCR35及び36と逆並列状態で第1及び第2の放電用ダイオード37及び38を接続した場合には、SCR35及び36の動作が遅いという性質をカバーできるようになる。

20

【0068】

(その他の実施の形態)

尚、本発明は上記した実施例に限定されるものではなく、次のような変形または拡張が可能である。

第1～第4の各実施例では、第1および第2のトランジスタ(負荷)として、パワーMOSFET10及び11を用いる構成としたが、バイポーラトランジスタやIGBTなどを用いることも可能である。駆動対象の表示装置は、EL表示装置に限らず、容量性表示素子を備えた表示装置(例えばプラズマディスプレイ装置など)であれば同様に駆動対象とすることができる。

30

【図面の簡単な説明】

【図1】本発明の第1実施例を示す全体の電氣的構成図

【図2】出力回路の電氣的構成図

【図3】本発明の参考例を示す図1相当図

【図4】本発明の第2実施例を示す主要部の電氣的構成図

【図5】作用説明用の模式図

【図6】本発明の第3実施例を示す主要部の電氣的構成図

【図7】全体構成を説明するための概略図

【図8】作用説明用の模式図その1

40

【図9】作用説明用の模式図その2

【図10】走査電圧とデータ電圧と関係を示すタイミングチャート

【図11】本発明の第4実施例を示す主要部の電氣的構成図

【図12】作用説明用の模式図その1

【図13】作用説明用の模式図その2

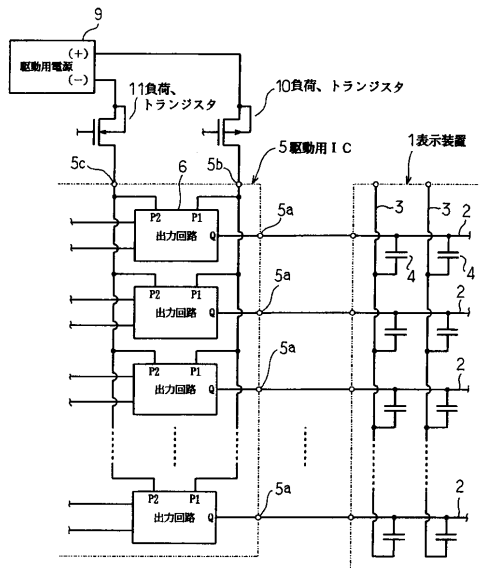
【符号の説明】

1はマトリクス型EL表示装置、2は走査電極、3はデータ電極、4はEL表示素子(容量性表示素子)、5はロウ側ドライバIC(駆動用IC)、6は出力回路、7はPチャンネル型LDMOS(第1のスイッチング素子)、8はNチャンネル型LDMOS(第2のスイッチング素子)、9は駆動用電源、10はPチャンネル型パワーMOSFET(負荷、第

50

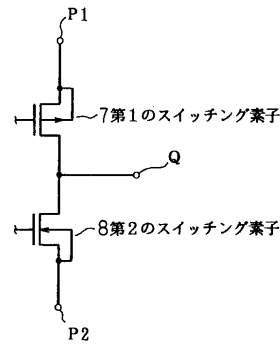
1のトランジスタ)、11はNチャネル型パワーMOSFET(負荷、第2のトランジスタ)、12、13は抵抗素子(負荷)、15はステップ・リサイクル回路、16はダイオード、17はPチャネル型MOSFET(第2の補助スイッチング素子)、18はNチャネル型MOSFET(第1の補助スイッチング素子)、19はコンデンサ、20はカラム側ドライバIC、21はステップ・リサイクル回路、22は第1のダイオード、23は第2のダイオード、24はPチャネル型MOSFET(第1の補助スイッチング素子)、25はPチャネル型MOSFET(第3の補助スイッチング素子)、26はNチャネル型MOSFET(第2の補助スイッチング素子)、27はNチャネル型MOSFET(第4の補助スイッチング素子)、28は第1のコンデンサ、29は第2のコンデンサ、34は出力回路、35はSCR(第1のスイッチング素子)、36はSCR(第2のスイッチング素子)、37は第1の放電用ダイオード、38は第2の放電用ダイオードを示す。

【図1】

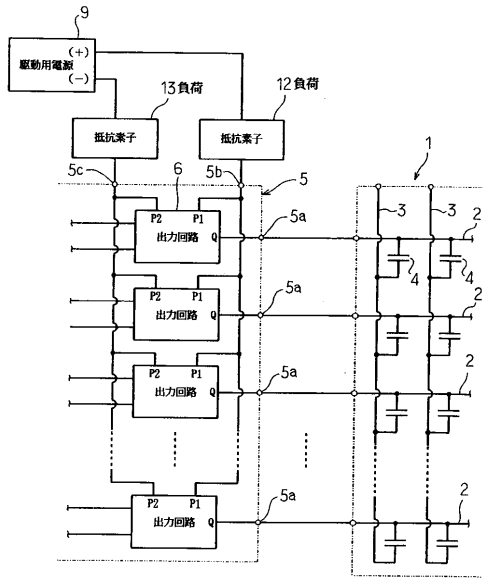


4: 容量性表示素子
5b, 5c: 電源端子

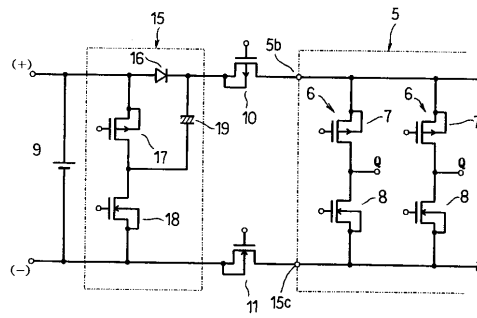
【図2】



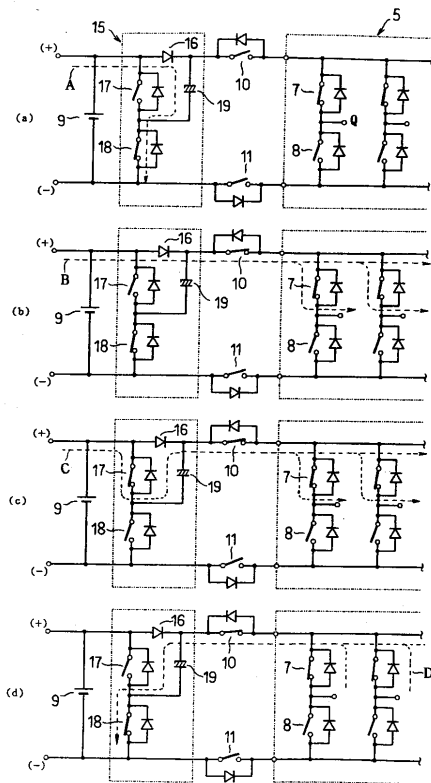
【図3】



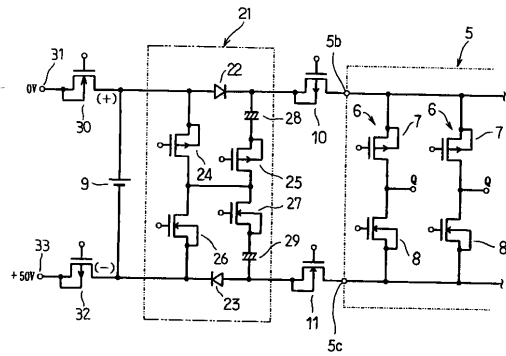
【図4】



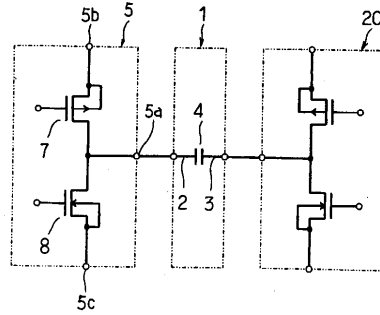
【図5】



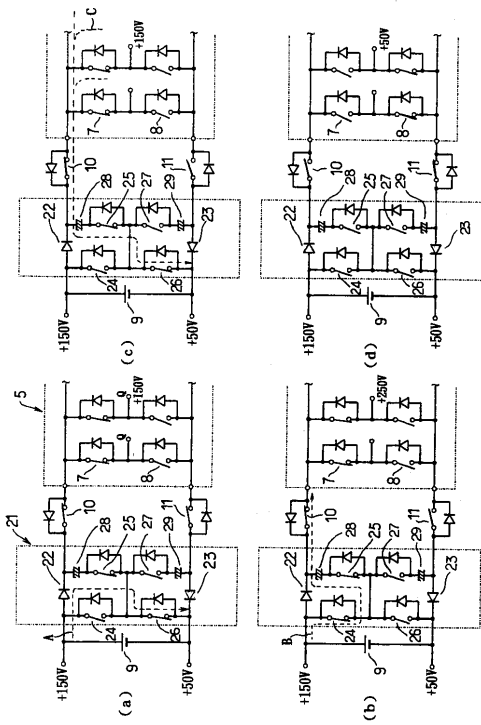
【図6】



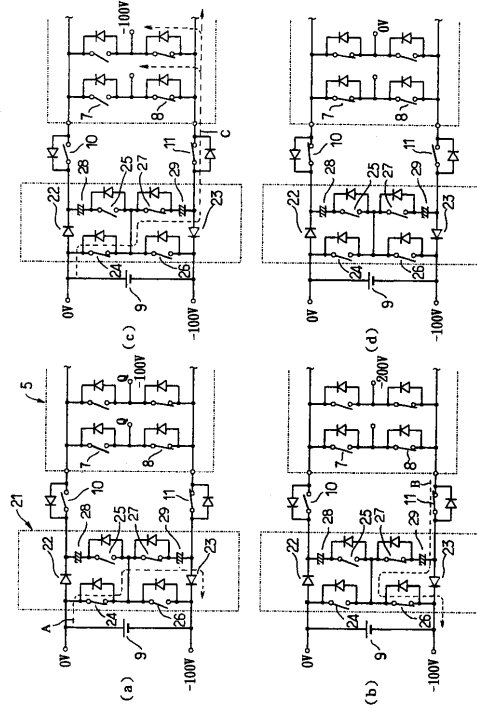
【図7】



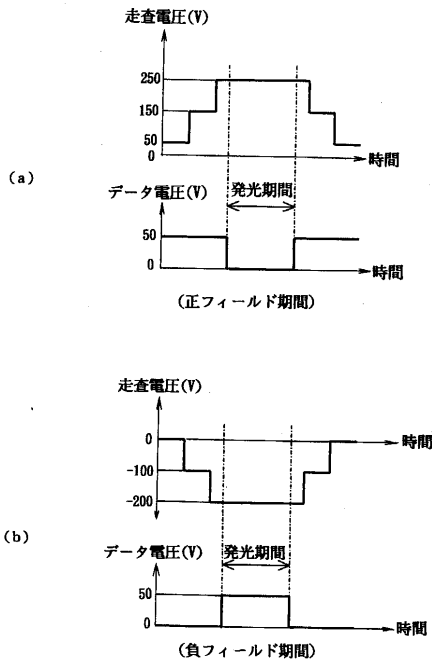
【図 8】



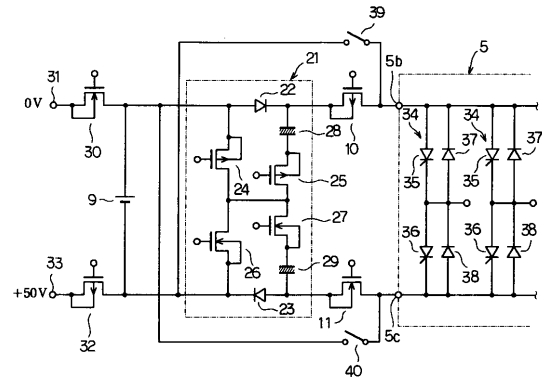
【図 9】



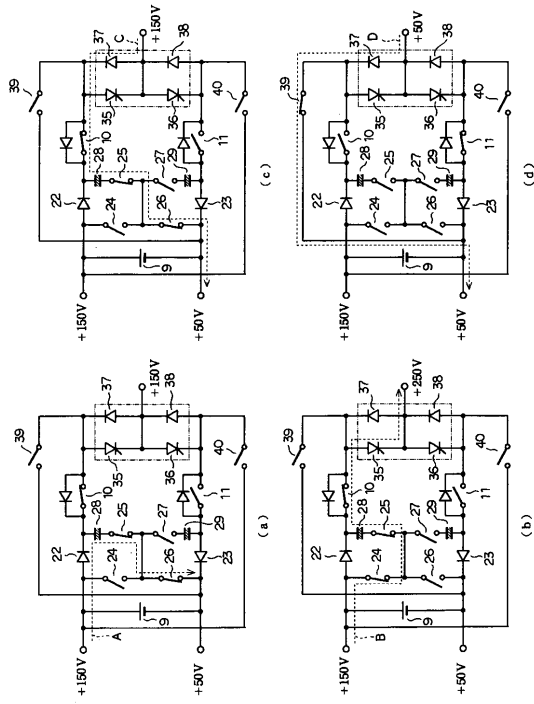
【図 10】



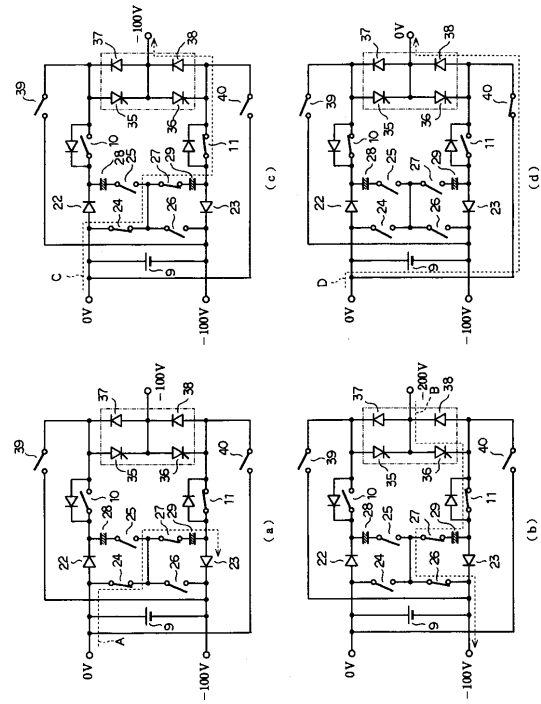
【図 11】



【 1 2 】



【 1 3 】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 7 0 E

G 0 9 G 3/20 6 8 0 G

(56)参考文献 特開平05 - 273938 (JP, A)

特開昭63 - 249895 (JP, A)

特開平06 - 186929 (JP, A)

特開昭63 - 019693 (JP, A)

特開平06 - 110407 (JP, A)

特開平07 - 261701 (JP, A)

特開平09 - 054566 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/30

G09F 9/30

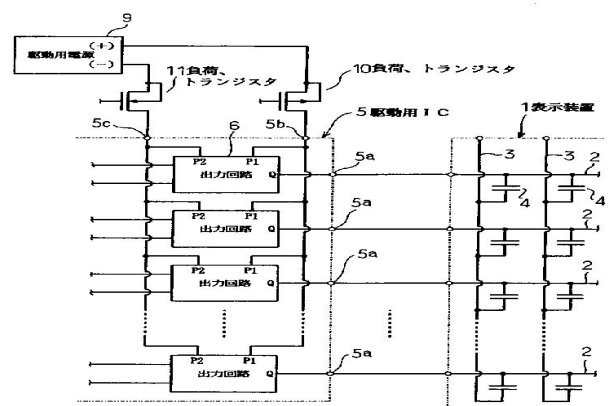
G09G 3/20

专利名称(译)	表示装置用驱动回路		
公开(公告)号	JP4501206B2	公开(公告)日	2010-07-14
申请号	JP2000039642	申请日	2000-02-17
[标]申请(专利权)人(译)	日本电装株式会社		
申请(专利权)人(译)	Denso公司		
当前申请(专利权)人(译)	Denso公司		
[标]发明人	片山理 岩村刚宏		
发明人	片山理 岩村刚宏		
IPC分类号	G09G3/30 G09F9/30 G09G3/20		
CPC分类号	G09G3/30 G09G3/20 G09G2310/0267 G09G2330/02 G09G2330/023		
FI分类号	G09G3/30.J G09F9/30.365.C G09G3/20.611.A G09G3/20.621.M G09G3/20.622.G G09G3/20.670.E G09G3/20.680.G G09F9/30.365		
F-TERM分类号	5C080/AA06 5C080/BB05 5C080/DD26 5C080/EE28 5C080/FF09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C094/AA22 5C094/BA03 5C094/BA27 5C094/CA19 5C380/AA02 5C380/AB05 5C380/BA01 5C380/BA31 5C380/BB22 5C380/CA14 5C380/CB31 5C380/CE24 5C380/CF37 5C380/CF41 5C380/CF43 5C380/CF54 5C380/DA01 5C380/DA30		
代理人(译)	佐藤 强		
审查员(译)	Naoaki桥本		
优先权	1999106500 1999-04-14 JP		
其他公开文献	JP2000356973A		
外部链接	Espacenet		

摘要(译)

要解决的问题：抑制温度。通过降低用于将驱动电压施加到电容显示元件的IC的功耗来驱动用于驱动的IC。解决方案：充电和放电电流通过行侧驱动器IC 5流到矩阵型EL显示器件1的EL元件4。在IC 5的输出级提供的每个输出电路6由连接P沟道型构成。用于充电的LDMOS和用于以推挽形式放电的N沟道型LDMOS。此外，P沟道型功率MOSFET 10和N沟道型功率MOSFET 11分别连接在用于驱动器9的电源的正侧端子(+)和IC 5的电源端子5b之间以及负极之间。电源9的端子(-)和IC 5的端子5c控制MOSFET 10，以便在IC中的用于充电的LDMOS导通并且控制MOSFET 11之后使MOSFET 10导通。在用于IC5中的放电的LDMOS导通之后，使其导通。

【图 1】



4：容量性表示素子
5b, 5c：電源端子