

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3989758号
(P3989758)

(45) 発行日 平成19年10月10日(2007.10.10)

(24) 登録日 平成19年7月27日(2007.7.27)

(51) Int.Cl.

F I

G09G 3/30 (2006.01)

G09G 3/30 K

G02F 1/133 (2006.01)

G09G 3/30 J

G09G 3/20 (2006.01)

G02F 1/133 550

H01L 51/50 (2006.01)

G02F 1/133 575

G09G 3/20 611H

請求項の数 7 (全 31 頁) 最終頁に続く

(21) 出願番号 特願2002-89874 (P2002-89874)
 (22) 出願日 平成14年3月27日(2002.3.27)
 (65) 公開番号 特開2003-288055 (P2003-288055A)
 (43) 公開日 平成15年10月10日(2003.10.10)
 審査請求日 平成16年7月28日(2004.7.28)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 110000338
 特許業務法人原謙三国際特許事務所
 (74) 代理人 100080034
 弁理士 原 謙三
 (72) 発明者 沼尾 孝次
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内

審査官 橋本 直明

最終頁に続く

(54) 【発明の名称】 表示装置およびその駆動方法

(57) 【特許請求の範囲】

【請求項1】

自発光型の2端子を有した電気光学素子と、駆動用電源に前記電気光学素子を接続または非接続させる駆動用スイッチング素子と、入力された表示信号を前記駆動用スイッチング素子の導通状態制御端子に与える第1のスイッチング素子と、該第1のスイッチング素子を導通または非導通させるためのスイッチング信号を前記第1のスイッチング素子に供給する第1の配線と、前記表示信号を前記第1のスイッチング素子に供給する第2の配線とを備えた表示装置であって、

前記駆動用スイッチング素子の導通状態制御素子の電位を保持する第1の電位保持手段と、

前記第1の電位保持手段の電位保持状態を解除する初期化電源に前記第1の電位保持手段を接続または非接続させる第2のスイッチング素子と、

前記第2のスイッチング素子の導通状態制御端子の電位を保持する第2の電位保持手段と、

前記第2の電位保持手段の保持電位を制御する電位制御手段とを備えていることを特徴とする表示装置。

【請求項2】

前記電位制御手段が、前記第2の電位保持手段の保持電位を制御するための保持電位制御電圧を第3の配線に出力し、

前記第2の電位保持手段が容量性素子であり、その一方の端子が前記第2のスイッチン

10

20

グ素子の導通状態制御端子に接続され、他方の端子が前記第3の配線に接続されていることを特徴とする請求項1に記載の表示装置。

【請求項3】

前記第2のスイッチング素子の導通状態制御端子と前記初期化電源側の端子とを接続または非接続させる第3のスイッチング素子と、
前記第2のスイッチング素子の初期化電源側の端子と前記初期化電源とを接続または非接続させる第4のスイッチング素子と、
前記第4のスイッチング素子の導通状態制御端子の電位を制御する電位制御手段とを備えていることを特徴とする請求項1または2に記載の表示装置。

【請求項4】

前記第1の電位保持手段がコンデンサであり、

前記駆動用スイッチング素子のチャンネル極性、および前記第2のスイッチング素子のチャンネル極性が同じであることを特徴とする請求項1に記載の表示装置。

【請求項5】

自発光型の2端子を有した電気光学素子と、駆動用電源に前記電気光学素子を接続または非接続させる駆動用スイッチング素子と、入力された表示信号を前記駆動用スイッチング素子の導通状態制御端子に与える第1のスイッチング素子と、該第1のスイッチング素子を導通または非導通させるためのスイッチング信号を前記第1のスイッチング素子に供給する第1の配線と、前記表示信号を前記第1のスイッチング素子に供給する第2の配線とを備えた表示装置を駆動する方法であって、

前記第1の電位保持手段の電位保持状態を解除する初期化電源に前記駆動用スイッチング素子の導通状態制御端子の電位を保持する第1の電位保持手段を第2のスイッチング素子によって接続または非接続させ、前記第2のスイッチング素子の導通状態制御端子の電位を保持する第2の電位保持手段の電位を第1の期間で設定し、

前記第1の期間より後の第2の期間で前記駆動用スイッチング素子の導通状態制御端子の電圧を設定し、

前記第2の期間より後の第3の期間で、前記第2の電位保持手段の保持電位を変化させることで、前記第2のスイッチング素子を非導通状態から導通状態に変化させ、前記駆動用スイッチング素子の導通状態制御端子の電圧を前記第2の期間で設定した電圧から前記初期化電源の電圧とすることを特徴とする表示装置の駆動方法。

【請求項6】

前記第3の期間で、前記第2の電位保持手段の保持電位を制御するための保持電位制御電圧を発生するとともに、前記第2の電位保持手段が第1端子と第2端子とを持ち、第2端子を前記第2のスイッチング素子の導通状態制御端子に接続し、前記第1の端子に前記保持電位制御電圧を印加すること特徴とする請求項5に記載の表示装置の駆動方法。

【請求項7】

前記表示装置が、前記第2のスイッチング素子の導通状態制御端子と前記初期化電源側の端子とを接続または非接続させる第3のスイッチング素子と、前記第2のスイッチング素子の初期化電源側の端子と前記初期化電源とを接続または非接続させる第4のスイッチング素子とを備えており、

前記第1の期間で、前記第3のスイッチング素子を通して前記第2の電位保持手段の保持電位を設定し、

前記第3の期間で、前記第4のスイッチング素子を導通状態とし、前記第2のスイッチング素子を非導通状態から導通状態に変化させ、前記駆動用スイッチング素子の導通状態制御端子の電圧から前記初期化電源の電圧とすることを特徴とする請求項5または6に記載の表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶ディスプレイや薄膜EL(Electro Luminescence)ディスプレイなど、

10

20

30

40

50

スイッチング素子と電気光学素子とを組み合わせた表示装置の階調駆動方法、その階調駆動方法を実現する為の画素回路構成を有する表示装置に関するものである。

【 0 0 0 2 】

【従来の技術】

近年、平板型有機ディスプレイの研究開発が活発に行われている。特に、有機 E L (Electro Luminescence) ディスプレイは、低消費電力化が可能な自発光型のディスプレイとして普及が期待されている。

【 0 0 0 3 】

この有機 E L ディスプレイは、単純マトリックス型から商品化が始まったが、将来はアクティブマトリックス型が主流になると考えられている。これは、有機 E L の印加電圧 - 発光効率特性が低輝度・低電圧側で高発光効率となり、高輝度・高電圧側で低発光効率となるので、低消費電力化・長寿命化の観点から、常時低輝度で発光させるアクティブマトリックス型が、走査線数分の 1 の時間に高輝度で発光させる単純マトリックス型より有利となる為である。

【 0 0 0 4 】

アクティブマトリックス型の画素は常に発光可能であるが、単純マトリックス型の画素は走査線数分の 1 の時間しか発光できない。その為、両者で同等の輝度を得ようとすれば、単純マトリックス型の各画素はアクティブマトリックス型の各画素の走査線数倍の時間で発光する必要がある。各画素の発光時間×発光輝度は一定でも、有機 E L では、その発光輝度を得るための発光効率が高輝度側で低下するので、アクティブマトリックス型の発光効率の方が良くなる。

【 0 0 0 5 】

このアクティブマトリックス型有機 E L ディスプレイ用のアクティブ素子は、アモルファスシリコン T F T (薄膜トランジスタ) であっても駆動可能であるが、有機 E L を駆動する為に必要な電流量をより小型の T F T で実現できる、(T F T の移動度が高い) 単結晶シリコン T F T やポリシリコン T F T や C G (Continuous Grain) シリコン T F T が好まれる。特に、直視型ディスプレイ用としてガラス基板上に形成できる低温ポリシリコン T F T や C G シリコン T F T が好まれている。

【 0 0 0 6 】

この低温ポリシリコン T F T や C G シリコン T F T を用いたアクティブマトリックス型有機 E L の基本回路は、図 19 に示すように、2 つの T F T 素子 T 1 , T 2 と、コンデンサ C 1 と、有機 E L 素子 E L 1 とを含んで構成される。この基本回路では、ゲート線 G i を介して供給されるゲート端子制御信号によって T F T 素子 T 1 が導通すると、ソース端子線 S i を介して供給されるデータ信号が T F T 素子 T 1 から T F T 素子 T 2 のゲート端子に与えられる。これにより、T F T 素子 T 2 が導通すると、電源配線 P S を介して供給される電源電圧が T F T 素子 2 を通して有機 E L 素子 E L 1 に与えられ、有機 E L 素子 E L が発光する。また、T F T 素子 T 2 のソース端子・ゲート端子間の電圧がコンデンサ C 1 によって保持されるので、有機 E L 素子 E L 1 は発光状態を維持できる。

【 0 0 0 7 】

ところで、この基本回路において、T F T 素子 T 2 (駆動用 T F T) が有機 E L 素子 E L 1 と直列に配置されている。それゆえ、この基本回路では、T F T 素子 T 2 の閾値特性・移動度がばらつければ、同一の電圧をコンデンサ C 1 へ設定しても、有機 E L 素子 E L を流れる電流値がばらつくので、画素の輝度がばらつくという問題を抱える。

【 0 0 0 8 】

そこで、コンデンサ C 1 へ与える電圧を、T F T 素子 T 2 が充分低抵抗状態(導通状態)となる電圧と、非導通状態となる電圧との 2 値電圧に設定し、T F T 素子 T 2 の閾値特性・移動度がばらついても、導通状態において有機 E L 素子 E L を流れる電流値が T F T の特性ばらつきに依存しない表示輝度を得ることが考えられる。そして、1 フレーム期間内に複数回走査を行い、各走査において設定する 2 値電圧値を独立に設定することで、多階調表示を得ることが考えられる。この駆動方法は、時間分割階調駆動方法または時分割階調

10

20

30

40

50

駆動方法と呼ばれる。

【 0 0 0 9 】

このような時間分割階調駆動方法として、SID'00 Digest pp.924-927 において、“ 4.0 -in. TFT-OLED Displays and a Novel Digital Driving Method ”として半導体エネルギー研究所により発表された駆動方法が提案されている。この文献に記載された回路構成を図 2 0 に示し、その駆動方法を図 2 1 に示す。

【 0 0 1 0 】

この回路は、図 2 0 に示すように、図 1 9 の回路に T F T 素子 T 3 を加えて構成されている。T F T 素子 T 2 は、ゲート端子が選択線 E i と接続され、ソース端子が T F T 素子 T 2 のゲート端子に接続され、ドレイン端子が電源配線 P S に接続されている。

10

【 0 0 1 1 】

この回路による駆動方法でも、図 2 1 に示すように、1 フレーム期間内に複数回走査（この例では 4 回）を行い、各走査において設定される 2 値表示の値を独立に設定可能とする時間分割階調表示を行う。このとき、上記の T F T 素子 T 3 が、コンデンサ C 1 の電位を初期化させ（T F T 素子 T 2 のゲート端子・ソース端子間電圧を T F T 素子 T 2 が非導通状態となるように変化させ）ることによって、上記の走査とは独立に消去走査（a）～（c）を行っている。また、図 2 1 の各走査（1）～（4）において、走査（1）～（4）毎に設定された階調データの重みに従って発光期間が設定される。

【 0 0 1 2 】

これにより、駆動用 T F T の閾値特性・移動度がばらついても、有機 E L 素子 E L 1 を流れる電流値がばらつきにくく、非発光期間の少ない時間分割階調表示を得ている。

20

【 0 0 1 3 】

また、上記駆動用 T F T の閾値特性・移動度のばらつき対策として、三洋電機により、EL'00 pp.347-352 において、“ Active Matrix OLED Displays with Low-Temperature Poly-Si TFT ”として発表されたのが、図 2 2 示す回路構成である。

【 0 0 1 4 】

この回路構成では、有機 E L 素子 E L 2 に直列に接続された駆動用 T F T として複数の T F T 素子 T 5 , T 6 が並列に配置されており、T F T 素子 T 4 を経たデータ信号を T F T 素子 T 5 , T 6 に与えるとともに、T F T 素子 T 5 , T 6 のソース端子・ゲート端子間電圧をコンデンサ C 2 で保持する。この回路構成では、コンデンサ C 2 による電圧保持で各 T F T 素子 T 5 , T 6 のばらつきの影響を抑えている。

30

【 0 0 1 5 】

仮に、図 1 9 の回路構成で、T F T 素子 T 2 の特性が許容誤差以上にばらつくことによって基準以上の輝度誤差を生じる確率を α ($\alpha < 1$) とする。一方、図 2 2 の回路構成では、T F T 素子 T 5 , T 6 の特性が共に許容誤差以上にばらつかない限り、輝度誤差が基準以内に収まる。即ち、図 2 2 の回路構成では、基準以上の輝度誤差を生じる確率を α^2 ($\alpha < 1$ なので $\alpha^2 < \alpha$) とすることができる。

【 0 0 1 6 】

さらに、上記駆動用 T F T の閾値特性・移動度のばらつき対策として、ソニーにより、Asia Display/IDW'01 pp.1395-1398において、“ Pixel-Driving Method for Large-Size Poly-Si AM-OLED Displays ”として提案されたのが図 2 3 に示す回路構成である。

40

【 0 0 1 7 】

この回路構成では、有機 E L 素子 E L 3 に直列に接続された駆動用 T F T としての T F T 素子 T 1 0 と並列に T F T 素子 T 9 が設けられ、スイッチング素子としての T F T 素子 T 7 から供給されるデータ信号を T F T 素子 T 8 を経て T F T 素子 9 , 1 0 のゲート端子に与える。T F T 素子 T 8 のゲート端子は、選択線 E i に接続されている。また、T F T 素子 T 9 , 1 0 のソース端子・ゲート端子間電圧は、コンデンサ C 3 によって保持される。

【 0 0 1 8 】

上記の回路構成では、T F T 素子 T 7 が導通状態のとき、T F T 素子 T 8 も導通状態に

50

なることで、コンデンサC3の電位を、TFT素子T8がソース端子線Sjで設定された電流を流す電圧となるように自動的に設定する。そして、カレントミラー回路を構成するTFT素子T9, T10によって、TFT素子T9に設定された電流値に比例した電流値を、TFT素子T10側に流すように構成している。

【0019】

【発明が解決しようとする課題】

しかし、低温ポリシリコンやCGシリコンで形成したTFT素子では、隣接するTFT素子が、同じ単結晶領域に形成されるか、異なる単結晶領域に形成されるか、あるいは2つの単結晶領域の間に形成されるかを制御できない。従って、隣接するTFT素子の特性が揃うのか、ばらつくのかを制御できないことになる。

10

【0020】

このため、図22に示す回路構成では、TFT素子T5, T6の特性がばらつくときには有効であるが、その特性が揃っているときには有効ではないという問題がある。逆に、図23に示す回路構成では、TFT素子T9, T10の特性が揃っているときには有効であるが、ばらつくときには有効ではないという問題がある。

【0021】

上記の問題から、駆動用TFTの閾値特性・移動度がばらついていても、有機ELの発光輝度が駆動用TFTの特性ばらつきに依存しない時間分割階調表示方法が有効である。

しかし、時間分割階調表示方法を用いたPDP（プラズマディスプレイパネル）では、御子柴により、IDW'96 pp.251-254において、“Dynamic False Contours on PDPs - Fatal or Curable?”として発表されたように、動画偽輪郭が発生するという問題がある。この動画偽輪郭の発生原理を図24を用いて説明する。

20

【0022】

16階調表示を行う為に1フレーム期間を1:2:4:8の時間幅比の4つのサブフィールドに分割した場合、非発光状態を0階調目とし、全発光状態を15階調目とすれば、7階調目を表示している画素と8階調目を表示している画素とでは、発光している時間帯が重ならない。例えば、画素1が時間幅比1:2:4のサブフィールド期間に発光して7階調目を表示する一方、画素5が時間幅8のサブフィールド期間に発光して8階調目を表示している。しかし、この2つの表示期間は時間的には重なっていない。

【0023】

従って、図24の矢印A1~A6のように、7階調目の背景において8階調目の表示物体が2画素/フレームの速度で移動する場合、人間の視線はその移動方向（同矢印方向）に移動する。このとき、矢印A2や矢印A5のように、その視線が7階調目の発光期間と8階調目の発光期間との両方を通過するので、表示物体の移動方向に8階調目の表示より大幅に大きな階調表示が見えたり、逆に非発光期間を通り7階調目の表示より大幅に小さな階調が見える。このような現象は、一般に動画偽輪郭と呼ばれている。

30

【0024】

なお、現在市販されているPDPでは、上記の動画偽輪郭を目立たなくするため、上位ビットのサブフレームを複数に分割したり（例えば、1:2:4:4:4など）、蛍光体の残光時間を長くしたりしている。

40

【0025】

これに対し、有機ELや液晶を用いた時分割階調表示方法でも同様の対応を取ることで、動画偽輪郭を目立たなくすることは可能であるが、サブフレーム期間を分割すると、それだけサブフレーム数が増えるので、走査周波数が増加するという問題がある。また、この駆動周波数の増大は、駆動回路の消費電力増大を招来するという新たな問題を生じさせる。

【0026】

また、有機ELの残光時間は極めて短いので、蛍光体のように残光時間を調整する方法は確立されていない。例えば、1次励起発光を有機ELで行い、その1次励起発光を用いて2次励起発光を行い、その2次励起発光用の物質の残光時間特性を調整する等の方法が

50

考えられるものの、これらは実現に至っていない。

【 0 0 2 7 】

なお、液晶を同様に時間分割階調駆動しても、液晶の応答速度が元々遅いので、残光時間を長くしたのと同様の効果が発生し、動画偽輪郭が目立たないと考えられる。しかし、液晶のような容量性負荷を 1 フレーム期間中に何度も充放電させることは、消費電力の増加をもたらすので好ましくない。

【 0 0 2 8 】

このような問題は、図 1 9、図 2 0、図 2 2 および図 2 3 に示すように、画素にコンデンサ C 1 ~ C 3 を配置した有機 E L でも同様に発生するが、この問題も含め、上記では駆動回路の消費電力が増大するという問題として捉えている。

10

【 0 0 2 9 】

本発明は、上記の事情に鑑みてなされたものであって、駆動用 T F T の閾値特性・移動度のばらつき対策として、時間分割階調表示方法を用いながら、駆動周波数の増大を招かずに動画偽輪郭を目立たなくする時間分割階調駆動方法、およびその回路構成を備えた表示装置を提供することを目的とする。

【 0 0 3 0 】

【課題を解決するための手段】

本発明の表示装置は、上記の課題を解決するために、自発光型の 2 端子を有した電気光学素子と、駆動用電源に前記電気光学素子を接続または非接続させる駆動用スイッチング素子と、入力された表示信号を前記駆動用スイッチング素子の導通状態制御端子に与える
第 1 のスイッチング素子と、該第 1 のスイッチング素子を導通または非導通させるためのスイッチング信号を前記第 1 のスイッチング素子に供給する第 1 の配線と、前記表示信号を前記第 1 のスイッチング素子に供給する第 2 の配線とを備えた表示装置であって、前記駆動用スイッチング素子の導通状態制御素子の電位を保持する第 1 の電位保持手段と、前記第 1 の電位保持手段の電位保持状態を解除する初期化電源に前記第 1 の電位保持手段を接続または非接続させる第 2 のスイッチング素子と、前記第 2 のスイッチング素子の導通状態制御端子の電位を保持する第 2 の電位保持手段と、前記第 2 の電位保持手段の保持電位を制御する電位制御手段とを備えていることを特徴としている。

20

【 0 0 3 1 】

上記の構成では、電気光学素子が、例えば、有機 E L 素子のような自発光型素子（図 2、図 5、図 1 1 の E L 4 や図 1 4 の E L 5）からなる。第 1 の電位保持手段は、コンデンサのような容量性素子（図 2、図 5、図 1 1 の C 4 や図 1 4 の C 6）である。また、第 1 のスイッチング素子は、T F T 素子（図 2、図 5、図 1 1 の T 1 1 や図 1 4 の T 2 1）からなっている。さらに、第 2 のスイッチング素子は、例えば T F T 素子（図 2、図 5、図 1 1 の T 1 3 や図 1 4 の T 2 3）からなり、その導通状態制御端子（ゲート端子）に接続される第 2 の電位保持手段は、例えば容量性素子（図 2、図 5、図 1 1 の C 5 や図 1 4 の C 7）からなる。

30

【 0 0 3 2 】

上記の構成においては、第 2 のスイッチング素子が非導通状態となることによって、第 1 の電位保持手段が初期化電源から切り離されて、第 1 の電位保持手段の保持電位が設定される。逆に、第 2 のスイッチング素子が導通状態となることによって、第 1 の電位保持手段が初期化電源に接続されて、第 1 の電位保持手段の電位保持状態が解除される。これにより、電気光学素子の表示状態が第 2 のスイッチング手段の動作によって切り替えられる。

40

【 0 0 3 3 】

また、第 2 のスイッチング手段の導通状態制御端子の電位は、第 2 の電位保持手段によって保持されているが、その保持電位は電位制御手段によって制御されている。これにより、第 2 のスイッチング手段の導通状態制御端子の電位が、保持電位の制御によって制御されるので、第 2 のスイッチング手段は、電位制御手段によって導通または非導通が制御される。それゆえ、駆動用スイッチング素子を導通状態または非導通状態へ変化させるタ

50

イミングを、第2の電位保持手段の保持電位によって制御することが可能となる。

【0034】

このことで、1階調表示レベルが増加すれば1階調分表示期間が長くなる時間分割階調表示(時間分割アナログ階調表示)を実現することができる。

【0035】

このような時間分割アナログ階調表示では、隣接する階調間で表示期間が総て重なる(低階調の表示期間が高階調の表示期間に総て重なる)ので、動画偽輪郭の発生が殆どない階調表示を実現することができる。

【0036】

しかも、各期間では輝度制御状態として表示または非表示の2つの状態しか持たないので、電気光学素子として有機EL素子を用いた場合に、同電気光学素子を駆動する駆動用アクティブ素子(図2等のTFT12)の閾値特性や移動度のばらつきの影響の少ない階調表示が得られる。

【0037】

上記の表示装置においては、前記電位制御手段が、前記第2の電位保持手段の保持電位を制御するための保持電位制御電圧を第3の配線(例えば、図2等のGRAYi)に出力し、前記第2の電位保持手段が容量性素子(図2、図4、図5、図8、図11のC5や図14のC7)であり、その一方の端子が前記第2のスイッチング素子の導通状態制御端子に接続され、他方の端子が前記第3の配線に接続されていることが好ましい。

【0038】

上記の構成では、第3の配線に出力される保持電位制御電圧を徐々に変化させることで容量性素子の一方の端子の電位を変化させると、その容量性素子の他方の端子の電位もそれに応じて変化する。これにより、第2のスイッチング素子の導通状態制御端子の電位が変化するので、第2のスイッチング素子の導通/非導通状態となるタイミングを容量性素子に印加する保持電位制御電圧によって制御することができる。

【0039】

なお、上記の構成では、第2の電位保持手段の保持電位を一定値に固定していても、第2のスイッチング素子の閾値特性のばらつきにより、第2のスイッチング素子の導通/非導通の開始タイミングがばらつく。

【0040】

この問題を回避する為には、第3の配線(GRAYi)に出力される保持電位制御電圧の振幅を大きくすることが有効である。しかし、第2のスイッチング素子として用いるTFT素子の耐圧を考慮すれば、必要な振幅が確保できない場合がある。

【0041】

このような場合、上記の表示装置は、前記第2のスイッチング素子の導通状態制御端子と前記初期化電源接続側の端子とを接続または非接続させる第3のスイッチング素子(図5、図8のT15、図11のT19および図14のT20)と、前記第2のスイッチング素子の初期化電源側の端子と前記初期化電源とを接続または非接続させる第4のスイッチング素子(図5、図8のT16、図11のT20および図14のT25)と、前記第4のスイッチング素子の導通状態制御端子の電位を制御する電位制御手段とを備えていることが好ましい。

【0042】

このような構成では、第4のスイッチング素子が非導通状態の間に、第2のスイッチング素子と第3のスイッチング素子を導通状態とすることで、第2の電位保持手段の保持電位を第2の配線から第2のスイッチング素子へ与えられた表示信号の電圧±第2のスイッチング素子の閾値電圧に設定できる。

【0043】

また、第3のスイッチング素子を非導通状態とし、第4のスイッチング素子を導通状態とし、第2の電位保持手段の電位を変化させ、第2のスイッチング素子を導通状態とすることで、電気光学素子の表示時間を制御することができる。

10

20

30

40

50

【 0 0 4 4 】

例えば、第2のスイッチング素子がn型TFTである場合、第2の電位保持手段の初期化電圧を、第2のスイッチング素子に与える最大電位+スイッチング素子の閾値ばらつきのうち最大のばらつき電圧(閾値電圧のばらつきのうち、スイッチング素子のゲート端子とソース端子との間の閾値電位差として最大と見なしている電圧)とした後で、第3のスイッチング素子を通して第2のスイッチング素子のソース端子とゲート端子を短絡状態とし、第2の電位保持手段に残る電圧を、第2のスイッチング素子に与えられた電圧+第2のスイッチング素子の閾値電圧とすることができる。

【 0 0 4 5 】

また、第2のスイッチング素子がp型TFTのとき、第2の電位保持手段の初期化電圧を、第2のスイッチング素子に与える最小電位-スイッチング素子の閾値ばらつきのうち最大のばらつき電圧とした後で、第3のスイッチング素子を通して第2のスイッチング素子のドレイン端子とゲート端子とを短絡状態とし、第2の電位保持手段に残る電圧を、第2のスイッチング素子に与えた電圧-第2のスイッチング素子の閾値電圧とすることができる。

10

【 0 0 4 6 】

上記の表示装置において、第1の電位保持手段がコンデンサであり、前記駆動用スイッチング素子のチャンネル特性、および前記第2のスイッチング素子のチャンネル特性が、同じであることが好ましい。

【 0 0 4 7 】

つまり、駆動用スイッチング素子と第2のスイッチング素子を共にTFT素子で構成する場合、駆動用スイッチング素子がp-ch構成であれば、第2のスイッチング素子もp-ch構成とする。あるいは、駆動用スイッチング素子がn-ch構成であれば、第2のスイッチング素子もn-ch構成とする。

20

【 0 0 4 8 】

このように構成することで、第2のスイッチング素子が導通状態となったとき、駆動用スイッチング素子のゲート端子を初期化電源に接続させ、駆動用スイッチング素子を非導通状態とすることができる。

【 0 0 4 9 】

これは、駆動用スイッチング素子がp-ch構成であれば、その駆動用スイッチング素子を非導通状態とするゲート端子電位は、その駆動用スイッチング素子のソース端子電位より高い電位であることが好ましい。上記のゲート端子電位を、そのようなりセット電源の電位と、その電位以下の駆動用スイッチング素子のゲート端子の電位との間に設けると、その導通状態を制御する第2のスイッチング素子の構成はp-chであることが好ましい。

30

【 0 0 5 0 】

また、駆動用スイッチング素子がn-ch構成であれば、その駆動用スイッチング素子を非導通状態とするゲート端子電位は、その駆動用スイッチング素子のドレイン端子電位より低い電位であることが好ましい。上記のゲート端子電圧を、そのようなりセット電源の電位と、その電位以上の駆動用スイッチング素子のゲート端子の電位との間に設ければ、その導通状態を制御する第2のスイッチング素子の構成はn-chであることが好ましい。

40

【 0 0 5 1 】

本発明は、上記のいずれの表示装置の構成に関わらず、以下の駆動方法を採用することによって、上記の課題を解決している。

【 0 0 5 2 】

即ち、本発明の表示装置の駆動方法は、自発光型の2端子を有した電気光学素子と、駆動用電源に前記電気光学素子を接続または非接続させる駆動用スイッチング素子と、入力された表示信号を前記駆動用スイッチング素子の導通状態制御端子に与える第1のスイッチング素子と、該第1のスイッチング素子を導通または非導通させるためのスイッチング

50

信号を前記第 1 のスイッチング素子に供給する第 1 の配線と、前記表示信号を前記第 1 のスイッチング素子に供給する第 2 の配線とを備えた表示装置を駆動する方法であって、前記第 1 の電位保持手段の電位保持状態を解除する初期化電源に前記駆動用スイッチング素子の導通状態制御端子の電位を保持する第 1 の電位保持手段を第 2 のスイッチング素子によって接続または非接続させ、前記第 2 のスイッチング素子の導通状態制御端子の電位を保持する第 2 の電位保持手段の電位を第 1 の期間で設定し、前記第 1 の期間より後の第 2 の期間で前記駆動用スイッチング素子の導通状態制御端子の電圧を設定し、前記第 2 の期間より後の第 3 の期間で、前記第 2 の電位保持手段の保持電位を変化させることで、前記第 2 のスイッチング素子を非導通状態から導通状態に変化させ、前記駆動用スイッチング素子の導通状態制御端子の電圧を前記第 2 の期間で設定した電圧から前記初期化電源の電圧とすることを特徴としている。

10

【 0 0 5 3 】

上記の駆動方法では、第 1 の期間で第 2 の電位保持手段の電位を設定し、その後の第 2 の期間で電気光学素子の表示状態を設定した後、第 3 の期間で第 2 の電位保持手段の保持電位を変化させる。これによって、第 2 のスイッチング素子を非導通状態から導通状態に変化させると、駆動用スイッチング素子の導通状態制御端子の電圧が第 2 の期間で設定した電圧から変化する。このような駆動方法によっても、駆動用スイッチング素子が導通するタイミングを、第 2 の電位保持手段の保持電位によって制御することが可能となり、動画偽輪郭の発生が殆どない状態で時間分割アナログ階調表示を実現することができる。しかも、各期間では輝度制御状態として表示または非表示の 2 つの状態しか持たないので、電気光学素子として有機 EL 素子を用いた場合に、同電気光学素子を駆動する駆動用アクティブ素子（図 2 等の TFT 1 2）の閾値特性や移動度のばらつきの影響の少ない階調表示が得られる。

20

【 0 0 5 4 】

上記の駆動方法では、前記第 2 の電位保持手段の保持電位を制御するための保持電位制御電圧を発生するとともに、前記第 2 の電位保持手段が第 1 端子と第 2 端子とを持ち、第 2 端子を前記第 2 のスイッチング素子の導通状態制御端子に接続し、前記第 1 の端子に前記保持電位制御電圧を印加することが好ましい。

【 0 0 5 5 】

この駆動方法では、前述の保持電位制御電圧を用いた表示装置と同様、第 2 のスイッチング素子の導通 / 非導通状態となるタイミングを保持電位制御電圧によって制御ことができる。

30

【 0 0 5 6 】

また、上記の駆動方法では、前記表示装置が、前記第 2 のスイッチング素子の導通状態制御端子と前記初期化電源側の端子とを接続または非接続させる第 3 のスイッチング素子と、前記第 2 のスイッチング素子の初期化電源側の端子と前記初期化電源とを接続または非接続させる第 4 のスイッチング素子とを備えており、前記第 1 の期間で、前記第 3 のスイッチング素子を通して前記第 2 の電位保持手段の保持電位を設定し、前記第 3 の期間で、前記第 4 のスイッチング素子を導通状態とし、前記第 2 のスイッチング素子を非導通状態から導通状態に変化させ、前記駆動用スイッチング素子の導通状態制御端子の電圧から前記初期化電源の電圧とすることが好ましい。

40

【 0 0 5 7 】

このような駆動方法では、第 1 の期間で、第 2 の電位保持手段の保持電位が、第 2 および第 3 のスイッチング手段を通して設定される。これにより、第 2 の電位保持手段の保持電位を第 2 の配線から第 2 のスイッチング素子へ与えられた表示信号の電圧 ± 第 2 のスイッチング素子の閾値電圧に設定できる。また、第 3 の期間で第 4 のスイッチング素子が導通状態となることで、第 2 のスイッチング素子が導通状態となったとき、電気光学素子の状態が発光状態から非発光状態に変化する。このとき、第 2 の電位保持手段の電位を変化させ、第 2 のスイッチング素子を導通状態とすることで、電気光学素子の表示時間を制御することができる。

50

【 0 0 5 8 】

なお、この駆動方法では、第2のスイッチング素子がn型のとき、第2の電位保持手段の電位を、第2のスイッチング素子のソース端子へ与える最大電圧+第2のスイッチング素子の閾値ばらつきの許容最大値とすることで初期化し、第1の期間で第3のスイッチング素子を導通状態とすることで、第2のスイッチング素子のゲート端子・ドレイン端子間を短絡させ、第2の電位保持手段の電位を、第2のスイッチング素子のソース端子へ与えた電圧+第2のスイッチング素子の閾値電圧とし、第2のスイッチング素子の閾値特性を補償し、第2および第3の期間で第3のスイッチング素子を非導通状態とし、第3の期間で第4のスイッチング素子を導通状態とし、第2の電位保持手段の電位を変化させることで、第2のスイッチング素子を非導通状態から導通状態に変化させ、電気光学素子が発光状態から非発光状態に変化するタイミングを制御することができる。

10

【 0 0 5 9 】

また、第2のスイッチング素子がp型のとき、第2の電位保持手段の電位を、第2のスイッチング素子へ与える最小電圧-第2のスイッチング素子の閾値ばらつきの許容最大値とすることで初期化し、第1の期間で第3のスイッチング素子を導通状態とすることで、第2のスイッチング素子のゲート端子・ドレイン端子間を短絡させ、第2の電位保持手段の電位を、第2のスイッチング素子へ与えた電圧-第2のスイッチング素子の閾値電圧とし、第2のスイッチング素子の閾値特性を補償し、第2および第3の期間で第3のスイッチング素子を非導通状態とし、第3の期間で第4のスイッチング素子を導通状態とし、第2の電位保持手段の電位を変化させることで、第2のスイッチング素子を非導通状態から導通状態に変化させ、電気光学素子が発光状態から非発光状態に変化するタイミングを制御することができる。

20

【 0 0 6 0 】

【 発明の実施の形態 】

本発明の実施の一形態について図1ないし図18に基づいて説明すれば、以下の通りである。

【 0 0 6 1 】

本発明に用いられるスイッチング素子は、低温ポリシリコンTFTやCGシリコンTFTなどで構成されるが、以下に述べる各実施の形態ではCGシリコンTFTを用いることとする。

30

【 0 0 6 2 】

なお、このCGシリコンTFTの構成に関しては、半導体エネルギー研究所より、先に示したSID'00 Digest pp.924-927の“4.0-in. TFT-OLED Displays and a Novel Digital Driving Method”等で発表されているので、ここではその詳細な説明を省略する。

【 0 0 6 3 】

また、CGシリコンTFTプロセスに関しては、同じく半導体エネルギー研究所より、AM-LCD 2000 pp.25-28の“Continuous Grain Silicon Technology and Its Applications for Active Matrix Display”等で発表されているので、ここではその詳細な説明を省略する。

【 0 0 6 4 】

また、本実施の形態で用いる電気光学素子を構成する有機EL素子の構成についても、AM-LCD '01 pp.211-214の“Polymer Light-Emitting Diodes for use in Flat panel Display”等で発表されているので、ここではその詳細な説明を省略する。

40

【 0 0 6 5 】

また、本実施の形態で用いる電気光学素子である液晶素子についても、シャープにより、AM-LCD '01 pp.101-102の“Development of high performance ASV-LCDs using Continuous Pinwheel Alignment(CPA) mode”等で発表されているので、ここではその詳細な説明は省略する。

【 0 0 6 6 】

まず、各実施の形態に共通するアクティブマトリックス型表示装置について説明する。

50

【 0 0 6 7 】

なお、以下のアクティブマトリックス型装置における構成要素と同等の機能を有するゲート線およびソース線については、従来のアクティブマトリックス型表示装置におけるゲート線およびソース線と同じ符号、即ち、 G_i および S_j を付与する。

【 0 0 6 8 】

このアクティブマトリックス型表示装置は、図 1 に示すように、表示パネル 1 と、ゲートドライバ 2 と、ソースドライバ 3 と、基準電圧発生部 4 と、対向電圧発生部 5 と、制御部 6 とを備えている。

【 0 0 6 9 】

表示パネル 1 は、互いに交差する複数のゲート線 $G_1, G_2, \dots, G_i$ および複数のソース線 $S_1, S_2, \dots, S_j$ と、マトリックス状に配置された画素表示回路 $A_{11}, A_{12}, \dots, A_{ij}$ (以降、画素表示回路に共通して言及する場合には A_{ij} の符号を用いる) とを有している。画素表示回路 A_{ij} は、ゲート線 G_i とソース線 S_j との交差点毎に 1 つずつ設けられており、後述するように、電氣的に光輝度を制御する電気光学素子と、入力された光輝度制御用の表示信号を導通状態で電気光学素子に与えるスイッチング素子とを含んでいる。

【 0 0 7 0 】

また、表示パネル 1 には、ゲート線 $G_1, G_2, \dots, G_i$ とそれぞれ対になる制御線 $CONT_1, CONT_2, \dots, CONT_i$ が、ゲート線 $G_1, G_2, \dots, G_i$ と互いに平行になるように設けられている。制御線 (以降、制御線に共通して言及する場合には i の符号を用いる) $CONT_i$ は、後述するように、各画素表示回路 A_{ij} に制御電圧を印加するための配線である。

【 0 0 7 1 】

さらに、表示パネル 1 には、ソース線 $S_1, S_2, \dots, S_j$ とそれぞれ対になる電源線 $POW_1, POW_2, \dots, POW_j$ が、ソース線 $S_1, S_2, \dots, S_j$ と互いに平行になるように設けられている。このように電源線 $POW, POW_2, \dots, POW_j$ が設けられるのは、1 画素を構成する RGB の各色のドットがソース線 S_j に沿ってストライプ状に形成されているからである。電源線 (以降、電源線に共通して言及する場合には j の符号を用いる) POW_j は、後述するように、各画素表示回路 A_{ij} に必要な電源電圧を印加するための配線である。

【 0 0 7 2 】

上記の電源線 POW_j は、各画素表示回路 A_{ij} に設けられる光学素子が有機 EL 素子である表示パネル 1 について必要であるが、光学素子が液晶素子である場合には不要である。

【 0 0 7 3 】

対向電圧発生部 5 は、電気光学素子として液晶素子を用いる場合に、制御部 6 から与えられる制御信号に基づいて、表示パネル 1 に設けられた対向電極 (図示せず) に印加する対向電圧 V_{ref} を発生する回路である。対向電極は、各画素表示回路 A_{ij} について共通に設けられており、有機 EL 素子では DC 電位が付与される。一方、液晶素子を用いる場合の対向電極には、AC 電位が付与される場合がある。これらの対向電極は、画素表示回路 A_{ij} 毎に設けられた画素電極 (図示せず) と一定の間隔を保つように対向して設けられた電極である。

【 0 0 7 4 】

基準電圧発生部 4 は、制御部 6 から供給される表示用の階調データに基づいて、ソースドライバ 3 に設けられた図示しない D/A 変換回路から発生する階調電圧 V_s の基準となる基準電圧を発生する回路である。なお、表示パネル 1 の構成によっては、この基準電圧発生部 4 の代わりに階調電圧発生部を設け、ソースドライバ 3 には、D/A 変換回路を設けない場合もある。何れの構成をとるにしても、ソースドライバ 3 から表示パネル 1 で表示可能な階調数に応じた数の階調電圧 V_s を発生する。

【 0 0 7 5 】

10

20

30

40

50

ゲートドライバ2は、制御部6から与えられる同期信号やクロック等のタイミング信号に基づいて、各ゲート線G_iを選択するための選択信号（スイッチング信号）を出力する回路である。この選択信号は、後述する1選択期間においてパルス状に出力される（図3のG_i電位参照）。また、ゲートドライバ2は、制御部6から与えられる制御信号に基づいて、制御線CONT_iに与える前記の制御電圧を発生する。制御電圧の詳細については、後に説明する。

【0076】

ソースドライバ3は、制御部6から与えられる同期信号やクロック等のタイミング信号に基づいて、各ソース線S_jに出力する階調電圧V_sを発生またはサンプリングする回路である。また、表示ドライバ3は、前記の電源線POW_jに与える電源電圧を上記の電源回路からの電圧に基づいて生成する。電源電圧の詳細については、後に説明する。

10

【0077】

〔実施の形態1〕

本実施の形態に係るマトリックス型表示装置においては、図2に示すように、図1の画素表示回路A_{ij}として画素表示回路AA_{ij}を備えている。

【0078】

画素表示回路AA_{ij}は、第2の配線であるソース線S_jと第1の配線であるゲート線G_iとの交差点毎に設けられており、電気光学素子としての有機EL素子4と、TFT素子T₁₁～T₁₄と、コンデンサC₄、C₅とを備えて構成されている。ソース線S_jは、表示信号としてのデータ信号をTFT素子T₁₁に供給する一方、ゲート線G_iは、同

20

【0079】

第1のスイッチング素子であるTFT素子T₁₁は、ゲート端子がゲート端子線G_iに接続され、ソース端子がソース線S_jに接続され、ドレイン端子がTFT素子T₁₂のゲート端子に接続されている。駆動用スイッチング素子であるTFT素子T₁₂は、ソース端子が電源配線PSに接続され、ドレイン端子が有機EL素子EL₄の陽極に接続されている。有機EL素子EL₄の陰極は、対向電極Refに接続されている。第1の電位保持手段であるコンデンサC₄は、TFT素子T₁₂のゲート端子とソース端子との間に接続されている。

【0080】

30

TFT素子T₁₂のゲート端子には、第2のスイッチング素子であるTFT素子T₁₃のドレイン端子が接続され、そのTFT素子T₁₃のソース端子にはリセット電源配線PRESが接続されている。また、TFT素子T₁₃のゲート端子（導通状態制御端子）には、第2の電位保持手段であるコンデンサC₅の一方の端子が接続されるとともに、TFT素子T₁₄のドレイン端子が接続されている。さらに、コンデンサC₅の他方の端子には、階調制御線GRAY_iが接続され、TFT素子T₁₄のゲート端子には走査線LOAD_iが接続されている。そして、そのTFT素子T₁₄のソース端子にはソース端子線S_jが接続されている。

【0081】

上記の階調制御線GRAY_iおよび走査線LOAD_iは、前述の制御線CONT_iとして設けられ、上記の電源配線PSおよびリセット電源配線PRESは、前述の電源線POW_jとして設けられている。

40

【0082】

第3の配線としての階調制御線GRAY_iは、保持電位制御手段としてのゲートドライバ2から出力される階調制御電圧をコンデンサ5に与えるための配線である。この階調制御電圧は、後述のように、コンデンサC₅の電位を制御するためにコンデンサC₅に印加される電圧であって、アナログ階調表示を実現させる。

【0083】

走査線LOAD_iは、ゲートドライバ2から出力される走査信号をTFT素子T₁₄のゲート端子に供給するために設けられている。走査信号は、後述する1選択期間において

50

前述の選択信号と異なるタイミングでパルス状に出力される（図3のLOAD_i電位参照）。

【0084】

電源配線PSは、有機EL素子EL4の駆動用の一定電圧を各画素表示回路AA_{ij}（AA_{ij}）に与えるための配線である。なお、この電源配線PSの電位は、1画素におけるRGBの各ドット毎に異なっている。

【0085】

リセット電源配線PRESは、リセットのために、TF_T素子T₁₂を非導通状態にするためのリセット電圧をTF_T素子T₁₃に与えるための配線である。

【0086】

なお、上記のTF_T素子T₁₁～T₁₄は、総てp型TF_Tである。また、TF_T素子のドレイン端子およびソース端子の物理的な相違はほとんどないので、本実施の形態では、ソース端子とドレイン端子とを置き替えることが可能である。

【0087】

また、本実施の形態で用いるスイッチング素子（TF_T素子T₁₁，T₁₄）は、前述のCGシリコンTF_T素子であり、電気光学素子は有機EL素子EL4およびTF_T素子T₁₂から構成されている。それらの有機EL素子やTF_T素子の構成は前述の文献などに記載されているので、ここではその詳細な説明を省略する。

【0088】

続いて、本実施の形態ではこの画素表示回路AA_{ij}の動作を図3に示すタイミングチャートを参考にしながら説明する。なお、ここで、画素表示回路AA_{ij}の符号“i”は、ゲート端子線G_iの番号を意味するiに対応している。また、符号“j”は、ソース端子線S_jの番号を意味するjに対応している。即ち、図2の画素表示回路AA_{ij}がマトリックス状に配置されていることを示している。

【0089】

この表示回路AA_{ij}の選択期間は、図3に時間として示すように、7Th～12Thの6Thの期間となる。この選択期間の前に、初期化期間として、図3のGRAY_i電位（階調制御線GRAY_iの電位）がV₀（＝4V）に戻る動作が行われる。また、その選択期間後に、階調制御動作として、上記のGRAY_i電位がV₀からV₀－3Vへ徐々に変化する動作が行われる。

【0090】

そして、選択期間内の時間8Th（第1の期間）において、図3のLOAD_i電位（走査線LOAD_iの電位）が－4Vに低下することによって走査線LOAD_iが選択されると、S_j電位（ソース端子線S_jの電位）がコンデンサC₅に蓄えられる（図3のC₅電位）。その後、選択期間内の時間11Th（第2の期間）において、図3のG_i電位（ゲート端子線G_iの電位）が－4Vに低下することによってゲート線G_iが選択されると、図3のS_i電位（ソース端子線S_jの電位）として0V（図3のC₄電位）がコンデンサC₄に蓄えられる。

【0091】

なお、図2の画素表示回路AA_{ij}では、電源配線PS、リセット電源配線PRES、対向電極Refに、それぞれ6V、7V、0Vの電位が設定されている。

【0092】

そこで、上記のように、コンデンサC₄へ0Vの電位を設定すれば、TF_T素子T₁₂が導通状態となり、有機EL素子EL4へ6V近くの電圧が印加される。また、TF_T素子T₁₂のON抵抗は有機EL素子EL4のON抵抗の1/10程度以下に設定されるが好ましいので、TF_T素子T₁₂での電圧ドロップは0.6V程度以下であり、有機EL素子EL4へ印加される電圧は5.4V程度以上になる。この結果、有機EL素子EL4が発光状態となる。

【0093】

また、コンデンサC₄へ7V程度以上の電位を設定すれば、TF_T素子T₁₂が非導通

10

20

30

40

50

状態となり、有機EL素子EL4へ電流が供給されないので、有機EL素子EL4は非発光状態となる。なお、このTFT素子T12を非導通状態とする電位は、8V以上のような高い方が好ましいが、TFT素子の耐圧が充分確保できなかったため、本実施の形態では7Vとしている。

【0094】

本実施の形態では、このTFT素子T13の閾値電圧（TFT素子T13の閾値特性に依存するので、プロセス条件によって異なるが）を例えば2Vとする。

【0095】

このような閾値電圧の場合、コンデンサC5の電位（ノードN31の電位）がVRES電位（リセット電源配線VRESの電位）Voff（7V）から閾値電圧（2V）を減じた値、即ち5Vになると、TFT素子T13が導通状態となる。そこで、この選択期間にSj電位によってコンデンサC5へ設定する電位は5～8Vの範囲とする。

10

【0096】

そこで、上記の選択期間において、コンデンサC4へ7Vの電圧を印加すれば、階調0レベルの表示状態となる。また、コンデンサC4へ0Vの電圧を印加し、コンデンサC5へ5～8Vの範囲の電圧を印加すれば、階調1～最大階調レベルの階調表示が得られる。例えば、コンデンサC4へ0Vの電圧を印加し、階調制御線GRAYiがV0のとき、コンデンサC5へ6Vの電圧を印加すれば、階調制御線GRAYiがV0-1Vとなったとき、コンデンサC5の電位が5Vに低下するので、有機EL素子EL4は発光状態から非発光状態に変化する。

20

【0097】

コンデンサC4へ0Vの電圧を印加し、階調制御線GRAYiがV0のとき、コンデンサC5へ7Vの電圧を印加すれば、階調制御線GRAYiがV0-2Vとなったとき、同様にコンデンサC5の電位が5Vになるので、有機EL素子EL4は発光状態から非発光状態に変化する。

【0098】

コンデンサC4へ0Vの電圧を印加し、階調制御線GRAYiがV0のとき、コンデンサC5へ8Vの電圧を印加すれば、階調制御線GRAYiがV0-3Vとなったとき、同様にコンデンサC5の電位が5Vになるので、有機EL素子EL4は発光状態から非発光状態に変化する。

30

【0099】

従って、図3のGRAYi電位がV0からV0-3まで変化する期間である時間Th14以降の期間（第3の期間）で、GRAYi電位を変化させることで、コンデンサC5へ印加する電圧を5～8Vの範囲で連続的に変化させると、Si電位の値に関わらず、有機EL素子EL4の発光状態が制御されるので、時間分割階調でありながらアナログ階調が実現できる。

【0100】

このような時間分割階調駆動方法では、階調レベルが増えるほど有機EL素子EL4が発光状態から非発光状態となる時間が長くなる。これにより、隣接する階調間（例えば7階調レベルと8階調レベルとの間）では、必ず、階調レベルの低い表示期間が、より階調レベルの高い表示期間に含まれる（7階調レベルが発光している期間は8階調レベルが必ず発光している）。従って、図22に示したような隣接画素間の発光時間の被りが起こらず、時分割階調表示において、動画偽輪郭が現れ難くなる。また、動画偽輪郭が若干残留しても、それは人間に感知できるレベルではない。

40

【0101】

また、時間分割階調表示を行うと、走査周波数がビット数倍になることや、フレームメモリを用いて必要なタイミング変換を行う必要があること、などの問題もある。しかし、本発明のような時間分割では、他のアナログ階調表示と同様に、そのような問題が起こらないという効果も得られる。

【0102】

50

なお、コンデンサC5の電位を制御するには、図2の構成以外に幾つかの構成が考えられる。

【0103】

例えば、コンデンサC5の一方の端子には、TFT素子T13のゲート端子、および階調制御線GRAYiからの階調制御電圧により導通/非導通が制御されるスイッチング素子(図示せず)が接続され、コンデンサC5の他方の端子は接地されている。このような構成において、コンデンサC5から放出される電荷量をスイッチング素子によって制御することで、コンデンサC5の一方の端子の電位を制御することができる。

【0104】

その他の回路構成もあり得るが、何れの構成を採用するにしても、コンデンサC5の一方の端子の電位を徐々に変化させ、その変化した電位により、TFT素子T13が導通/非導通状態となるタイミングを制御し、電気光学素子(有機EL素子EL4)の表示状態をセットまたはリセットする。

【0105】

しかし、上記の回路構成では、コンデンサC5から放出される電荷量を制御することが難しいと考えられる。従って、図2に示す回路構成を用いることが好ましい。

【0106】

なお、本発明の実施の形態では、電気光学素子は、TFT素子T12と有機EL素子EL4とから構成されているが、参考例として、図4に示すように、液晶素子LCD1から構成されていてもよい。

【0107】

図1の画素表示回路Aijとしての画素表示回路ABijを用いる場合においては、図4に示すように、図2の画素表示回路AAijにおけるコンデンサC4、TFT素子T12、有機EL素子EL4および電源配線PSを液晶素子LCD1に置き替えただけであり、その他の回路構成や駆動方法は図2に示す画素表示回路AAijの駆動方法と同じであるので、ここではその詳細な説明を省略する。

【0108】

このような画素表示回路ABijにおいて、TFT素子T11に接続される画素電極は、TFT素子T11のドレイン端子およびソース端子を介してソース線Sjと接続され、TFT素子T11のゲート端子がゲート線Giに接続されている。また、対向電極Refは、前述の対向電圧発生部5から出力される対向電圧Vrefが印加されている。

【0109】

これによって、TFT素子T11が導通している期間にソース線Sjから与えられた表示信号の電圧(信号電圧)と対向電圧Vrefとの差(VonまたはVoff)が液晶素子LCD1に印加されると、画素電極と対向電極Refとの間に充填された液晶の透過率または反射率が変調され、画素表示回路ABijに階調データに応じた輝度で光を透過または反射させる。また、各画素表示回路ABijでは、液晶素子LCD1に蓄積された電荷が一定期間保持されるので、TFT素子T11が非導通状態になっても表示状態がそれに応じて維持される。

【0110】

このような構成においても、液晶素子LCD1に印加される電圧がVonからVoffへ切り替えられるタイミングを制御することで、時間分割アナログ階調を実現できる。

【0111】

〔実施の形態2〕

前述の実施の形態1では、TFT素子T13の閾値電圧を2Vと仮定したが、閾値電圧は、実際にはプロセス条件によって変わるものであり、しかも、同一パネル内で各TFT素子が単結晶領域に形成されているか、異なる単結晶領域に渡って形成されるかといったTFT素子の形成状態等の要因によっても異なってくる。

【0112】

そこで、本実施の形態では、TFT素子T13の閾値電圧が例えば1~4Vの範囲では

10

20

30

40

50

らつく場合の回路構成および駆動方法を例示する。

【0113】

この場合、実施の形態1の図2の回路構成では、同じコンデンサC4へ電位0Vを印加し、コンデンサC5へ6Vの範囲の電圧を印加しても、TFT素子T13の閾値電圧が1Vであれば、選択期間終了後直ぐにTFT素子T13が導通状態となり、有機EL素子EL4は非発光状態となる（即ち、1階調レベル程度）。また、TFT素子T13の閾値電圧が4Vであれば、TFT素子T13は次の選択期間直前まで非導通状態となり、有機EL素子EL4は最大の発光期間を持つ（即ち、最大階調レベル程度）。

【0114】

このように、実施の形態1の構成では第2のスイッチング素子であるTFT素子T13の閾値電圧がばらつくと階調レベルがばらつくという問題がある。 10

【0115】

そこで、本実施の形態では、このような問題を解決するために、図5に示す画素表示回路ABijおよび図6に示す駆動方法を提示している。

【0116】

図1の画素表示回路Aijとしての画素表示回路ACijを用いる場合においては、図2のTFT素子T14を省いた代わりに、第2のスイッチング素子であるTFT素子T13のドレイン端子とゲート端子との間に、第3のスイッチング素子であるTFT素子T15が設けられている。具体的には、TFT素子T13のドレイン端子とゲート端子とに、それぞれTFT素子T15のドレイン端子とソース端子とが接続されるように、TFT素子T15が配置される。 20

【0117】

また、TFT素子T13のソース端子とリセット電源配線PRESとの間を遮断および接続するために、新たに第4のスイッチング素子であるTFT素子T16が配置されている。TFT素子T16のソース端子とドレイン端子とは、それぞれTFT素子T13のソース端子とリセット電源配線PRESとに接続されている。

【0118】

TFT素子T15のゲート端子には、補償制御線COMPiが接続され、TFT素子T16のゲート端子（導通状態制御端子）には消去制御線ERASEiが接続されている。

【0119】

補償制御線COMPiは、走査ドライバ2から出力される補償制御信号をTFT素子T19のゲート端子に供給するために設けられている。補償制御信号は、後述する選択期間の少し前からTFT素子T19を導通させるためのレベルの信号として出力される（図6のCOMPi電位参照）。 30

【0120】

消去制御線ERASEiは、電位制御手段としての走査ドライバ2から出力される消去制御信号をTFT素子T16のゲート端子に供給するために設けられている。消去信号は、後述する選択期間の後にTFT素子T16を導通させるためのレベルの信号として出力される（図6のERASEi電位参照）。 40

【0121】

画素表示回路ACijのその他の構成は図2の画素表示回路AAijの構成と同じであるので、ここではその説明を省略する。

【0122】

なお、上記のTFT素子T15～T16は総てp型TFTであるが、n型TFTに総て置き替えてもよい。

【0123】

以下、本実施の形態では、この画素表示回路ACijの動作を図6に示すタイミングチャートを参考にしながら説明する。

【0124】

また、図5の画素表示回路ACijでは、電源配線PS、リセット電源配線PRES、 50

対向電極 R e f に、それぞれ 6 V、7 V、0 V の電位が設定されている。

【0125】

画素表示回路 A C i j の選択期間は、図 6 に時間として示すように、8 T h ~ 1 4 T h の 7 T h 期間となる。この選択期間の前に、初期化期間として、時間 6 T h において、図 6 の G R A Y i 電位が $V_0 + 4 V$ になった後に、図 6 の C O M P i 電位（補償制御線 C O M P i の電位）が選択状態（- 4 V）になる。また、このとき、図 6 の E R A S E i 電位（消去制御線 E R A S E i の電位）が選択状態（- 4 V）である。このため、T F T 素子 T 1 6 と T F T 素子 T 1 5 とが導通状態となり、コンデンサ C 5 と繋がる T F T 素子 T 1 3 のゲート端子は、リセット電源配線 P R E S と短絡状態となり、このゲート端子電位はリセット電位 V o f f（7 V）となり、コンデンサ C 5 の保持電位がセットされる（第 1 の期間）。 10

【0126】

次に、この選択期間の前後の時間 7 T h ~ 1 5 T h の間に、図 6 の E R A S E i 電位が非選択状態（1 2 V）になり、T F T 素子 T 1 6 はオープン状態となる。これにより、T F T 素子 T 1 3 は、リセット電源配線 P R E S から切り離される。

【0127】

次に、選択期間となり、時間 9 T h ~ 1 3 T h（第 2 の期間）において、図 6 の G i 電位が - 4 V に低下することによって、ゲート端子線 G i が選択状態となる。また、時間 6 T h ~ 1 1 T h において、図 6 の C O M P i 電位が - 4 V に低下することによって、補償制御線 C O M P i が選択状態となる。従って、T F T 素子 T 1 1，T 1 3，T 1 5 を通して、ソース線 S j から T F T 素子 T 1 3 のゲート端子に表示階調レベルに対応した電圧が印加される。 20

【0128】

さらに、時間 1 0 T h において、図 6 の G R A Y i 電位が、T F T 閾値電圧のばらつき範囲の最大値分（- 4 V）引き下げられて、 V_0 となる。このとき、T F T 素子 T 1 3 のドレイン端子とゲート端子との間には - 4 V 以上の電位差が発生している。そして、T F T 素子 T 1 3 が p 型 T F T であるので、この電位差により、T F T 素子 T 1 3 は導通状態となり、T F T 素子 T 1 3 のドレイン端子からゲート端子に向けて、電荷が移動する。

【0129】

電荷移動が完了するときの、T F T 素子 T 1 3 のドレイン端子・ゲート端子間電圧は、T F T 素子 T 1 3 の閾値電圧で決まる。即ち、T F T 素子 T 1 3 のゲート端子電圧は、T F T 素子 T 1 3 のドレイン端子電圧 - T F T 素子 T 1 3 の閾値電圧となる。 30

【0130】

このように、本実施の形態の画素表示回路 A C i j およびその駆動方法では、T F T 素子 T 1 5 を設け、T F T 素子 T 1 5 の動作を C O M P i 電位で制御することによって、第 2 のスイッチング素子である T F T 素子 T 1 3 の閾値電圧の補償が行われる。

【0131】

次に、時間 1 2 T h において、図 6 の C O M P i 電位を非選択状態（1 2 V）とすることで、T F T 素子 T 1 5 が非導通状態となり、T F T 素子 T 1 3 のゲート端子とソース端子とが切り離される。 40

【0132】

次に、時間 1 3 T h において、ソース線 S j から 2 値階調表示電圧（0 V または 7 V）をコンデンサ C 4 に設定し、図 6 の G i 電位を非選択状態（1 2 V）とすることで、選択期間を終了する。

【0133】

その後、時間 1 5 T h の終了時に、図 6 の E R A S E i 電位を選択状態（- 4 V）に切り替えることで、T F T 素子 T 1 6 が導通状態となり、T F T 素子 T 1 3 のソース端子とリセット電源配線 P R E S とが短絡する。さらに、図 3 に示す実施の形態 1 の駆動例と同様に、図 6 の G R A Y i 電位が V_0 から $V_0 - 3 V$ まで徐々に引き下げられる（第 3 の期間）。 50

【 0 1 3 4 】

そこで、上記の時間 9 T h ~ 1 1 T h の間に、S j 電位をデータ電圧（データ信号の電圧）V d a t a に設定すれば、その直後のコンデンサ C 5 の電位 V C 5 は、

$$V C 5 = V d a t a - V t h$$

と表される。ここで、V t h は、T F T 素子 T 1 3 の閾値電圧である。

【 0 1 3 5 】

この後、時間 1 3 T h でコンデンサ C 4 の電位を 0 V に設定すれば、階調 1 ~ 最大階調レベルの表示が得られる。一方、時間 1 3 T h でコンデンサ C 4 の電位 7 V に設定すれば、階調 0 レベルの表示が得られる。

【 0 1 3 6 】

例えば、コンデンサ C 4 の電位を 0 V に設定し、時間 9 T h ~ 1 1 T h の間で S j 電位を 7 V に設定すれば、コンデンサ C 5 の電位が 7 V - V t h となる。それゆえ、G R A Y i 電位が V 0 のとき、T F T 素子 T 1 3 が導通状態となり、有機 E L 素子 E L 4 は発光状態（セット）から非発光状態（リセット）に変化する。

【 0 1 3 7 】

コンデンサ C 4 の電位を 0 V に設定し、時間 9 T h ~ 1 1 T h の間で S j 電位を 8 V に設定すれば、コンデンサ C 5 の電圧が 8 V - V t h となる。それゆえ、G R A Y i 電位が V 0 - 1 V のとき、T F T 素子 T 1 3 が導通状態となり、有機 E L 素子 E L 4 は発光状態から非発光状態に変化する。

【 0 1 3 8 】

コンデンサ C 4 の電位を 0 V に設定し、時間 9 T h ~ 1 1 T h の間で S j 電位を 9 V に設定すれば、コンデンサ C 5 の電圧が 9 V - V t h となる。それゆえ、G R A Y i 電位が V 0 - 2 V のとき、T F T 素子 T 1 3 が導通状態となり、有機 E L 素子 E L 4 は発光状態から非発光状態に変化する。

【 0 1 3 9 】

コンデンサ C 4 の電位を 0 V に設定し、時間 9 T h ~ 1 1 T h の間で S j 電位を 1 0 V に設定すれば、コンデンサ C 5 の電圧が 1 0 V - V t h となる。それゆえ、G R A Y i 電位が V 0 - 3 V のとき、T F T 素子 T 1 3 が導通状態となり、有機 E L 素子 E L 4 は発光状態から非発光状態に変化する。

【 0 1 4 0 】

従って、上記時間 9 T h ~ 1 1 T h の間に、S j 電位を 7 ~ 1 0 V の範囲で連続的に変化させることで、有機 E L 素子 E L 4 は発光状態から非発光状態に変化するタイミングを T F T 素子 T 1 3 の閾値電圧に依存しないで制御できるので、実施の形態 1 の場合と異なり、T F T 素子 T 1 3 の閾値電圧に依存しないで時間分割アナログ階調が実現できる。

【 0 1 4 1 】

ここで、図 5 の画素表示回路 A C i j を図 6 の駆動方法で駆動するとき、T F T 素子 T 1 3 の閾値電圧のばらつきを補償できることを確認するためにシミュレーションした結果について図 7 を用いて説明する。

【 0 1 4 2 】

図 7 では、T F T 素子 T 1 3 の閾値電圧を - 1 V , - 2 V , - 3 V とした場合、時間 9 T h ~ 1 1 T h の間に S j 電位を 9 V に設定した条件で、コンデンサ C 5（ノード N 3 1）の電位とコンデンサ C 4（ノード N 1 1）の電位とを示している。

【 0 1 4 3 】

なお、図 7 において、ノード N 1 1 の電位の変化が、ノード N 3 1 が 7 V ~ 5 V 程度の範囲から始まっている。このときのノード N 3 1 の電位は、予想されるリセット電源配線 P R E S の電位 7 V - V t h より 1 V 程度高めの電位である。これは、T F T 素子 T 1 3 のリーク電流が閾値電圧より 1 V 高めの電位から上昇し始める為、コンデンサ C 4 の電荷が移動し始める為と考えられる。

【 0 1 4 4 】

このように、T F T 素子 T 1 3 の閾値電圧がばらついて、コンデンサ C 5 の電位がそれ

10

20

30

40

50

に応じてばらついても、コンデンサC4の電位はほぼ同じ値になる。これにより、閾値電圧のばらつきに関わらず、時間分割アナログ階調の表示を実現することができる。

【0145】

なお、本発明の実施の形態では、電気光学素子は、TFT素子と、コンデンサと、有機EL素子とから構成されているが、参考例として、図8に示すように、液晶素子LCD1から構成されていてもよい。

【0146】

図1の画素表示回路Aijとしての画素表示回路ADijを用いる場合においては、図8に示すように、図5の画素表示回路ADijにおけるコンデンサC4、TFT素子T12、有機EL素子EL4および電源配線PSを液晶素子LCD1に置き替えただけであり、その他の回路構成や駆動方法は図5に示す画素表示回路ACijの駆動方法と同じであるので、ここではその詳細な説明を省略する。

10

【0147】

このような構成においても、液晶素子LCD1に印加される電圧がVonからVoffへ切り替えられるタイミングを制御することで、時間分割アナログ階調を実現できる。

【0148】

〔実施の形態3〕

本実施の形態では、電気光学素子が有機EL素子とアクティブ素子(TFT素子)とコンデンサとから構成することを前提に、電気光学素子を構成するアクティブ素子(TFT素子)のチャンネル構成と、第2のスイッチング素子であるTFT素子のチャンネル構成について説明することで、前述の図5の画素表示回路ACijとの相違を示す。

20

【0149】

図5の画素表示回路ACijにおいては、既にアクティブ素子がp型であり、第1のスイッチング素子もp型である。これに対し、図9に示すように、本画素表示回路AEijにおいては、アクティブ素子がp型であり、第2のスイッチング素子がn型である。

【0150】

図1の画素表示回路Aijとしての画素表示回路AEijを用いることを考えると、この構成では、図5の画素表示回路ACijにおけるp型のTFT素子T11, T13, T15, T16をn型のTFT素子T17, T18, T19, T20に置き替えている。その他、リセット電源配線PRESをソース線Sjに沿った方向ではなく、ゲート線Giに沿った方向に配置している。このような構成でも、表示ドライバ3から、リセット電源配線PRESにリセット電源電圧が出力される。

30

【0151】

なお、画素の配列は通常、横方向(ゲート線Giの配線方向)にRGBと並ぶので、RGB毎にリセット電源配線PRESの電位が異なる。このため、図5のようにソース線Sjに沿った方向にリセット電源配線PRESを配置する。しかし、RGBでリセット電源配線PRESの電位が同じ場合、そのリセット電源配線PRESを隣接するドット(ここでは1画素はRGBから構成され、1画素を構成するRGBで合計3ドットと数えることにする)で共通配線化できる。これは、図13に示すように、リセット電源配線PRESを隣接する2つのドットで共有化できることを意味するので、好ましい。

40

【0152】

この画素表示回路AEijを実施の形態2の画素表示回路ACijと同様に駆動するには、図10に示すように、Gi電位、GRAYi電位、ERASEi電位、COMPi電位の極性を図6の各電位に対して反転させればよい。

【0153】

また、本実施の形態でも、実施の形態2と同様、図10の駆動方法で駆動するとき、TFT素子T13の閾値電圧のばらつきを補償できることを確認するためにシミュレーションを行ってみた。しかし、本画素表示回路AEijでは、第2のスイッチング素子であるTFT素子T18のソース端子・ドレイン端子間を通過できる電圧が、TFT素子T18のゲート端子電圧に依存するので、TFT素子T12のゲート端子の電位はコンデンサC

50

5の電位に従った期間に0Vに維持された後、GRAYi電位が上昇するのに従って、徐々に7Vへ向け変化することが判った。

【0154】

即ち、画素表示回路AEijでは、1フレーム期間において、TFT素子T12が2値駆動状態で駆動される期間(コンデンサC4へTFT素子T12が充分低抵抗状態となる電圧と、非導通状態となる電圧の2値電圧を与える期間であって、TFT素子T12のゲート端子へ1V以下または5V以上の電圧が印加されている期間)の比率が確保できず、TFT素子T12の閾値特性・移動度のばらつきの影響を受けて好ましくないことが判った。

【0155】

一方、図11に示すように、画素表示回路AEijのTFT素子T13をp型のTFT素子T13に置き替えた画素表示回路AFijでは、図12に示すように、Gi電位、ERASEi電位、COMPi電位の極性が図10で対応する各電位に対して反転され、電位が調整された駆動波形で駆動すれば、図7のシミュレーション結果と同様な結果が得られた。

【0156】

また、図14に示す画素表示回路AGijにおいては、図11の画素表示回路AFijにおけるp型のTFT素子T12, 13がそれぞれn型のTFT素子T22, 23に置き換えられて、TFT素子T21~25が総てn型TFTとなっており、有機EL素子EL4の代わりに極性が反転した有機EL素子EL5が設けられている。

【0157】

この構成では、電源配線PS、対向電極Ref、リセット電源配線PRESの各電位は、0V、6V、0Vと設定されている。

【0158】

また、画素表示回路AGijの駆動においては、図15に示すGi電位、ERASEi電位、COMPi電位、GRAYi電位の極性が、図6に示す対応する各電位に対して反転され、各電位が調整された駆動波形を用いる。

【0159】

この画素表示回路AGijを図15の駆動波形による駆動方法で駆動した場合に、第2のスイッチング素子であるTFT素子T22の閾値電圧のばらつきを補償できることを確認したシミュレーション結果を図16に示す。

【0160】

図16は、TFT素子T22の閾値電圧を1V, 2V, 3Vとした場合、図15の時間9Th~11Thの間にSj電位を-4Vに設定した条件で、コンデンサC5(ノードN31)の電位とコンデンサC4(ノードN11)の電位とを示している。この場合、図5の画素表示回路英Cijについてした図7のシミュレーション結果と同様、TFT素子T23の閾値電圧がばらついて、コンデンサC5の電位がそれに応じてばらついていても、コンデンサC4の電位はほぼ同じ値になる。これにより、閾値電圧のばらつきに関わらず、時間分割アナログ階調の表示を実現することができる。

【0161】

また、これらの結果から、前述の図9の画素表示回路AEijに比べて、電気光学素子を構成するアクティブ素子(TFT素子T12, T22)のチャンネル極性と、第2のスイッチング素子であるTFT素子T13, 23のチャンネル極性は同じ極性であることが好ましいことが判る。

【0162】

なお、ソース端子配線Sjへアナログ階調電圧を供給するドライバ回路の出力電圧にはオフセット特性のばらつきが見られる。

【0163】

このオフセット電圧のばらつきは、ソース線Sj毎に階調特性をシフトさせるので、縦線として認識され、画質の低下を招く。

10

20

30

40

50

【0164】

そこで、図17に示すように、縦方向（ソース線 S_j の配線方向）のドットにおいて、ゲート線 G_i 毎に接続されるソース線 S_j を異ならせる。例えば、ゲート線 G_i に接続されるドット $A F i j g$ がソース線 $S j r g$ に接続され、ゲート線 G_{1+i} に接続されるドット $A F i + 1 j g$ がソース線 $S j g b$ に接続される。これにより、表示ドライバ3の出力オフセット電圧の影響がRGB各色にドット状に分散されるので、縦線を実線状から破線状として目立ちにくくなり、画質劣化を軽減することができる。

【0165】

従って、このように画素表示回路 $A F i j$ とソース線 S_j とを接続し、その接続に応じて各画素表示回路 $A F i j$ の表示に必要な信号をソース線 S_j に割り振って制御し、出力

10

【0166】

また、1画素は正方形に近い形状に形成されるので、RGB各ドットの大きさは横側の1/3程度になる。この画素構造では、有機EL膜をインクジェット方式等で形成する場合、寸法が短いだけ横方向の形成に高い精度が要求されることが考えられる。

【0167】

そこで、図18のように、隣接するドット間で、楕円で示す有機EL膜のターゲットTの中心を互いにずらし、ターゲットTの形状を少しでも楕円形から円形に近い形にし、同一のインクジェット成膜精度で、より画素ピッチの狭い画素をRGB塗り分けができるようにする、図22の楕円のような画素電極を配置することが好ましい。

20

【0168】

なお、本発明の実施の形態では、電気光学素子は、TFE素子と、コンデンサと、有機EL素子とから構成されているが、その代わりに、図4および図8の構成と同様に、液晶素子から構成されていてもよい（図示省略）。

【0169】

このような構成においても、液晶素子に印加される電圧が V_{on} から V_{off} へ切り替えられるタイミングを制御することで、時間分割アナログ階調を実現できる。

【0170】

【発明の効果】

以上のように、本発明の表示装置は、自発光型の2端子を有した電気光学素子と、駆動用電源に前記電気光学素子を接続または非接続させる駆動用スイッチング素子と、入力された表示信号を前記駆動用スイッチング素子の導通状態制御端子に与える第1のスイッチング素子と、該第1のスイッチング素子を導通または非導通させるための第1の配線と、前記表示信号を前記第1のスイッチング素子に供給する第2の配線とを備えた表示装置であって、前記駆動用スイッチング素子の導通状態制御素子の電位を保持する第1の電位保持手段と、前記第1の電位保持手段の電位保持状態を解除する初期化電源に前記第1の電位保持手段を接続または非接続させる第2のスイッチング素子と、前記第2のスイッチング素子の導通状態制御端子の電位を保持する第2の電位保持手段と、前記第2の電位保持手段の保持電位を制御する電位制御手段とを備えている構成である。

30

【0171】

40

これにより、第2のスイッチング手段の導通状態制御端子の電位が、保持電位が制御されることによって制御されるので、第2のスイッチング手段は、電位制御手段によって導通および非導通が制御される。それゆえ、駆動用スイッチング素子を導通状態または非導通状態へ変化させるタイミングを、第2の電位保持手段の保持電位によって制御することが可能となる。この結果、1階調表示レベルが増加すれば1階調分表示期間が長くなる時間分割階調表示（時間分割アナログ階調表示）を実現することができる。このような時間分割アナログ階調表示では、隣接する階調間で表示期間が総て重なるので、動画偽輪郭の発生が殆どない階調表示を実現することができる。しかも、各期間では輝度制御状態として表示または非表示の2つの状態しか持たないので、電気光学素子として有機EL素子を用いた場合に、同電気光学素子を駆動する駆動用アクティブ素子の閾値特性や移動度のば

50

らつきの影響の少ない階調表示が得られる。

【0172】

したがって、駆動用アクティブ素子の閾値特性および移動度がばらついても、時間分割階調表示方法を用いながら、駆動周波数の増大を招かずに動画偽輪郭を目立たなくすることができるという効果を奏する。また、走査周波数がビット数倍にならないことやフレームメモリが不要となることなど、従来の時間分割階調表示で問題となった課題が解決できるという効果を併せて奏する。

【0173】

上記の表示装置においては、前記電位制御手段が、前記第2の電位保持手段の保持電位を制御するための保持電位制御電圧を第3の配線に出力し、前記第2の電位保持手段が容量性素子であり、その一方の端子が前記第2のスイッチング素子の導通状態制御端子に接続され、他方の端子が前記第3の配線に接続されていることにより、第2のスイッチング素子の同通状態制御端子の電位が変化するので、第2のスイッチング素子の導通/非導通状態となるタイミングを容量性素子に印加する保持電位制御電圧によって制御することができる。従って、簡単な回路構成によって、容易に電気光学素子の動作状態を制御することができるという効果を奏する。

10

【0174】

また、上記の表示装置は、前記第2のスイッチング素子の導通状態制御端子と前記初期化電源接続側の端子とを接続または非接続させる第3のスイッチング素子と、前記第2のスイッチング素子の初期化電源側の端子と前記初期化電源とを接続または非接続させる第4のスイッチング素子と、前記第4のスイッチング素子の導通状態制御端子の電位を制御する電位制御手段とを備えている構成である。

20

【0175】

これにより、第4のスイッチング素子が非導通状態の間に、第2のスイッチング素子と第3のスイッチング素子を導通状態とすることで、第2の電位保持手段の保持電位を第2の配線から第2のスイッチング素子へ与えられた表示信号の電圧±第2のスイッチング素子の閾値電圧に設定できる。また、第3のスイッチング素子を非導通状態とし、第4のスイッチング素子を導通状態とし、第2の電位保持手段の電位を変化させ、第2のスイッチング素子を導通状態とすることで、電気光学素子の表示時間を制御することができる。それゆえ、予め第2の電位保持手段に残る電圧を、第2のスイッチング素子の閾値電圧分で補正できる。従って、第2のスイッチング素子の閾値電圧のばらつきに依らず、第2のスイッチング素子の導通タイミングを制御することができる。従って、第2のスイッチング素子の閾値電圧ばらつきの影響をキャンセルして、TFT閾値特性ばらつきに依らず均一な表示を得ることができるという効果を奏する。

30

【0176】

上記の表示装置において、第1の電位保持手段がコンデンサであり、前記駆動用スイッチング素子のチャンネル特性、および前記第2のスイッチング素子のチャンネル特性が、同じであることにより、第2のスイッチング素子が導通状態となったとき、駆動用スイッチング素子のゲート端子をリセット電源に接続させ、駆動用スイッチング素子をリセット状態とすることができる。1フレーム期間において駆動用スイッチング素子が2値駆動状態で駆動される期間が長く確保できるので、駆動用スイッチング素子の閾値特性のばらつきによらず均一な表示を得ることができるという効果を奏する。

40

【0177】

本発明の表示装置の駆動方法は、自発光型の2端子を有した電気光学素子と、駆動用電源に前記電気光学素子を接続または非接続させる駆動用スイッチング素子と、入力された表示信号を前記駆動用スイッチング素子の導通状態制御端子に与える第1のスイッチング素子と、該第1のスイッチング素子を導通または非導通させるためのスイッチング信号を前記第1のスイッチング素子に供給する第1の配線と、前記表示信号を前記第1のスイッチング素子に供給する第2の配線とを備えた表示装置を駆動する方法であって、前記第1の電位保持手段の電位保持状態を解除する初期化電源に前記駆動用スイッチング素子の導

50

通状態制御端子の電位を保持する第 1 の電位保持手段を第 2 のスイッチング素子によって接続または非接続させ、前記第 2 のスイッチング素子の導通状態制御端子の電位を保持する第 2 の電位保持手段の電位を第 1 の期間で設定し、前記第 1 の期間より後の第 2 の期間で前記駆動用スイッチング素子の導通状態制御端子の電圧を設定し、前記第 2 の期間より後の第 3 の期間で、前記第 2 の電位保持手段の保持電位を変化させることで、前記第 2 のスイッチング素子を非導通状態から導通状態に変化させ、前記駆動用スイッチング素子の導通状態制御端子の電圧を前記第 2 の期間で設定した電圧から前記初期化電源の電圧とする方法である。

【0178】

これにより、電気光学素子の表示状態を変化させるタイミングを、第 2 の電位保持手段の保持電位によって制御することが可能となり、動画偽輪郭の発生が殆どない状態で時間分割アナログ階調表示を実現することができる。しかも、各期間では輝度制御状態として表示または非表示の 2 つの状態しか持たないので、電気光学素子として有機 EL 素子を用いた場合に、同電気光学素子を駆動する駆動用アクティブ素子の閾値特性や移動度のばらつきの影響の少ない階調表示が得られる。したがって、駆動用アクティブ素子の閾値特性および移動度がばらついても、時間分割階調表示方法を用いながら、駆動周波数の増大を招かずに動画偽輪郭を目立たなくすることができるという効果を奏する。

【0179】

上記の駆動方法では、前記第 3 の期間で、前記第 2 の電位保持手段の保持電位を制御するための保持電位制御電圧を発生するとともに、前記第 2 の電位保持手段が第 1 端子と第 2 端子とを持ち、第 2 端子を前記第 2 のスイッチング素子の導通状態制御端子に接続し、前記第 1 の端子に前記保持電位制御電圧を印加することにより、前述の保持電位制御電圧を用いた表示装置と同様、第 2 のスイッチング素子の導通 / 非導通状態となるタイミングを容量性素子に印加する保持電位制御電圧によって制御することができる。従って、簡単な回路構成によって、容易に電気光学素子の動作状態を制御することができるという効果を奏する。

【0180】

また、上記の駆動方法では、前記表示装置が、前記第 2 のスイッチング素子の導通状態制御端子と前記初期化電源側の端子とを接続または非接続させる第 3 のスイッチング素子と、前記第 2 のスイッチング素子の初期化電源側の端子と前記初期化電源とを接続または非接続させる第 4 のスイッチング素子とを備えており、前記第 1 の期間で、前記第 3 のスイッチング素子を通して前記第 2 の電位保持手段の保持電位を設定し、前記第 3 の期間で、前記第 4 のスイッチング素子を導通状態とし、前記第 2 のスイッチング素子を非導通状態から導通状態に変化させ、前記駆動用スイッチング素子の導通状態制御端子の電圧から前記初期化電源の電圧とすることにより、第 1 の期間で、第 2 の電位保持手段の保持電位が、第 2 および第 3 のスイッチング手段を通して設定されるので、第 2 の電位保持手段の保持電位を第 2 の配線から第 2 のスイッチング素子へ与えられた表示信号の電圧 ± 第 2 のスイッチング素子の閾値電圧に設定できる。また、第 3 の期間で第 4 のスイッチング素子が導通状態となることで、電気光学素子が発光状態から非発光状態へ変化する。このとき、第 2 の電位保持手段の電位を変化させ、第 2 のスイッチング素子を導通状態とすることで、電気光学素子の表示時間を制御することができる。従って、予め第 2 の電位保持手段に残る電圧を、第 2 のスイッチング素子の閾値電圧分で補正できるので、第 2 のスイッチング素子の閾値電圧のばらつきに依らず、第 2 のスイッチング素子の導通タイミングを制御することができる。

【図面の簡単な説明】

【図 1】 本発明の各実施の形態に共通するアクティブマトリックス型表示装置の構成を示すブロック図である。

【図 2】 上記アクティブマトリックス型表示装置に設けられる実施の形態 1 の画素表示回路の構成を示す等価回路図である。

【図 3】 図 2 の画素表示回路の時間分割階調駆動動作を示す駆動波形図である。

10

20

30

40

50

【図４】 実施の形態１の画素表示回路の他の構成を示す等価回路図である。

【図５】 上記アクティブマトリックス型表示装置に設けられる実施の形態２の画素表示回路の構成を示す等価回路図である。

【図６】 図５の画素表示回路の時間分割階調駆動動作を示す駆動波形図である。

【図７】 図５の画素表示回路の時間分割階調駆動の効果を確認するためのシミュレーション結果を示す動作特性図である。

【図８】 実施の形態２の画素表示回路の他の構成を示す等価回路図である。

【図９】 上記アクティブマトリックス型表示装置に設けられる実施の形態３の画素表示回路に対する比較例の画素表示回路の構成を示す等価回路図である。

【図１０】 図９の画素表示回路の時間分割階調駆動動作を示す駆動波形図である。

10

【図１１】 上記アクティブマトリックス型表示装置に設けられる実施の形態３の画素表示回路の構成を示す等価回路図である。

【図１２】 図１１の画素表示回路の時間分割階調駆動動作を示す駆動波形図である。

【図１３】 図１１の画素表示回路の応用例を示す回路図である。

【図１４】 実施の形態３の画素表示回路の他の構成を示す等価回路図である。

【図１５】 図１４の画素表示回路の時間分割階調駆動動作を示す駆動波形図である。

【図１６】 図１５の画素表示回路の時間分割階調駆動の効果を確認するためのシミュレーション結果を示す動作特性図である。

【図１７】 図１８の画素表示回路の応用例を示す回路図である。

【図１８】 図１８の画素表示回路の他の応用例を示す回路図である。

20

【図１９】 従来のアクティブマトリックス型表示装置に設けられる画素表示回路の構成を示す等価回路図である。

【図２０】 従来の時間分割階調駆動を行うアクティブマトリックス型表示装置に設けられる画素表示回路の構成を示す等価回路図である。

【図２１】 図２０の画素表示回路の時間分割階調駆動方法を示す図である。

【図２２】 従来のアクティブマトリックス型表示装置に設けられる、駆動用ＴＦＴ素子の閾値特性・移動度のばらつき対策が施された画素表示回路の構成を示す等価回路図である。

【図２３】 従来のアクティブマトリックス型表示装置に設けられる、駆動用ＴＦＴ素子の閾値特性・移動度のばらつき対策が施された画素表示回路の構成を示す等価回路図である。

30

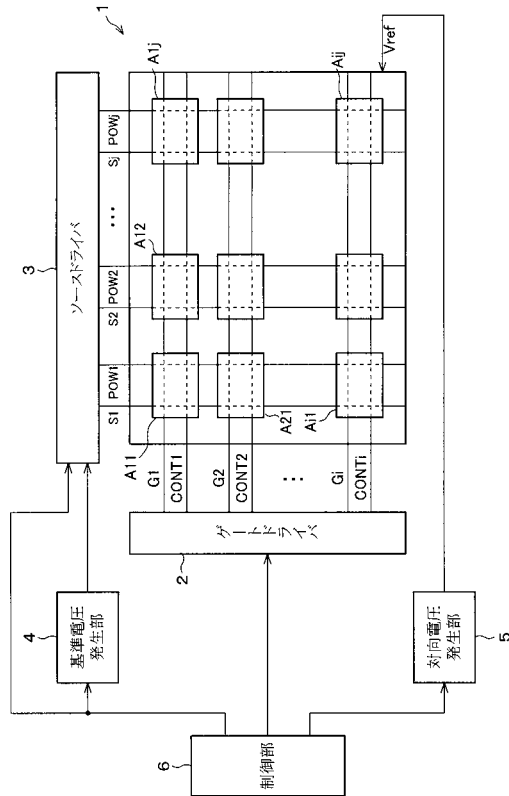
【図２４】 従来のＰＤＰにおける動画偽輪郭の発生原理を示す図である。

【符号の説明】

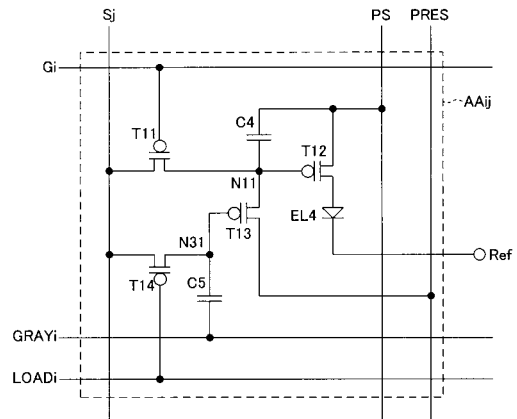
２	ゲートドライバ（保持電位制御手段、電位制御手段）
Ｃ４，Ｃ６	コンデンサ（第１の電位保持手段）
Ｃ５，Ｃ７	コンデンサ（第２の電位保持手段）
ＥＬ４，ＥＬ５	有機ＥＬ素子
ＬＣＤ１	液晶素子
Ｇｉ	ゲート線（第１の配線）
Ｓｊ	ソース線（第２の配線）
ＧＲＡＹｉ	階調制御線（第３の配線）
Ｔ１１，Ｔ２１	ＴＦＴ素子（第１のスイッチング素子）
Ｔ１２，Ｔ２２	ＴＦＴ素子（駆動用スイッチング素子）
Ｔ１３，Ｔ２３	ＴＦＴ素子（第２のスイッチング素子）
Ｔ１５，Ｔ１９，Ｔ２４	ＴＦＴ素子（第３のスイッチング素子）
Ｔ１６，Ｔ２５，Ｔ２０	ＴＦＴ素子（第４のスイッチング素子）

40

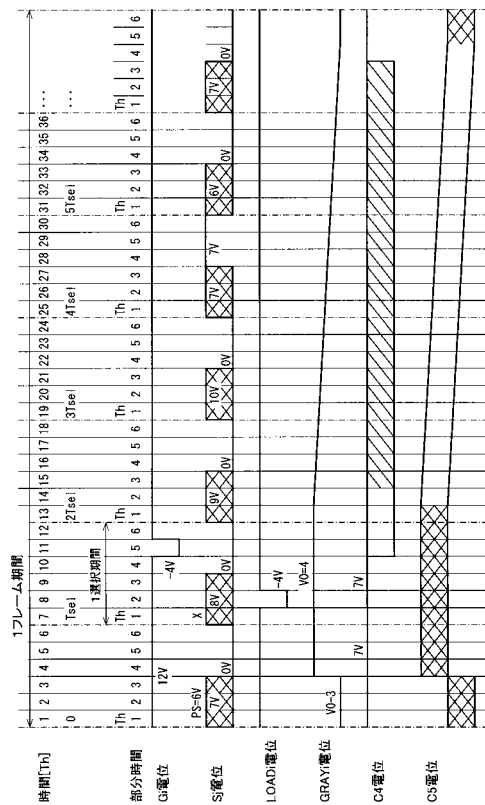
【 図 1 】



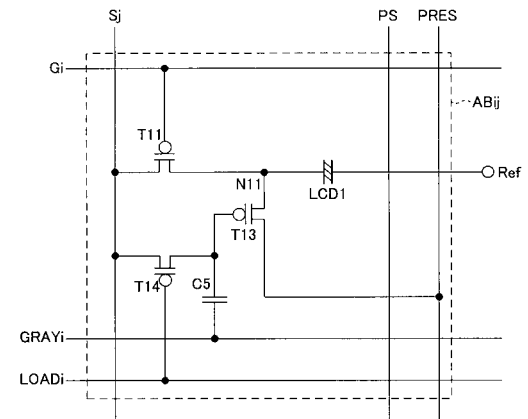
【 図 2 】



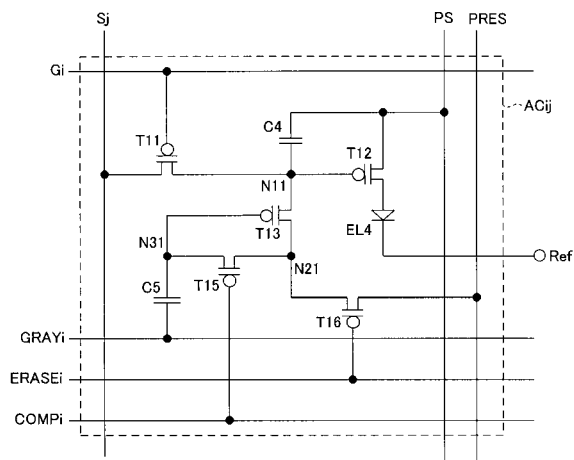
【 図 3 】



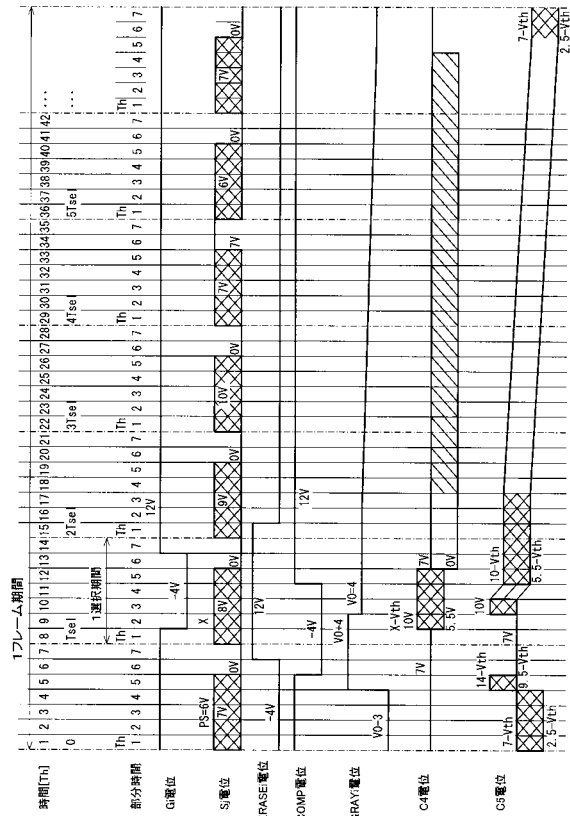
【 図 4 】



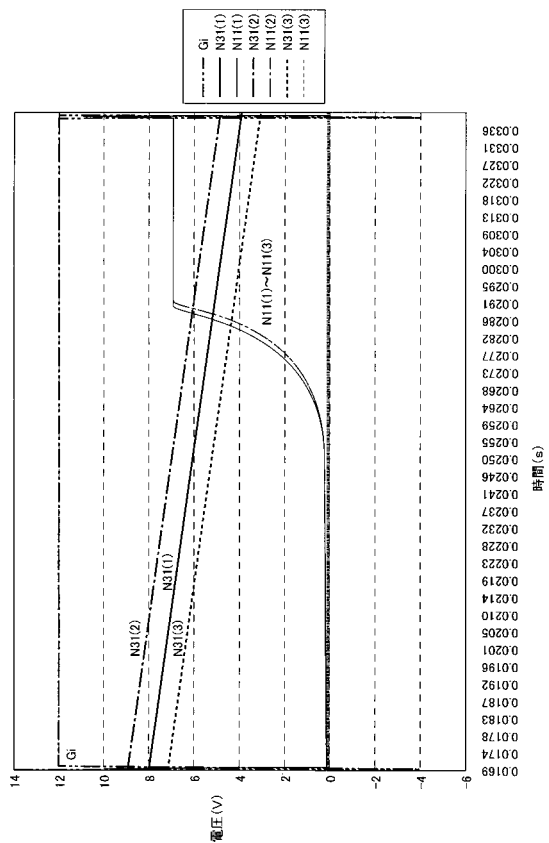
【 図 5 】



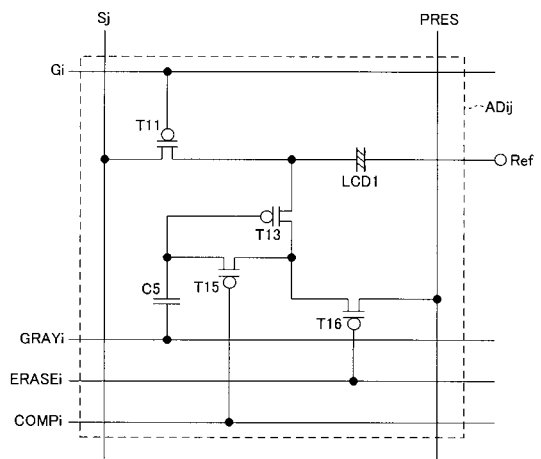
【 図 6 】



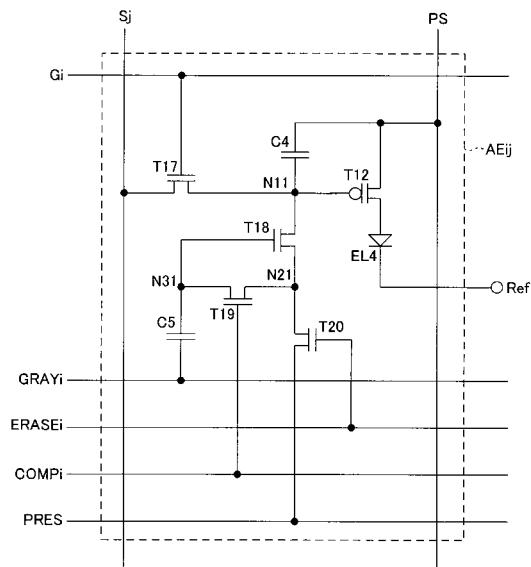
【圖 7】



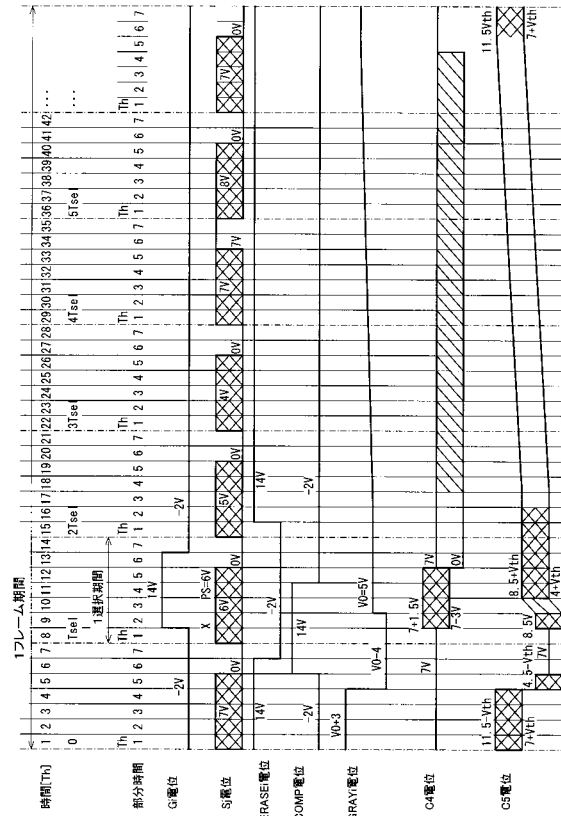
【圖 8】



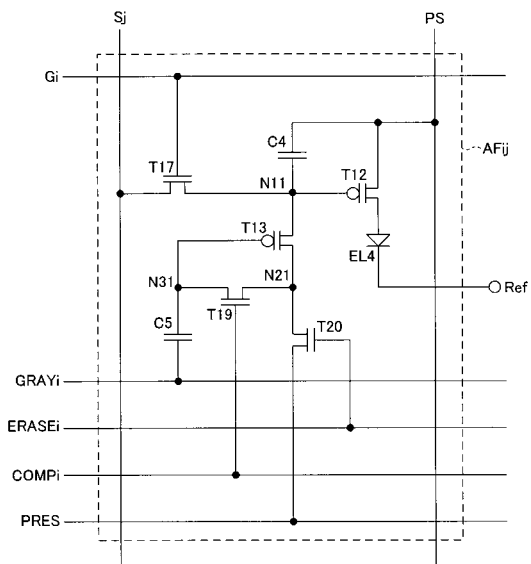
【図 9】



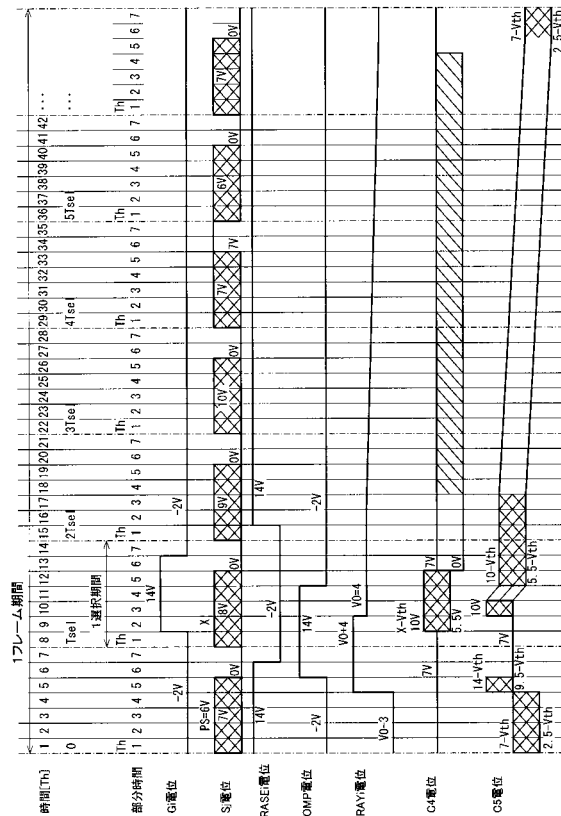
【図 10】



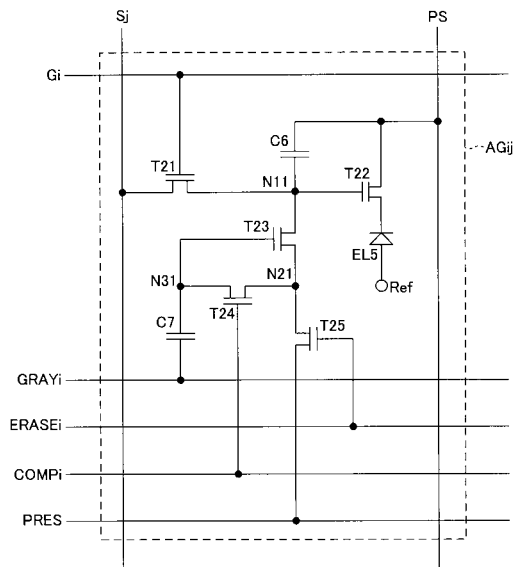
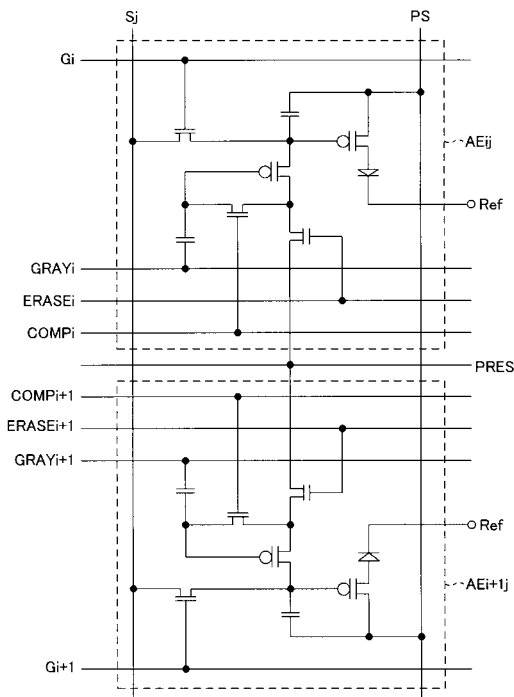
【図 11】



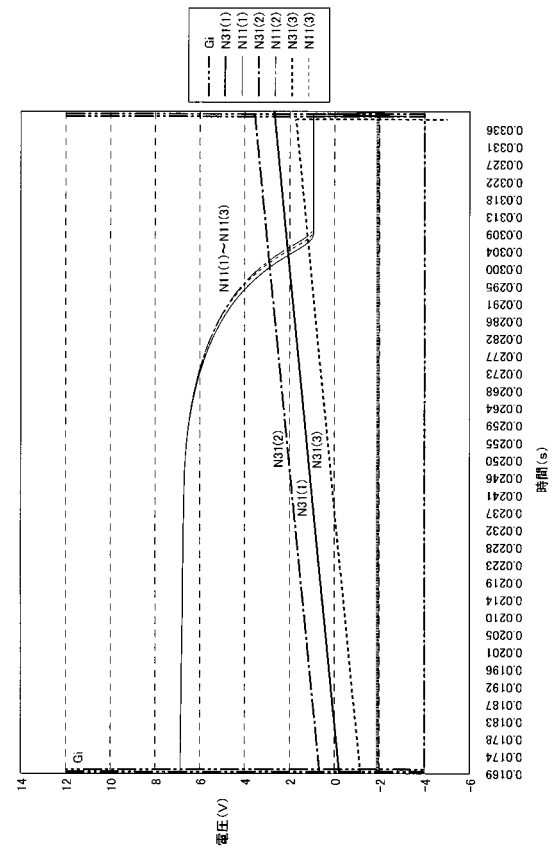
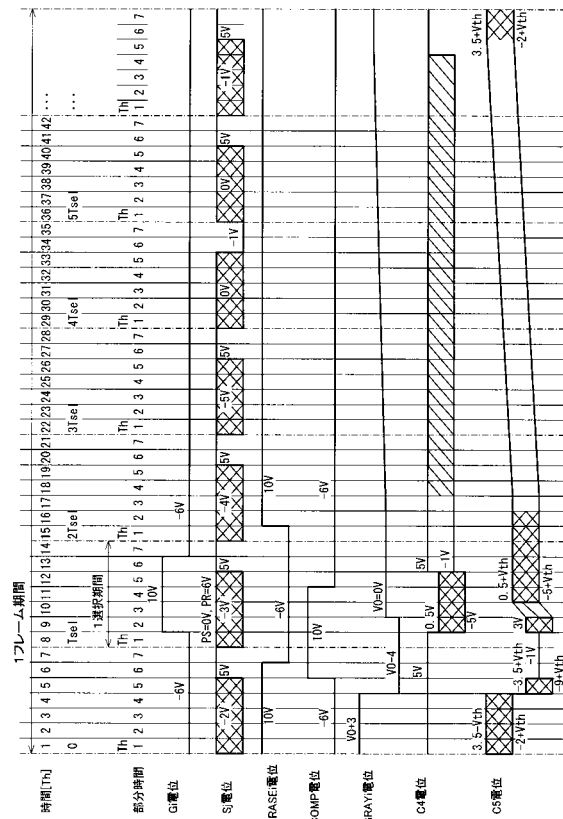
【図 12】



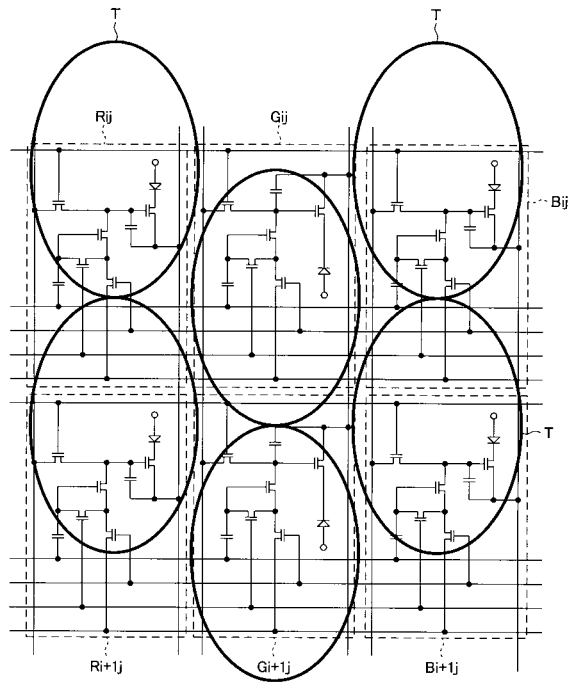
【 図 1 4 】



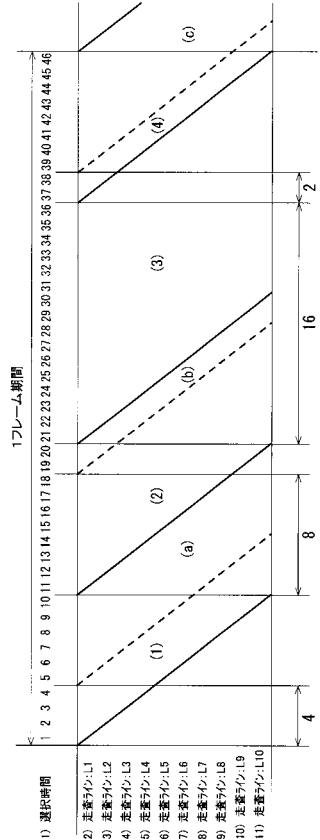
【 図 1 6 】



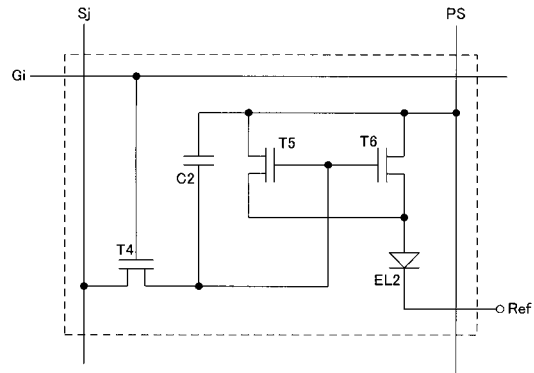
【 図 1 8 】



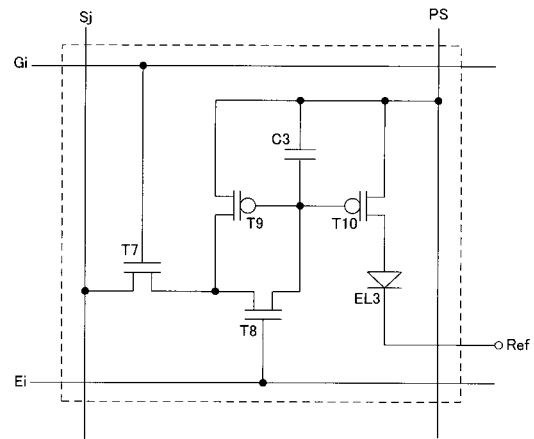
【 図 2 1 】



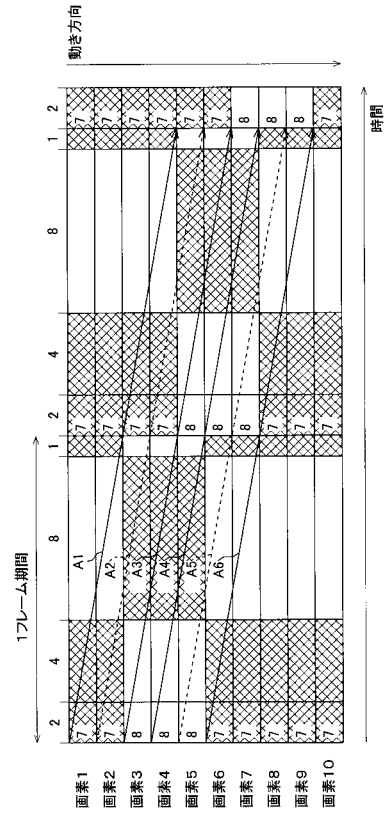
【図 2 2】



【図 2 3】



【図 2 4】



フロントページの続き

(51) Int.Cl.

F I

G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 4 1 E
G 0 9 G	3/20	6 4 1 R
G 0 9 G	3/30	H
H 0 5 B	33/14	A

(56)参考文献 特開2003-223136(JP,A)
特開平05-035207(JP,A)
特開平09-243994(JP,A)
特開2000-235370(JP,A)
特開2001-060076(JP,A)
国際公開第02/027700(WO,A1)
特開2003-043999(JP,A)
特開2003-241711(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/30
G02F 1/133
G09G 3/20
H01L 51/50

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP3989758B2	公开(公告)日	2007-10-10
申请号	JP2002089874	申请日	2002-03-27
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	沼尾孝次		
发明人	沼尾 孝次		
IPC分类号	G09G3/30 G02F1/133 G09G3/20 H01L51/50 G09G3/36 H05B33/14		
FI分类号	G09G3/30.K G09G3/30.J G02F1/133.550 G02F1/133.575 G09G3/20.611.H G09G3/20.624.B G09G3/20.641.E G09G3/20.641.R G09G3/30.H H05B33/14.A G09G3/3216 G09G3/3241 G09G3/3258 G09G3/3266 G09G3/3275 G09G3/3283 G09G3/3291 G09G3/36		
F-TERM分类号	2H093/NA16 2H093/NA51 2H093/NB01 2H093/NB07 2H093/NB11 2H093/NC34 2H093/NC35 2H093/NC40 2H093/ND06 2H093/ND49 2H093/ND53 2H193/ZA04 2H193/ZA19 2H193/ZD21 3K007/AB17 3K007/DB03 3K007/GA04 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH02 3K107/HH04 3K107/HH05 5C006/AA14 5C006/AF44 5C006/BB16 5C006/BC06 5C006/BC12 5C006/BF34 5C006/BF37 5C006/EB05 5C006/FA29 5C080/AA06 5C080/AA10 5C080/BB05 5C080/DD30 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB05 5C380/AB06 5C380/AB24 5C380/AB34 5C380/AB41 5C380/AB42 5C380/AB46 5C380/BA01 5C380/BA06 5C380/BA12 5C380/BA15 5C380/BA31 5C380/BA37 5C380/BA38 5C380/BA39 5C380/BA46 5C380/BB02 5C380/BB05 5C380/BB15 5C380/BE11 5C380/BE14 5C380/CA12 5C380/CA13 5C380/CA14 5C380/CA32 5C380/CA53 5C380/CA54 5C380/CB16 5C380/CB17 5C380/CB19 5C380/CC14 5C380/CC17 5C380/CC21 5C380/CC26 5C380/CC27 5C380/CC28 5C380/CC38 5C380/CC42 5C380/CC50 5C380/CC61 5C380/CC62 5C380/CC63 5C380/CC64 5C380/CC77 5C380/CD012 5C380/CD013 5C380/CD014 5C380/CD024 5C380/CD025 5C380/CE04 5C380/CE05 5C380/CE20 5C380/CF42 5C380/DA01 5C380/DA02 5C380/DA06 5C380/DA07 5C380/DA09 5C380/DA13 5C380/DA16 5C380/DA30 5C380/DA32 5C380/DA33 5C380/DA35 5C380/DA42 5C380/DA47 5C380/HA15		
审查员(译)	Naoaki桥本		
其他公开文献	JP2003288055A		
外部链接	Espacenet		

摘要(译)

要解决的问题：在使用时分灰度显示方法的同时，在不引起驱动频率增加的情况下使动态假轮廓不显眼。用于复位的TFT元件连接到用于驱动有机EL元件的TFT元件的栅极端子，并且TFT元件的导通时序由连接到TFT元件的栅极端子的电容器的电容控制，由潜力控制。此时，通过在一个帧周期内逐渐改变电位，对每个像素控制上述复位时序，如果一个灰度显示电平增加，则时分模拟可以实现灰度显示，并且可以抑制运动图像的伪轮廓。

17レーム期間

